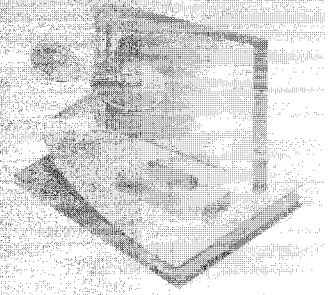


Materials for 3-D Packaging



김진철 책임연구원 (삼성전기 중앙연구소 eMD Lab)

1. 서론

전자기기의 소형화 및 Slim화에 따라 전자기기에 들어가는 IC 및 부품의 Packaging 기술이 날로 발전하고 있다. 이전에 Packaging 기술이 주로 Size를 줄여서 부품의 실장 면적을 줄여 Device의 소형화에 기여한 반면에 근래에 들어서는 면적을 줄이는 방법 보다는 3차원으로 IC를 적층하여 단위면적당 실장율 및 Performance를 증가시키는 방향으로 진행되고 있다. 또한, Packaging의 비용을 줄이기 위해 Board에 Chip (또는 Die)을 직접 실장하는 DCA (Direct Chip Attach) 방식이 검토되고 있다. 이와 더불어 수동부품을 Packaging 내의 기판에 내장 (Embedding)함으로써 실장면적의 감소 및 기능 확장을 노리고 있다.

이를 정리하면 미래의 Packaging 기술은 3-D, DCA, Embedding의 기술의 진전이 필요하다고 할 수 있다. 물론 현재 이러한 기술이 주요하다고는 할 수 없지만 Packaging과 관련된 기술 분야에서 이를 선점하는 것이 매우 중요하다고 할 수 있다.

이를 위해서는 재료의 선택 및 개발이 무엇보다 중요하다고 할 수 있다. Packaging에 필요한 재료는 매우 많지만 본고에서는 주로 PCB에 한정하고자 한다. 그 이유는 3-D, DCA, Embedding 모두 PCB를 필요로 하며 가장 근간이 된다고 할 수 있다. 한 예를 들면 PCB가 Silicon Die와 같은 열팽창계수를 가지면 고 비용의 Underfill을 없앨 수 있을 뿐만 아니라

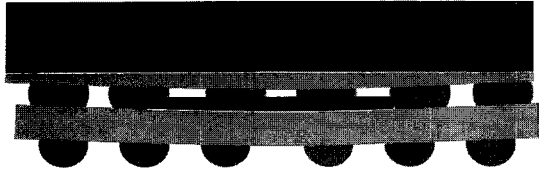
Underfill이 가능하게 하기 위한 Bump의 Height도 필요 없게 되어 얇은 부품을 조립하는 것이 가능하게 된다.

본고에서는 주로 저 열팽창계수, High Thermal Conductivity, Embedding 재료의 필요성 및 개발 내용에 대해 논의하고 본 연구자의 개발 방향에 대해서도 언급하고자 한다.

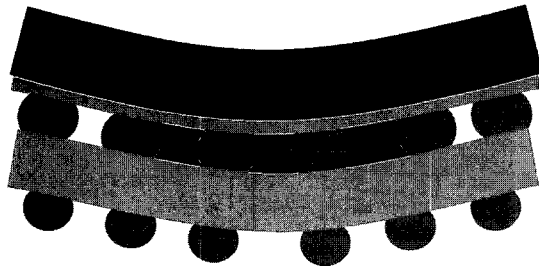
2. 저열팽창계수 재료

현재까지 3-D Packaging 기술에서 가장 선도하고 있는 Package Type은 PoP (Package on Package) 형태이다. 그림 1에서 볼 수 있듯이 두개의 Package를 아래 위에 위치시키고 위 Package의 Bump가 아래 Package의 Pad에 연결되어 하나의 Package가 된다. 현재 Cell Phone 내에서 Baseband Processor와 Memory를 이런 형태로 일체화 시키는데 각각 Package의 두께를 얇게 하여야 하며 구조에 따라 실장 시 Warpage가 생겨 불량률이 많이 발생되고 있다.

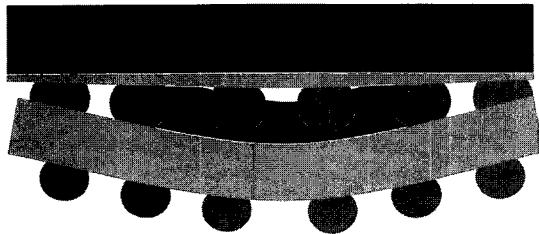
이러한 불량률의 근본적인 원인은 실장 시 가해지는 열에 의한 Silicon Die와 PCB간의 팽창계수의 차이에 기인된다고 알려져 있다. 또한, 세라믹과 같이 휨에 대한 항복 강도가 크면 불량률이 감소할 수도 있지만 Bump Crack이 발생할 염려도 크다고 할 수 있다. 그림에서 보듯이 Top Package와 Bottom Package간에 Warpage Mode가 달라 전기적으로 접



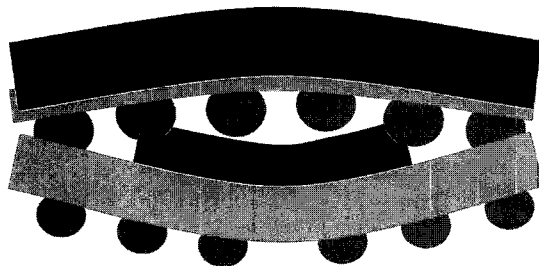
(a) Best



(b) Good

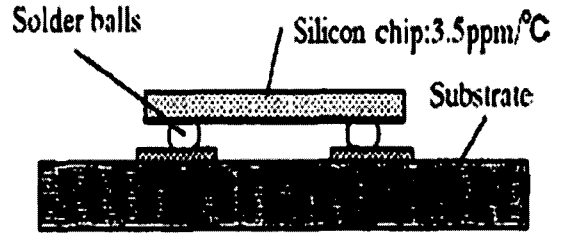


(c) Acceptable



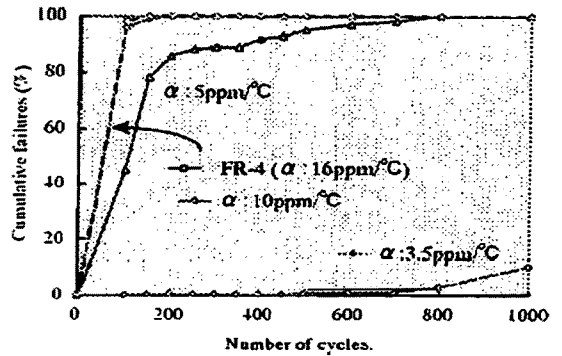
(d) N.G

그림 1. Typical PoP Structures.



No underfill

(a)

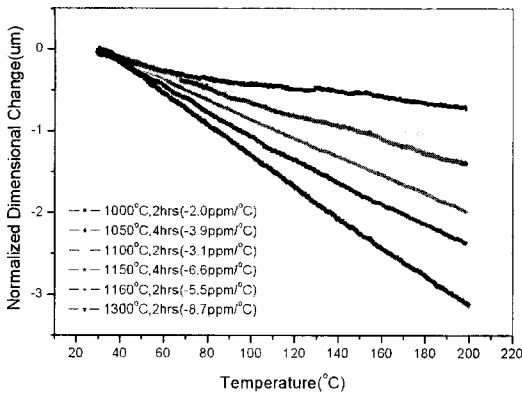


(b)

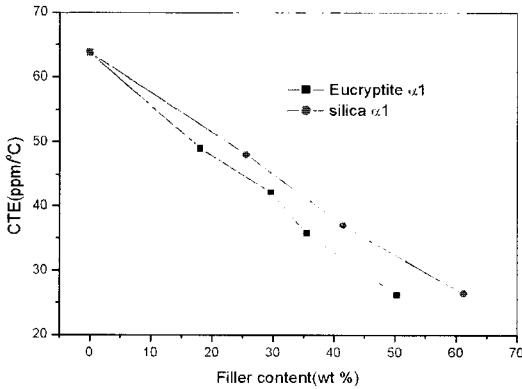
그림 2. The Structure of bare chip mounting and the results of thermal shock test [1].

속되지 않아 불량 발생하는데 이는 기판의 CTE를 낮추면 해결할 수 있다. 이와 더불어 DCA와 같이 Chip을 WLP (Wafer Level Package)하여 Package 기판없이 Board 기판에 직접 실장하는 경우 그림 2와 같이 Underfill을 사용하지 않으면 Board 기판으로부터 Chip이 탈락되거나 전기적으로 Open이 되거나 신뢰성을 확보하는 것이 곤란하다. 이 경우 그림 2(b) 결과와 같이 Silicon과 유사한 저 열팽창계수의 PCB를 사용하면 해결이 가능하다고 보고된 바 있다 [1].

하지만, 유기물을 기반으로 하는 PCB의 CTE를



(a)



(b)

그림 3. The CTE Characteristics of NTE filler and comparison with silica in composites.

낮추는 것은 매우 어렵다. PCB의 CTE를 낮추는 재료의 개발 방향은 우선 PCB 내에 Glass Cloth의 성분 중 Silica의 비율을 높여 Glass의 CTE를 5.5에서 2.8 ppm/K로 낮추고 Fused Silica (=0.5 ppm/K)를 Filler로 넣어 현재 약 5~7 ppm/K의 재료를 만드는 것이 가능하다. 하지만, 위의 연구결과에서 보듯이 CTE를 좀 더 낮출 필요가 있으며 Filler의 량을 줄일 필요도 있다. 본 연구자는 이러한 점에 착안하여 NTE (Negative Thermal Expansion)을 가지는 Filler를 도입하여 Silica에 비해 약 10~15%의 CTE 감소를 구현한 바 있다. 그림 3에 NTE Filler의 CTE 및 복합

재 결과를 나타내었다 [2].

이와 같이 Low CTE 재료는 Packaging 방식의 변화에 매우 중요하며 이를 구현하는 것이 미래 실장 기술에 필수 불가결의 요소라고 할 수 있다. 이와 더불어 기계적으로 좀 더 Stiff한 재료의 요구도 증가하고 있다. 이는 기판의 두께가 날로 줄어들어 Chip 실장 시 기판이 휘는 문제를 해결할 수 있을 것으로 사료된다.

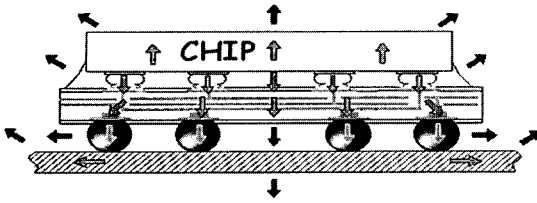
3. High Thermal Conductivity 재료

2004년 CPU Maker인 Intel은 Tejas라고 하는 Model의 개발 및 생산을 중지한다고 발표하였다. 이유는 다름 아닌 열이었다. 140 W의 전력을 소모하는 Chip은 전체 소모량뿐만 아니라 Chip의 열화 및 System에 큰 영향을 미쳐 Chip의 생산이 중단되게 하였다. 이로 말미암아 Chip의 전력소모량을 줄이는 연구와 더불어 Chip에서 발생하는 열을 얼마나 효과적으로 방출하는가 하는 것이 매우 중요한 Issue가 되었다. 또한 차세대 조명이라고 하는 LED에서도 Chip에서 발생하는 열의 방출이 사업 성패를 가늠한다고 해도 과언이 아니다.

이러한 Chip에서의 열의 방출 경로를 전체 Package에서 살펴보면 그림 4와 같다.

표 1. 재료별 열전도도.

재료	K (W/mK)	ΔT 전도 T1-T2	ΔT 대류 T2-Ta	ΔT 전체 T1-Ta
Foam 플라스틱	0.02	2000 °C	70 °C	2300 °C
일반 플라스틱	0.2	220 °C	70 °C	300 °C
유리	2	22 °C	70 °C	92 °C
열전도성 플라스틱	20	2 °C	70 °C	72 °C
알루미늄	200	0.2 °C	70 °C	70 °C
다이아몬드	2000	0.02 °C	70 °C	70 °C



(a)

Heat dissipated into the air
 Heat dissipated internally

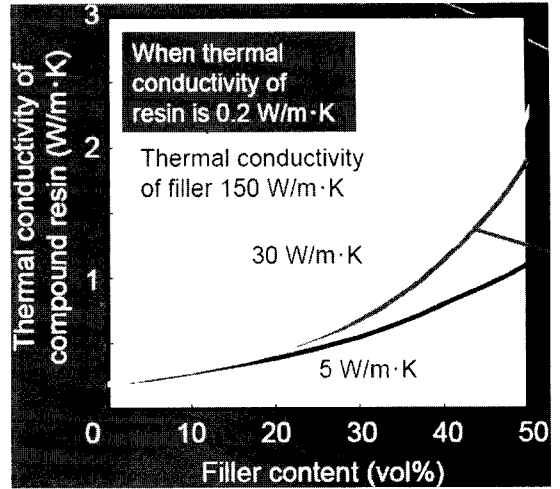
Board Surface	Package Surface	Lead Surface
68%	19%	13%

(b)

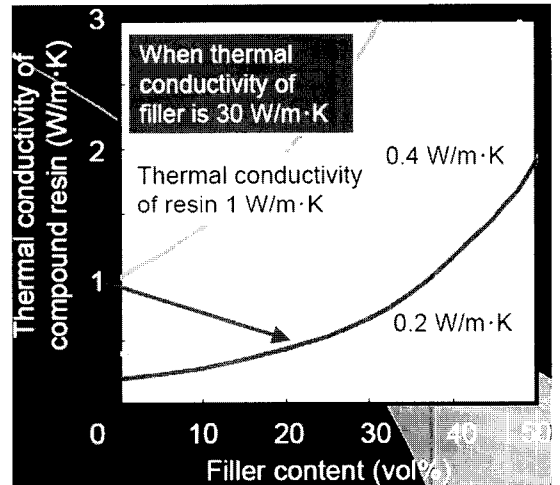
그림 4. Heat Dissipation Path in Package.

그림 4에서 알 수 있듯이 Package에서 열의 방출은 주로 PCB 표면으로 이루어진다. 하지만, PCB는 열전도율이 매우 낮아 효과적으로 열의 방출이 이루어지지 않는다. PCB의 구성물인 고분자와 다른 물질의 열전도도를 비교하여 표 1에 나타내었다.

표 1에서 보는 바와 같이 일반적인 고분자 물질은 세라믹이나 금속에 비해 매우 낮은 열전도도를 가진다. 이러한 단점을 개선하기 위해 고분자에 열전도성이 좋은 Ceramic 분말을 첨가해 열전도도를 높여 실제 제품에 사용하고 있다. 사용되는 Filler로는 주로 Alumina가 많이 사용되며 고열전도도가 필요한 곳에는 BN을 사용하고 있다. TIM (Thermal Interface Material)이 그 대표적인 예로 Chip과 Metal 사이에 붙여 Chip에서 Metal로 열전도가 원활히 이루어지게 한다. 하지만, 아직까지 PCB에는 적용 사례가 매우 적다. 근래에 들어 PCB 재료에 BN을 넣어 열전도도를 유리 수준인 2



(a)



(b)

그림 5. Thermal conductivity with different resin and filler.

W/mK정도로 증가시켜 고열방출이 필요한 곳에 사용하고 있으나 높은 가격 및 제한된 열방출로 말미암아 사용량은 그리 많지 않은 실정이다. 또한, EMC나 Underfill 및 SR (Solder Resist) 등등의 Package 재료에도 이러한 요구는 날로 증가되고 있다.

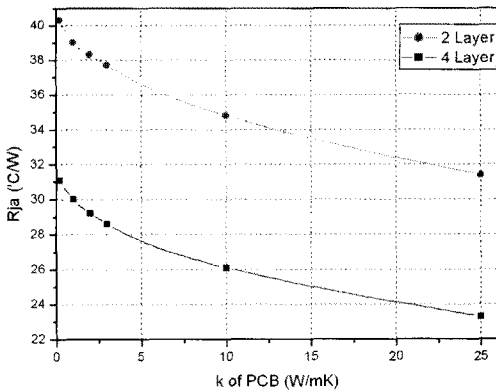


그림 6. Thermal resistivity of package with different thermal conductivity of PCB.

이러한 문제를 해결하기 위해서 가장 좋은 방법은 열전도도가 높은 고분자를 이용하는 것이다. 고분자는 비정질상으로 이루어져 있는데 이를 정질화하여 열전도도를 높인 사례를 [3] 그림 5에 나타내

었다.

그림 5(a)에서 0.2 W/mK의 열전도도를 가지는 고분자에 각각 5,30,150 W/mK의 열전도도를 가지는 Filler를 넣을 경우 그 차이는 매우 미미하여 50 vol%를 넣어도 열전도도는 약 2 W/mK 정도에 지나지 않는다. 하지만, 1 W/mK의 열전도도를 가지는 Resin의 경우 30 W/mK의 Filler를 30 vol%만 넣어도 열전도도가 3 W/mK를 나타낸다. 이러한 고열전도의 Resin을 이용하여 BN를 넣은 경우 약 7 W/mK의 값을 가지는 재료를 얻는 것이 가능하다. 이를 PCB에 적용하여 모사해보면 기존의 0.2 W/mK의 재료에 비해 열전도도가 높아질 경우 열저항이 그림 6과 같이 감소함을 알 수 있다. 4층 PCB의 경우에는 기판 내에 Cu가 많은 관계로 열저항이 낮다.

위의 결과로부터 만약 25W/mk의 열전도도를 가지는 재료가 개발될 경우 4층의 PCB를 2층으로 줄여서 제품을 만드는 것이 가능하며 이는 재료의 저감 및 공정의 단순화를 꾀할 수 있어 저비용의

표 2. The properties of capacitors for embedding.

	Company	Material	Capacitance (nF/in ²)	Thickness (μm)	유전율	가공온도
Sheet Type (CCL*)	Sanmina	FR-4	0.5	50	4.5	<200 °C
	3M	Polymer/BaTiO ₃	10	10	22	
	Dupont	Polyimide/BaTiO ₃	20-50	5~12	25	
	Matsushita	Polymer/BaTiO ₃	7	30	37	
	Mitsui	Polymer/BaTiO ₃	9.5	10	25	
RCC** Type	Hitachi chem.	Polymer/Ceramic	13	20	45	
Nozzle Spray	Microfab	High Dk Paste	-	-	-	
Hydrothermal Synthesis	Georgia tech.	BaTiO ₃	10000	6000 Å	700	
Nano Composites	Georgia tech.	Polymer/BaTiO ₃	200	3	-	200~500 °C
Anodizing /Sputtering	Shinko	Ta ₂ O ₅	425	0.3	23	
Sputter (Sol-Gel)	Motorola	PLZT	1800	~6000 Å	400	>500 °C
	Hitachi chem.	Ta ₂ O ₅	300	~6000 Å	200	
	Fujitsu	Ba(Zr,Ti)O ₃	258,000	50	300	
Paste Type	Dupont	Polyimide/BaTiO ₃	20	12	40 @1 kHz	<200 °C
	Asahi chem.	Polymer/BaTiO ₃	20	12	60 @1 kHz	
	Motorola	CFP	10	12	20.5	

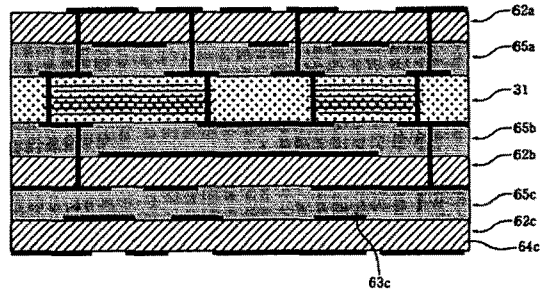
Packaging을 이룰 수 있을 것으로 사료된다.

4. Embedding 재료

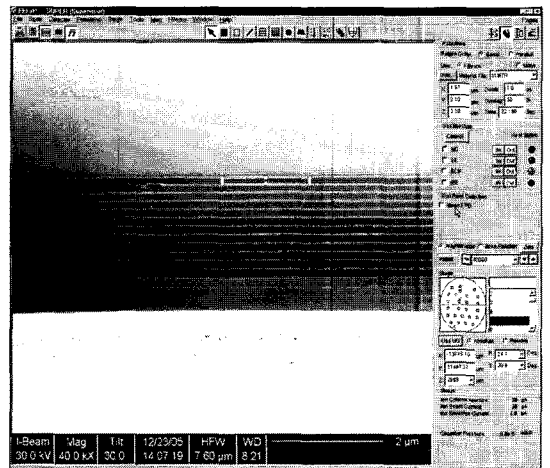
Packaging에서 Embedding은 매우 중요하다. 면적의 축소뿐만이 아니라 SI(Signal Integrity)/PI(Power Integrity)라는 측면에서도 가장 효과적인 방법이라고 하겠다. 본고에서는 Active(IC) Embedding은 제외하고 Passive(L,C,R) Embedding 중 주로 재료와 많은 관계가 있는 Capacitor Embedding만 다루고자 한다. 이는 IC Embedding이 더 중요하지만 재료와는 많은 관계가 없고 기관 및 IC의 수율이 가장 중요한 요인이기 때문이다.

Capacitor Embedding은 주로 Decoupling에 많은 초점을 맞추어 왔다. 그 이유는 여러 자료에서 많이 언급된 관계로 본고에서는 생략하기로 하고 가장 중요한 점은 고용량의 Capacitor를 구현할 수 있는 재료 및 방법이라고 하겠다. 초기에는 주로 고분자세라믹 복합재로 연구가 이루어졌고 그 다음에는 고유전율 유전체 박막이 그 뒤를 따라서 나타났다. 하지만, 이는 모두 결과적으로 실패하였다. 원인은 저용량 및 저내전압 때문이다. 지금까지의 연구 결과를 정리하면 표 2와 같다.

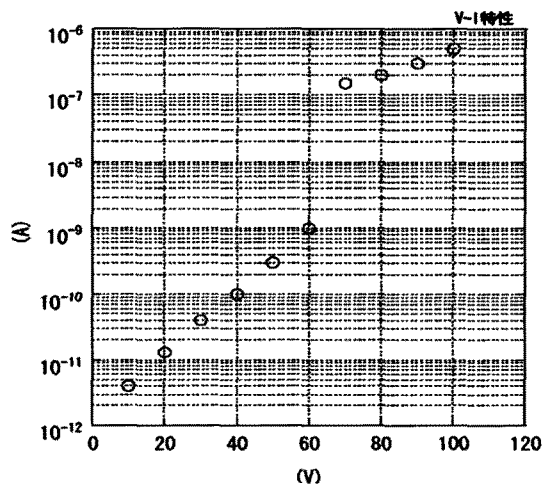
박막을 이용하는 경우에 정전용량을 키울 수는 있지만 기존에 많이 사용되는 적층 세라믹 콘덴서(MLCC)에 비해 절전용량이 매우 작다. 이로 인해 현재 Capacitor Embedding은 주로 MLCC를 PCB 내에 넣는 방법이 많이 이용되고 있다. 하지만, Size의 제약 및 표면 실장과 같이 실장을 해야 하는 문제, PCB 공정이 늘어나는 문제 등으로 인해 실제 사용은 매우 한정적이라고 할 수 있다. 본 연구자는 이러한 문제를 해결하기 위해 Polymer를 다층으로 한 MLPC (Multi-Layer Polymer Capacitor)를 이용하여 해결하고자 하였다. 이에 대한 기술은 아래 그림을 참조하시기 바란다 [4]. 그림 2(a)는 MLPC를 Embedding한 기판의 모식도이며 그림 2(b)는 MLPC의 단면으로 절연층은 0.2 μm , 전극은 0.05 μm 의 두께를 가진다. 그림 7(c)는 이 MLPC의 내전



(a) Schematic Diagram of MLPC Embedding PCB



(b) The Thickness of MLPC Layer



(c) The Dielectric Strength of MLPC

그림 7.



압 특성으로 100 V 이상에서도 절연파괴가 없다. 이러한 MLPC는 약 10 uF/mm²의 값을 가질 수 있으며 이는 MLCC와 필적할만하다.

참고 문헌

- [1] International Symposium on Microelectronics , 2000, P. 235~240
- [2] KR Patent Number : 0840924
- [3] ECWC 10 Conference at IPC Printed Circuits Expo., SMEMA Council Apex and Designer Summit, Presentation Paper
- [4] US Patent Number : 7186919

저|자|약|력



성 명 : 김진철

- ◆ 학 력
 - 1992년 고려대 재료공학과 공학사
 - 1995년 고려대 대학원 재료공학과 공학 석사
 - 2000년 고려대 대학원 재료공학과 공학 박사

◆ 경 력

- 2000년 - 현재 삼성전기 중앙연구소 eMD Lab 책임연구원

