

단락 개방 Calibration 방법을 이용한 분포 정수 소자의 기생 소자 추출 및 대역 통과 필터에의 응용

A Parasitic Elements Extraction of the Distributed Elements and an Application of the BPF Using the Short-Open Calibration Method

김유선 · 남 훈* · 임영석

Yuseon Kim · Hun Nam* · Yeongseog Lim

요 약

본 논문에서는 단락 개방 calibration(SOC) 방법을 이용하여 결함 접지 면을 갖는 전송 선로(DGS)와 short-circuited comb line section의 기생 소자 값들을 추출하였다. Microstrip 선로들로 구성된 단락, 개방, 분포 정수 소자의 산란 파라미터 행렬들은 전자기 시뮬레이터 및 벡터 네트워크 분석기를 이용하여 측정하였다. 제한된 구조의 전자기 영향들은 주파수 독립적인 소자들로 구성된 II형 또는 T형 등가 회로로 각각 표현하였고, 2 포트 네트워크 해석을 수행함으로써, 측정된 산란 파라미터들과 등가회로 소자들 간의 관계를 보였다. 또한, 2차 버터워스 프로토타입을 갖는 2.4 GHz 대역 통과 필터 설계에 이를 적용하였다. 그 결과, 중심 주파수에서 측정된 S_{11} 과 S_{21} 은 각각 -20 dB, -1.3 dB 이고, 0.5~5 GHz에서 예상했던 결과와 5 % 이내의 오차를 보였다.

Abstract

In this paper, we extract the parasitic elements of the transmission line with the defected ground structure(DGS) and the short-circuited comb line section using the Short-Open Calibration(SOC). The scattering matrixes of short, open and the distributed elements in microstrip line are measured by full electro-magnetic(EM) simulator and Vector Network Analyser(VNA). The electro-magnetic effects of the proposed structures are considered by the II and T equivalent circuits with frequency independent elements, and the relations between the measured scattering parameters and the elements in the circuits are shown by performing 2 port network analysis. Moreover, to design the 2.4 GHz bandpass filter with second order butterworth prototype, the proposed methods are applied. As results, the measured S_{11} and S_{21} indicate -20 dB and -1.3 dB at center frequency, and these are shown within 5 % error compare to the predicted results at 0.5~5 GHz.

Key words : Short-Open Calibration, Microstrip Coupled Line, Defected Ground Structure, BPF

I. 서 론

최근 무선 통신 시스템에서 MMIC(Microwave Monolithic Integrated Circuit) 기술과 LTCC(Low Temperature Co-fired Ceramic) 기술을 이용한 RF 소자의 소형화에 대한 연구들이 활발히 이루어지고 있다.

MMIC 기술은 반도체 매질 위에 트랜지스터, 수동 소자 및 구동 회로들을 설계하는 반면^{[1][2]}, LTCC 기술은 수동 소자들을 적층 구조 내부에 설계하고, 외부에 능동 소자들을 실장함으로써 RF 모듈을 구현하는 것이 특징이다^[3].

MMIC는 반도체 매질의 특성이 복잡하고, 얇은

전남대학교 전자공학과(Department of Electronics Engineering, Chonnam National University)

*LG-Nortel(LG-Nortel)

· 논문 번호 : 20081128-09S

· 수정완료일자 : 2009년 1월 20일

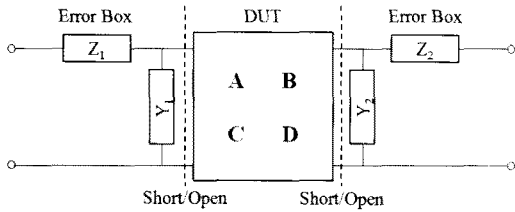


그림 1. 제안된 SOC 모델.
Fig. 1. The proposed SOC model.

선로에 의한 도체 손실, 서로 다른 비유전율, 높은 탄젠트 손실을 갖는 유전체 위에 패턴이 형성되기 때문에 고품질의 인덕터, 커패시터 설계가 매우 어려울 뿐만 아니라 이로 인해 능동 회로의 비선형성과 좁은 동작 대역폭 등의 문제 등을 유발해 왔다^[1]. 한편, LTCC 기술은 MMIC 기술에 비해 단순한 매질을 사용하지만, 적층 구조의 특성으로 인해, 일반적으로 낮은 특성 임피던스를 갖는 선로들을 선택해야 하고, 이에 기인한 기생 커패시턴스 효과 등으로 인해 라이브러리를 구축하고 적용하는 데에 있어서 적지 않은 오차 등을 유발해 왔다^{[4],[9],[10]}. 그 결과, MMIC 기술과 LTCC 기술을 이용한 회로 설계 및 구현에 있어서 많은 시간의 최적화 과정을 필요로 하여 전체 회로 설계 시간의 대부분을 차지해 왔었다. 이렇듯, 고효율의 특성을 갖고 이용 가능한 오차 범위 안의 수동 소자 구현은 RF 전반적인 영역에서 주요 관심사로 대두되고 있다.

한편, Calibration 기술은 정확한 DUT(Device Under Test)의 결과 값을 얻어내는 데에 목적이 있다. 이를 달성하기 위해 TRL(Thru-Reflect-Line)의 방법과 SOC(Short-Open-Calibration) 방법 등이 제안되었다^{[5]-[7]}. 이러한 Calibration 방법은 선로의 비연속성, 측정 디바이스에 대한 영향 등을 보상해 주는 역할을 위해 응용될 수 있으므로 de-embedding 과정이라고도 한다. 앞서 제시한 MMIC 기술이나 LTCC 기술이 적용된 소자들은 일반적으로 측정하기 어려운 매우 적은 물리적 길이를 가지므로, 특정한 측정 구조물을 필요로 하게 되고 이로 인해 발생하는 DUT의 산란 파라미터의 불확실성은 제거되어야 한다^{[5]-[7]}.

본 논문은 간단하면서도 정확한 self-calibration 방법을 제안함으로써, DUT의 불확실성을 제거하고 DUT들과 전자기적 요소들이 고려된 등가회로 간의

연결을 통해 curve-fitting 과정 없이 효율적인 소자 값 추출 방법을 제시한다. 또한, 이를 실험이 용이한 microstrip 선로의 분포 정수 소자들에 적용하여 주파수 독립적인 소자들로 분리하고, 대역 통과 필터 설계에 응용하는 일련의 과정을 보임으로써 SOC를 이용한 소자 값 추출 과정의 우수성을 입증한다.

II. SOC를 이용한 소자 값 추출

2-1 DUT의 ABCD 행렬 값 추출

본 논문에서는 그림 1에 보인 것과 같이 DUT의 정확한 소자 값 추출을 위해 제거되어야 할 효과를 Γ 형 네트워크로 정의하였다. 입출력 측의 측정 디바이스에 대한 영향의 임피던스, 어드미턴스 값을 각각 Z_1, Y_1, Z_2, Y_2 로 표기하고, 이를 아래의 식을 이용하여 ABCD 행렬 연산을 수행하여 제거해 주면, DUT의 A, B, C, D 값을 구할 수 있다.

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} 1 & -Z_1 \\ -Y_1 & 1+Z_1Y_1 \end{bmatrix} \begin{bmatrix} A_T & B_T \\ C_T & D_T \end{bmatrix} \begin{bmatrix} Y_2Z_2+1 & -Z_2 \\ -Y_2 & 1 \end{bmatrix} \quad (1)$$

여기서, A_T, B_T, C_T, D_T 는 측정구조와 DUT의 영향이 포함된 각각의 ABCD 행렬 값이고, A, B, C, D 는 DUT의 각 행렬 값이다.

측정 디바이스와 DUT의 영향이 포함되어 측정된 산란 파라미터 값을 각각 $S_{11T}, S_{12T}, S_{21T}, S_{22T}$ 라 정의하면, A_T, B_T, C_T, D_T 와 각 산란 파라미터 간의 관계는 다음과 같다^[7].

$$A_T = \frac{(1+S_{11T})(1-S_{22T})+S_{12T}S_{21T}}{2S_{21T}} \quad (2)$$

$$B_T = Z_0 \frac{(1+S_{11T})(1+S_{22T})-S_{12T}S_{21T}}{2S_{21T}} \quad (3)$$

$$C_T = \frac{1}{Z_0} \frac{(1-S_{11T})(1-S_{22T})-S_{12T}S_{21T}}{2S_{21T}} \quad (4)$$

$$D_T = \frac{(1-S_{11T})(1+S_{22T})+S_{12T}S_{21T}}{2S_{21T}} \quad (5)$$

한편, 측정 구조의 영향인 Z_1, Y_1, Z_2, Y_2 의 값은 DUT를 제외한 지점까지의 선로에서 단락한 구조와 개방한 구조의 산란 파라미터로부터 결정할 수 있다. 이에 대한 관계식은 다음과 같다.

$$Z_1 = \frac{Z_0(1+S_{11Short})}{(1-S_{11Short})} \quad (6)$$

$$Z_2 = \frac{Z_0(1+S_{22Short})}{(1-S_{22Short})} \quad (7)$$

$$\frac{1}{Y_1} = Z_0 \left[\frac{(1+S_{11Open})}{(1-S_{11Open})} - \frac{(1+S_{11Short})}{(1-S_{11Short})} \right] \quad (8)$$

$$\frac{1}{Y_2} = Z_0 \left[\frac{(1+S_{22Open})}{(1-S_{22Open})} - \frac{(1+S_{22Short})}{(1-S_{22Short})} \right] \quad (9)$$

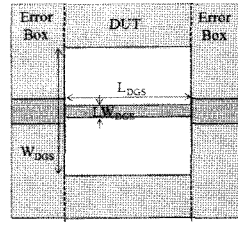
여기서 $S_{11Short}$, $S_{22Short}$, S_{11Open} , S_{22Open} 값들은 각각 단락, 개방 회로의 측정으로부터 얻어진 산란 파라미터 값들이다. DUT의 A, B, C, D의 값은 $S_{11Short}$, $S_{22Short}$, S_{11Open} , S_{22Open} 과 Z_1 , Y_1 , Z_2 , Y_2 의 관계식인 (6)~(9), S_{11T} , S_{12T} , S_{21T} , S_{22T} 과 A_T , B_T , C_T , D_T 행렬 사이의 관계식 (2)~(5)를 이용하여 Z_1 , Y_1 , Z_2 , Y_2 값과 A_T , B_T , C_T , D_T 값들을 식 (1)에 대입함으로써 얻어질 수 있다.

2-2 DGS의 소자 값 추출

그림 2(a)과 그림 2(b)에는 결합 접지 면을 갖는 전송 선로를 해석하기 위한 물리적 구조와 전자기적 특성을 고려한 등가 회로를 각각 도시하였다. 결합 접지 면을 포함하는 구조는 방사 손실, 도체 손실, 유전체 손실 등이 존재되어 있고, 특성 임피던스 값을 계산하는 근사식이 알려져 있지 않아 정량적인 소자 값을 결정하는 데에 많은 어려움이 있다.

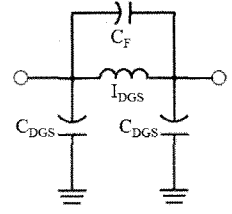
하지만, 접지 면과 선로 사이의 적은 결합 면적으로 인해 낮은 커패시턴스 값을 갖는다고 알려져 왔으며, 이는 선로의 높은 특성 임피던스를 유발한다. 또한, 측정 구조와 DGS 사이의 큰 특성 임피던스 차이는 인덕턴스 값을 더욱 증가시킨다. 이로 인해 적은 길이에 높은 인덕턴스 값을 갖게 되고 원하는 양의 소자 값을 갖는 인덕터 설계 시에 적은 도체 손실, 적은 커패시턴스 값을 가지므로 고효율의 인덕터 설계 시에 유리하다^[8].

본 논문에서는 DGS 구조의 한 주기 동안 단위 전류에 의한 자속쇄교량에 기인한 평균 인덕턴스와 불연속에 의해 발생하는 인덕턴스량을 I_{DGS} , 결합 접지 면에 의한 feedback 커패시턴스에 대한 영향을 C_F , 전송 선로와 접지 면 사이의 전위차에 기인한 커패시턴스 영향, 선로 불연속에 의해 더해지는 커패시턴



(a) 물리적 구조

(a) Physical structure



(b) 등가 회로

(b) Equivalent circuit

그림 2. DGS의 물리적 구조 및 등가 회로.

Fig. 2. Physical structure and the equivalent circuit of the DGS.

스 영향을 C_{DGS} 라 가정하여, 그림 2(b)와 같은 등가 회로를 제시하였다.

한편, 2-1절에서 error box의 영향이 제거된 A, B, C, D의 행렬 값과 그림 2(b)의 소자들 간의 관계는 다음과 같다.

$$A = 1 + (j\omega C_{DGS}) / (j\omega C_F + 1 / j\omega I_{DGS}) \quad (10)$$

$$B = 1 / (j\omega C_F + 1 / j\omega I_{DGS}) \quad (11)$$

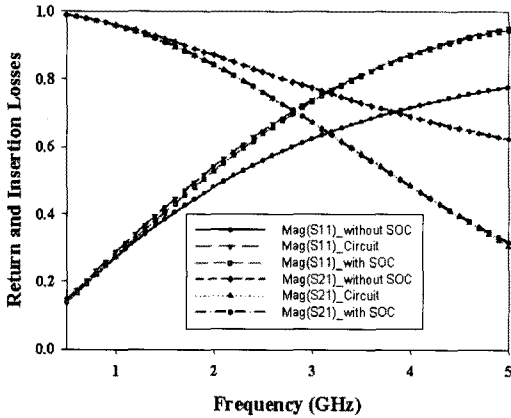
$$C = j2\omega C_{DGS} + (j\omega C_{DGS})^2 / (j\omega C_F + 1 / j\omega I_{DGS}) \quad (12)$$

$$D = 1 + (j\omega C_{DGS}) / (j\omega C_F + 1 / j\omega I_{DGS}) \quad (13)$$

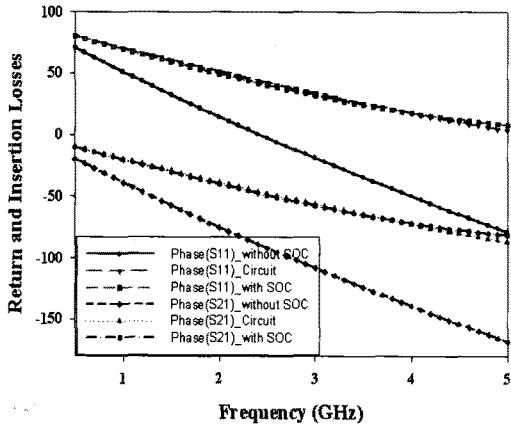
그림 3은 그림 2(a)에서 $W_{DGS}=5.2$ mm, $L_{DGS}=6$ mm, $LW_{DGS}=0.4$ mm이고, 비유전율 4.2, 높이 0.6 mm인 물리적 변수가 주어졌을 때, SOC를 적용한 결과, 적용하지 않은 결과와 식 (1)~(9)를 이용하여 추출된 A, B, C, D 값을 식 (10)~(13)을 각 소자에 대한 값으로 정리하여 추출한 값인 $I_{DGS}=5.077$ nH, $C_F=0.102$ pF, $C_{DGS}=0.082$ pF을 그림 2(b)의 등가회로에 대입하여 회로 해석한 것을 비교 도시한 것이다. 추출된 값을 적용한 회로 해석 결과와 SOC가 적용된 결과가 매우 잘 일치함을 보였다.

2-3 Microstrip 선로의 소자 값 추출

그림 4(a)와 그림 4(b)는 microstrip 선로의 주파수 독립적인 소자 값 추출을 위해 제안한 DUT 추출 모델과 등가회로를 각각 도시한 것이다. 2-1절에서 error box의 영향이 제거된 A, B, C, D의 행렬 값과 그림 4(b)의 소자들 간의 관계는 다음과 같다.



(a) 산란 파라미터들의 크기
(a) Magnitude of the scattering parameters



(b) 산란 파라미터들의 위상
(b) Phase of the scattering parameters

그림 3. DGS의 산란 파라미터들의 비교.
Fig. 3. The comparisons of scattering parameters of the DGS.

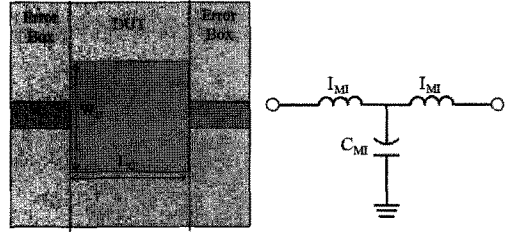
$$A = 1 + (j\omega I_{MI})(j\omega C_{MI}) \quad (14)$$

$$B = j2\omega I_{MI} + (j\omega I_{MI})^2(j\omega C_{MI}) \quad (15)$$

$$C = j\omega C_{MI} \quad (16)$$

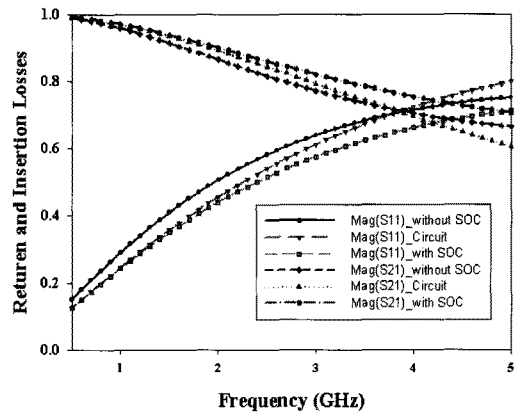
$$D = 1 + (j\omega I_{MI})(j\omega C_{MI}) \quad (17)$$

그림 5는 그림 4(a)에서 $W_C=5$ mm, $L_C=5$ mm이고 비유전율 4.2, 높이 0.6 mm인 물리적 변수가 주어졌을 때, SOC를 적용한 결과, 적용하지 않은 결과와 식 (14)~(17)을 각 소자에 대한 값으로 정리하여 추출한 값인 $I_{MI}=0.311$ nH, $C_{MI}=1.86$ pF를 그림 4(b)의

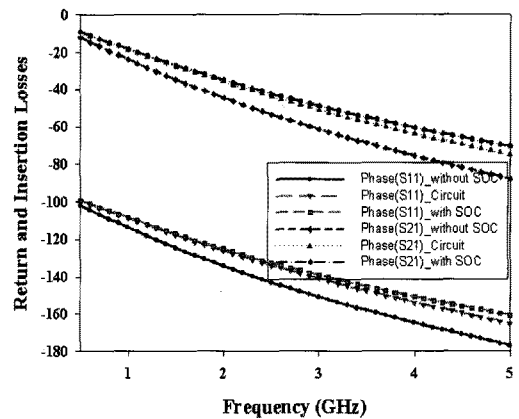


(a) 물리적 구조 (b) 등가 회로
(a) Physical structure (b) Equivalent circuit

그림 4. Microstrip의 물리적 구조 및 등가 회로
Fig. 4. Physical structure and the equivalent circuit of the microstrip line.



(a) 산란 파라미터들의 크기
(a) Magnitude of the scattering parameters



(b) 산란 파라미터들의 위상
(b) Phase of the scattering parameters

그림 5. Microstrip 선로의 산란 파라미터들의 비교.
Fig. 5. The comparisons of scattering parameters of the microstrip line.

등가회로에 대입하여 회로 해석한 결과와 비교 도시한 것이다. 저주파에서의 계산은 SOC가 적용된 산란 파라미터의 크기와 위상이 모두 잘 일치하지만, 고주파에서의 크기는 일정 오차를 보임을 알 수 있다. 이는 프런징 효과, 선로 비연결성, 시변계의 일정하지 않는 전류, 전압 분포, TE, TM 모드 발생 등을 제안된 T형 등가 회로로 해석하기에는 한계가 있다고 사료된다. 실제로 주어진 T형 등가 회로의 소자 값들을 제안된 방법에 따라 추출하게 되면 주파수가 증가할수록 커패시턴스 값은 감소하게 되고, 인덕턴스 값은 증가하게 되는 주파수 의존적인 특성이 도출된다. 본 논문에서는 0.5 GHz에서 관찰된 유효 커패시턴스, 유효 인덕턴스 값을 추출하였다. 그 결과 2.5 GHz까지는 SOC가 적용된 결과와 잘 일치함을 보인다.

2-4 결합 선로의 소자 값 추출

그림 6(a)와 그림 6(b)는 끝이 단락된 빗 모양의 결합 선로의 소자 값 추출을 위한 DUT 추출 모델과 등가 회로를 각각 도시한 것이다. 본 논문에서 적용하는 결합 선로는 본질적으로 모든 주파수를 차단하는 특성을 갖지만^[7], 대역 통과 필터나 대역 차단 필터 등에서 효과적인 상호 인덕턴스 발생을 위해 빈번히 사용되어져 왔었다^{[4],[9],[10]}.

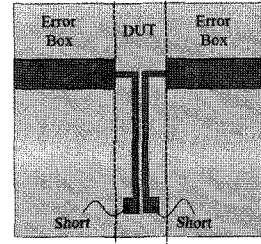
하지만, 기존의 연구들은 이를 이용하기 위해 복잡한 근사식과 전자기 시뮬레이션과 회로 해석간의 curve-fitting을 통해 소자 값을 결정하였고, 이를 적용 시 적지 않은 오차를 유발해 왔었다. 본 논문에서는 DUT의 A, B, C, D의 행렬 값과 그림 6(b)의 소자들 간의 관계를 네트워 해석을 통해 아래와 같이 정리함으로써 DUT의 불확실성을 제거할 뿐만 아니라 제안된 결합 선로를 주파수 독립적인 소자들로 분리한다.

$$A = 1 + (j\omega C_p + 1/j\omega I_p) / (j\omega C_m + 1/j\omega I_m) \quad (18)$$

$$B = 1 / (j\omega C_m + 1/j\omega I_m) \quad (19)$$

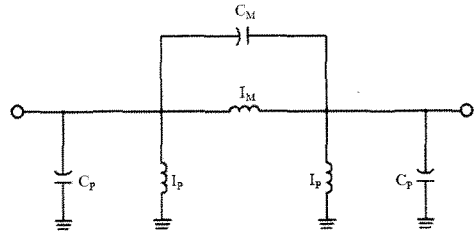
$$C = 2(j\omega C_p + 1/j\omega L_p) + (j\omega C_p + 1/j\omega L_p)^2 / (j\omega C_m + 1/j\omega I_m) \quad (20)$$

$$D = 1 + (j\omega C_p + 1/j\omega I_p) / (j\omega C_m + 1/j\omega I_m) \quad (21)$$



W : Coupled line width
S : Space between the lines
L : Length of the lines

(a) 물리적 구조
(a) Physical structure



(b) 등가 회로
(b) Equivalent circuit

그림 6. Short-circuited comb line section의 물리적 구조 및 등가 회로

Fig. 6. Physical structure and the equivalent circuit of the short-circuited comb line section.

여기서, I_p 와 C_p 는 단락된 하나의 선로와 그라운드 사이의 인덕턴스, 커패시턴스 효과를 반영한 것이고, I_m 과 C_m 은 결합 선로 사이의 자기, 전기 결합량을 반영한 것이다. 그림 7은 그림 6(a)에서 $W=0.8$ mm, $S=0.17$ mm, $L=9$ mm이고, 비유전율 4.2, 높이 0.6 mm인 물리적 변수가 주어졌을 때, SOC를 적용한 결과와 적용하지 않은 결과, 그리고 식 (18)~(21)을 각 소자에 대한 값으로 정리하여 추출한 값인 $I_p=4.514$ nH, $I_m=11.78$ nH, $C_p=0.357$ pF, $C_m=0.092$ pF를 그림 6(b)의 등가회로에 대입하여 회로 해석한 결과와 비교 도시한 것이다. SOC가 적용된 결과와 추출된 소자 값들이 반영된 회로 해석 결과가 관찰 대역에서 매우 잘 일치함을 보인다.

Ⅲ. 대역 통과 필터 설계 예

고주파 대역 통과 필터 설계에 있어서 최적화 과정을 최소화 하면서 원하는 스펙을 갖는 필터 구현

을 위해서는 분포정수 소자들의 기생 요소들의 정확한 고려가 필요하다. 이를 위해 앞 절에서 제시한 집중 소자 추출 방법을 사용하여 추출된 기생 소자들은 억제되거나 적절한 회로 합성을 통해 반영되었다. 그림 8과 그림 9는 앞 절의 소자들이 적용된 대역 통과 필터의 구조도와 등가 회로도를 각각 도시한 것이다.

2절에서 보인 것과 같이 DGS 구조의 커패시턴스 효과 C_F , C_{DGS} 들은 결합 접지 면을 충분히 크게 하였을 경우, 무시되어질 수 있고, 개방 스테르브의 인덕턴스 효과들 또한 W_c 를 충분히 넓게 설계할 경우 무시

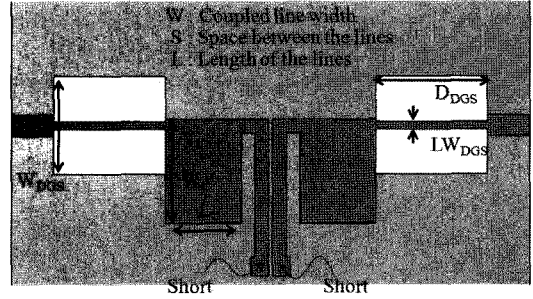
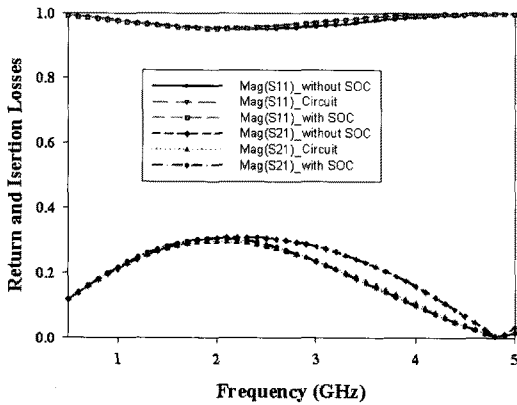
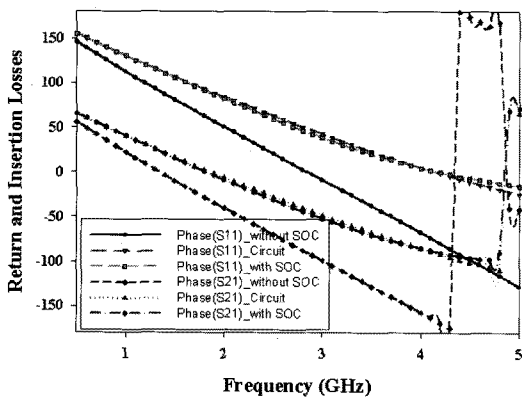


그림 8. 제안된 대역 통과 필터의 구조
Fig. 8. The structure of the proposed BPF.



(a) 산란 파라미터들의 크기
(a) Magnitude of the scattering parameters



(b) 산란 파라미터들의 위상
(b) Phase of the scattering parameters

그림 7. Short-circuited comb line section의 산란 파라미터들의 비교

Fig. 7. The comparisons of scattering parameters of the short-circuited comb line section.

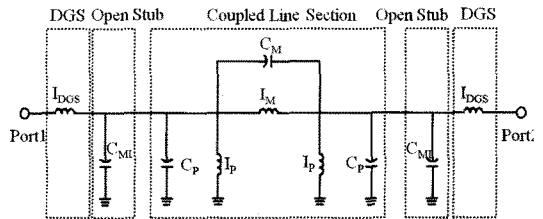


그림 9. 제안된 대역 통과 필터의 등가 회로
Fig. 9. An equivalent circuit of the proposed BPF.

되어질 수 있다. 또한, 개방 스테르브의 추출된 커패시턴스 효과 C_M 는 주파수가 증가할수록 감소하는 추이를 보이므로, DGS 구조의 기생 커패시턴스 효과 C_{DGS} 가 이를 보상해 줄 수 있다. 한편, 제안된 결합선로 구조와 개방된 스테르브 간의 간섭은 개방된 스테르브 내부의 기생 인덕턴스 효과 I_M 와 단락된 결합선로의 기생 커패시턴스 효과 C_P 는 미비하므로, 일정 간격 띄워 구성할 경우 무시할 수 있다. 또한, 결합선로 간의 결합 커패시턴스 효과인 C_M 값도 미비하므로 무시되어질 수 있다. 하지만, 결합선로의 기생 커패시턴스 효과 C_P 는 개방 스테르브의 커패시턴스 효과 C_M 와 병렬 관계이고, 이는 공진 주파수에 밀접한 영향을 주게 된다. 이러한 과정을 통해 그림 9의 회로는 J-Invertor로부터 유도된 Butterworth 2차 BPF 형태의 회로로 변형되어질 수 있다. FBW=0.3, 중심 주파수 2.4 GHz, 인버터 값이 반영되지 않은 초기 공진기의 L 값을 1.75 nH로 두고, J 인버터 변형을 통해 구현해야 할 목표 소자 값들을 추출하면 $I_{DGS}=4.045$ nH, $C_P+C_M=2.5129$ pF, $I_P=3.3075$ nH, $I_M=8.2494$ nH로 각각 주어진다. 이에 대한 회로 해석 결과는 그림 11에

표 1. 소자 값들과 물리적 파라미터들
Table 1. Element values and physical parameters.

Goal	Applied values	Physical parameters	Values
$I_{DGS}=4\sim 5.4$ nH	5.07 nH	LW_{DGS}	0.4 mm
$I_P=3.3\pm 0.2$ nH	3.42 nH	D_{DGS}, W_{DGS}	6 mm, 5.2 mm
$I_M=8.3\pm 0.4$ nH	8.07 nH	W_C, L_C	5.2 mm, 4 mm
$C_P+C_M=2.5\pm 0.2$ pF	2.38 pF	W, S	0.8 mm, 0.15 mm
$C_M<0.15$ pF	0.11 pF	L	8.84 mm

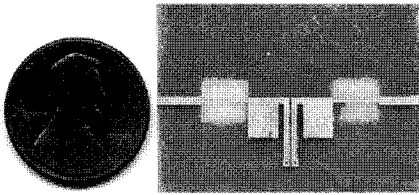


그림 10. 제작된 대역 통과 필터의 사진
Fig. 10. Photograph of the fabricated BPF.

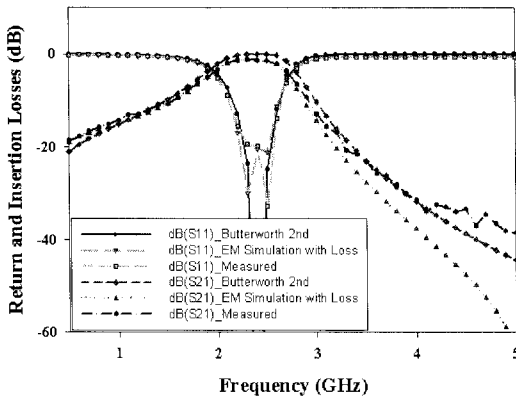


그림 11. 예측되고 측정된 산란 파라미터들
Fig. 11. Predicted and measured scattering parameters.

측정 결과와 함께 도시하였다. 본 논문에서는 표 1과 같이 일정량의 sensitivity를 주어 구현해야 할 소자 값들을 결정하였다.

II 절의 소자 값 추출 방법을 이용하여 추출된 소자 값들을 물리적 변수들에 대한 라이브러리를 만들

고, 목표 소자 구현을 위해 라이브러리로부터 가져온 소자들 또한 표 1에 함께 표기하였다. 결합 선로의 경우, 타 분포 정수 소자들에 비해 물리적 변수들에 대한 sensitivity 특성이 나쁘고, C_M 과 I_M 의 공진 주파수에서 전송 영점이 발생하게 된다. 이로 인해, 통과 대역에서의 임피던스 매칭이 미소하게 틀어지게 되는데, 대역폭 보상과 반사 손실을 줄이기 위해 I_{DGS} 값을 일정하여 증가시키고, C_P+C_M 값을 미소하게 감소시킴으로써 맞출 수 있다^[10]. 실제로 적용된 값들은 회로 해석을 통해 C_M 의 효과에 따른 영향이 보상된 값들이다. 덧붙여서, C_M 의 효과를 줄이기 위해 주어진 결합 선로의 간격을 떨어뜨리거나 선로의 길이를 줄일 수 있지만(전송 영점을 상측 주파수 이동), 유전체 손실의 증가에 의한 필터의 삽입 손실 또한 증가하게 된다.

한편, 단락을 위한 결합 선로의 끝단은 한 번의 길이가 1 mm인 정사각형이고, L 의 길이는 이를 제외한 값이다. 그림 10은 표 1의 값들이 적용되어 실제 제작된 필터이고, 비유전율이 4.2로 주어진 PCB 기판을 사용했음에도 불구하고, $25\times 15\times 0.6$ mm 이하의 소형화된 크기를 가진다. 이에 대한 전자기 해석 결과와 측정 결과는 회로 해석 결과와 함께 그림 11에 도시하였다. 예상하였던 결과와 매우 잘 일치함을 보였고, 2.4 GHz에서의 측정된 삽입 손실과 반사 손실은 각각 -1.3 dB, -20 dB이다. 본 논문에서 제안한 필터 설계 방법은 기존 구조들에 대한 전자기적 특성에 대한 분석과 라이브러리가 필요하지만, 최적화 과정 없이 목표하고자 하는 필터 특성에 매우 가깝게 초기 값을 결정할 수 있다.

IV. 결 론

본 논문의 SOC를 이용한 소자 값 추출 및 대역 통과 필터에 적용 과정은 다음과 같은 의미를 갖는다. 첫째, 측정 구조의 영향을 제거하여 DUT의 불확실성을 제거하고 정확한 주파수 독립적인 소자 값들을 추출할 수 있게 한다. 둘째, 기준에 추출하기 어려웠던 DGS 구조와 결합 선로의 주파수 의존적인 특성을 효과적으로 설명할 수 있다. 셋째, 결합 선로의 전자기 결합량을 제어함으로써 원하는 Spec을 갖는 대역 통과 필터를 용이하게 설계할 수 있다. 넷

재, 기생 효과에 의한 영향을 효과적으로 제어함으로써, 회로 적용 시에 긍정적인 영향과 부정적인 영향을 판단할 수 있게 한다. 다섯째, 수동 소자들의 측정이 어려운 MMIC 및 LTCC 기술에도 효과적으로 적용할 수 있다. 여섯째, 기존의 분포 정수 소자들을 이용한 설계와 달리 L , C 로 이루어진 집중 소자들을 이용한 설계를 함으로써, 미소한 특성 변화를 예측하고 제어할 수 있다.

참 고 문 헌

[1] C. Patrick Yue, S. Simon Wong, "Physical modeling of spiral inductors on silicon", *IEEE Trans. Electron Devices*, vol. 47, no. 3, pp. 560-568, Mar. 2000.

[2] O. H. Murphy, K. G. McCarthy, C. J. P. Delabie, Aidan C. Murphy, and P. J. Murphy, "Design of multiple-metal stacked inductors incorporating an extended physical model", *IEEE Trans. Microwave Theory and Tech.*, vol. 53, no. 6, pp. 2063-2072, Jun. 2005.

[3] A. Sutono, Deukhyoun H., Y. J. E. Chen, and J. Laskar, "High-Q LTCC-based passive library for wireless System-On Package(SOP) module development", *IEEE Trans. Microwave Theory and Tech.*, vol. 49, no. 10, pp. 1715-1724, Oct. 2001.

[4] A. Sutono, J. Laskar, and W. R. Smith, "Design of

miniature multilayer on package integrated image-reject filters", *IEEE Trans. Microwave Theory and Tech.*, vol. 51, no. 1, pp. 156-162, Jan. 2003.

[5] M. Farina, T. Rozzi, "A short-open deembedding technique for method of moments based electro magnetic analyses", *IEEE Trans. Microwave Theory and Tech.*, vol. 49, no. 4, pp. 624-628, Apr. 2001.

[6] Lei Zhu, Ke Wu, "Short-open calibration technique for field theory-based parameter extraction of lumped elements of planar integrated circuits", *IEEE Trans. Microwave Theory and Tech.*, vol. 50, no. 8, pp. 1861-1869, Aug. 2002.

[7] David M. Pozar, *Microwave Engineering*, Second Edition, Wiley, Chapter 2, 4, 8, 1998.

[8] J. K. Park, J. P. Kim, and S. W. Nam, "Design of a novel harmonic-suppressed microstrip low-pass filter", *IEEE Microwave Wireless Components Lett.*, vol. 17, no. 6, pp. 424-426, Jun. 2007.

[9] Ke Wu, R. Zhang, M. Ehlert, and D. G. Fang, "An explicit knowledge-embedded space mapping technique and its application to optimization of LTCC RF passive circuits", *IEEE Trans. Components and Packaging Tech.*, vol. 26, no. 2, pp. 339-406, Jun. 2003.

[10] 김유선, 남 훈, 이진천, 서인종, 임영석, "유효 인덕턴스 효과와 적층 PCB를 이용한 하나의 전송 영점을 갖는 대역 통과 필터", 한국전자과학 회논문지, 17(11), pp. 1089-1095, 2006년 11월.

김 유 선



2004년 2월: 전남대학교 전자공학과 (공학사)
 2006년 2월: 전남대학교 전자공학과 (공학석사)
 2006년 2월~현재: 전남대학교 전자공학과 박사과정
 [주 관심분야] 초고주파 회로 설계 및 해석, RF 소자 설계, 안테나

남 훈



1997년 2월: 동신대학교 전자공학과 (공학사)
 2001년 8월: 전남대학교 전자공학과 (공학석사)
 2009년 2월: 전남대학교 전자공학과 (공학박사)
 2001년 7월~현재: LG-Nortel 선임 연구원

[주 관심분야] 초고주파 회로설계 및 해석, RF 소자 설계, 전자파 수치 해석

임 영 석



1980년 2월: 서울대학교 전자공학과 (공학사)

1982년 2월: 서울대학교 전자공학과 (공학석사)

1989년 2월: 전북대학교 전자공학과 (공학박사)

1984년 9월~현재: 전남대학교 전자

공학과 교수

[주 관심분야] 전자파 수치 해석, 초고주파 회로 설계 및 해석, RF 소자 설계, 안테나