

2 Drop 구조를 가지는 Differential Pair의 Impedance 해석 및 설계 방안

Optimized Design Technique of a Differential Pair Having 2 Drop Configuration through Impedance Analysis

배민지 · 김윤정* · 최 웅* · 양국보* · 김영수*

Min-Ji Bae · Yoon-Jung Kim* · Ung Choi* · Kook-Bo Yang* · Young-Soo Kim*

요 약

본 논문에서는 microstrip line 구조를 가지는 differential pair의 2 drop 구조에 대한 임피던스 해석을 reflection theory를 바탕으로 분석하였다. 또한 시뮬레이션을 통한 transient 해석을 통해 임피던스 해석의 타당성을 검증하였다. 위와 같은 해석 과정을 통하여 다양한 drop 구조의 신호 전달 특성을 이해할 수 있다. 임피던스 해석을 바탕으로 2 drop 구조 해석을 통하여 최적의 signal integrity를 가지는 설계 기법을 제안하였고, circuit 시뮬레이션 해석(Ansoft designer)을 통해 signal integrity 효과를 검증하였다.

Abstract

In this paper, impedance analysis of a differential pair having 2 drop configuration is performed using the reflection theory and verified by circuit simulator (Ansoft designer). Through the impedance analysis, it was possible to understand the signal transmission at a differential pair, and an optimized 2 drop design technique of a differential pair could be developed. When compared with the conventional design, the proposed design shows a good signal integrity and has much less design restrictions.

Key words : Differential Signaling, Multi-Drop Configuration, 2-Drop Configuration, Signal Integrity

I. 서 론

점차 디지털 회로의 clock 주파수가 높아짐에 따라 signal integrity를 확보하기 위한 PCB 디자인이 중요한 문제로 대두되고 있다. Differential signaling은 signal integrity 및 EMI에 매우 우수한 신호 전송 기법으로 고주파 신호 전송에 널리 사용되고 있다.

Differential pair는 주로 multi drop 구조인 버스 구조로 설계되며, 이 구조는 cost를 줄이는 장점이 있

지만, 신호 왜곡을 야기시키는 단점 또한 가진다.

Differential signaling을 위한 differential pair 설계는 주로 chip 제조사인 "Texas instrument", "National Semiconductor" 등의 application note에 기반을 두고 설계되어지고 있다^{[1]~[4]}. 하지만 application note의 "Minimize stub lengths"와 같은 피상적인 design rule로는 설계에 많은 제약이 따른다. 즉, application note에서는 differential pair 구조에 관한 이론적 배경을 다루지 않고 단순한 설계 guideline만을 제시하기 때

「본 연구는 지식경제부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음(IITA-2008-C1090-0801-0037).」

「이 논문은 2009년도 두뇌한국21사업에 의하여 지원되었음.」

국방과학연구소(Agency for Defense Development)

*포항공과대학교 전자전기공학과(Department for Electronic and Electrical Engineering, Pohang University of Science and Technology)

· 논문 번호 : 20081128-20S

· 수정완료일자 : 2009년 2월 12일

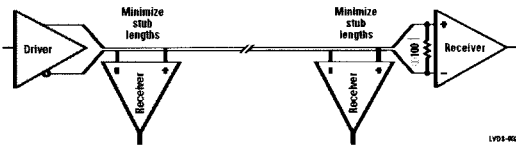


Figure 2.5. Multidrop configuration

그림 1. Differential pair의 multi drop 설계 방안(national semiconductor)

Fig. 1. Design rule of the multi-drop configuration of a differential pair(national semiconductor).

문에 PCB설계 시 drop 구조에 따른 voltage margin 이나 timing margin을 확보하기 위한 설계에 어려움을 겪고 있다(그림 1). 따라서 신호 손실을 최소화 하기 위하여 multi drop 구조의 신호 전달 특성에 대한 이해가 반드시 필요하다.

본 논문에서는 2 drop 구조를 가지는 ideal differential pair 채널에 관하여 시뮬레이션과 임피던스 해석을 바탕으로 transient 해석을 진행하였고, 그 결과를 비교하여 임피던스 해석의 타당성을 검증하였다. 또한, 임피던스 해석을 바탕으로 최적의 signal integrity를 보이는 2 drop 구조를 제안하였다.

II. Impedance Analysis

Differential signaling은 두 개의 transmission line을 통해 통과한 신호의 차로 신호의 On/Off를 판별한다. 따라서 두 채널을 각각으로 보지 않고 하나의 채널로 보아 해석하면 된다. Differential pair의 임피던스는 differential 임피던스의 개념으로 접근하여 해석할 수 있고, 이를 통해 differential pair의 transient 특성을 정확히 예측할 수 있다. 이렇게 해석하는 방식은 기존에 알려져 있던 reflection theory 바탕으로 해석이 가능하다.

그림 2는 differential pair의 driver와 junction 구조에 대한 임피던스 해석을 위한 예이다. Differential pair는 100 Ω으로 설계되었으며, differential pair를 위한 transmitter(TX)와 receiver(RX)의 입력 임피던스(B)는 무한대, 출력 임피던스(C)는 100 Ω으로 모델링이 가능하다. 따라서 출력에는 별도의 termination이 필요가 없지만, 입력에는 반사를 없애기 위한 적절한 termination이 필요하며 100 Ω 저항을 두 differential pair 사이에 termination시킨다. 따라서 입력 임피던스

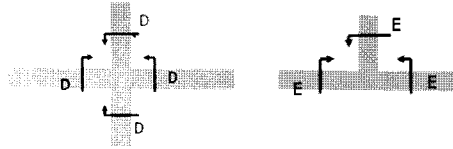
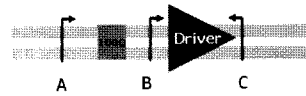


그림 2. Differential pair의 driver와 junction 구조의 임피던스 해석

Fig. 2. Impedance analysis of the driver and junction structure in a differential pair.

(A)는 100 Ω이 된다.

그림 2에서 4개의 분기 구조를 가지는 구조의 입력 임피던스(D)는 3개의 100 Ω line의 병렬 값과 같음으로 약 33.3 Ω이 되며, 반사계수는 $(33-100)/(33+100) \approx -1/2$ 이다. 그리고 3개의 분기 구조를 가지는 구조의 입력 임피던스(E)는 두 개의 100 Ω line의 병렬 저항 값인 50 Ω이 된다. 그에 따른 반사계수는 $(50-100)/(50+100) = -1/3$ 이 된다.

앞서 해석한 이론을 바탕으로 3개와 4개의 분기 구조를 가지는 2 drop 구조에 따른 반사계수를 그림 3 및 그림 4와 같이 나타낼 수 있다. 이것은 같은 drop 개수와 저항 개수를 가지지만 구조에 따른 반사 계수가 달라짐으로 signal integrity 특성 또한 상이할 것이라 예상할 수 있다.

III. 기본 구조 분석(Model 1(그림 3))

2 drop 기본 구조를 분석하기 위한 회로는 그림 3과 같고 위와 같은 해석을 통해 입력 impedance에 따른 각각의 반사계수(a, b_1, b_2)를 계산할 수 있다.

TX와 RX는 differential signaling을 위한 송신단/수신단이며, differential pair의 differential impedance는 100 Ω이다. 각 driver의 입출력 임피던스는 100 MΩ과 100 Ω으로 모델링하였으며, RX₂에 종단 저항 100 Ω을 위치하였다. 분기점에서 입력 impedance는 100 Ω과 100 Ω의 병렬 값인 50 Ω으로 계산할 수 있다. 반사계수가 0인 TX와 RX₂로 전달된 신호는 다시 되돌아오지 않는다는 것을 임피던스 해석을 통해 알 수 있다. Transmission line의 길이는 $L=250$ mm,

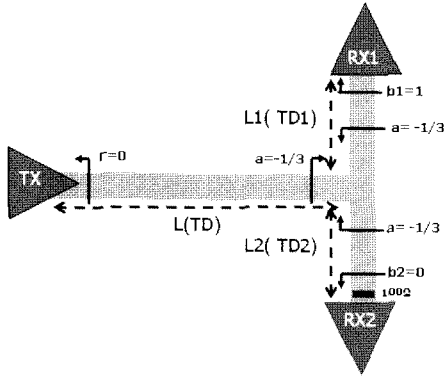


그림 3. Model 1의 반사계수(기본구조)
Fig. 3. Reflection coefficient of model 1 structure(consventional).

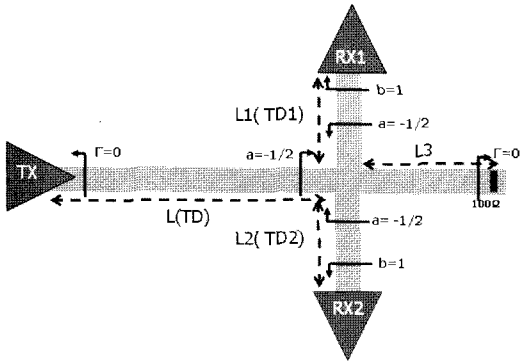


그림 4. Model 2의 반사계수(제안한 구조)
Fig. 4. Reflection coefficient of model 2 structure(proposed).

$L_1=70$ mm, $L_2=50$ mm이며, 그에 따른 odd mode propagation delay는 $TD=1.4$ ns, $TD_1=0.392$ ns, $TD_2=0.28$ ns이다.

2 drop model에서 하나의 drop을 termination시키지 않는 경우에 관한 voltage equation을 reflection theory를 적용하여 간단히 정리할 수 있다(식 1, 식 2).

$$V(t) = V(1-a)(1-b_1) \times \sum_{k=1}^{\infty} (ab_1)^{k-1} u(t - (2TD_1(k-1) + TD + TD_1)) - V_{ref} \quad (\text{식 1: RX1})$$

$$V(t) = V(1-a)u(t - (TD + TD_2)) + V(1-a)(1+a)(1+b_1) \times \sum_{k=1}^{\infty} (ab_1)^{k-1} u(t - (2TD_1k + TD + TD_2)) - V_{ref} \quad (\text{식 2: RX2})$$

- $k: 0, 1, 2, \dots$
- $u(t)$: unit function
- a, b_1 : 반사계수
- TD, TD_1, TD_2 : Transmission line 전달 지연 시간

제안한 voltage equation의 검증을 위한 시뮬레이션(Ansoft designer)을 수행하였다. 입력으로 +/- 330 mV 스윙 레벨을 갖는 differential voltage를 인가하였으며 rising/falling time=0.2 ns이다.

그림 5와 그림 6은 RX₁, RX₂에서의 voltage 파형을 나타낸 시뮬레이션 결과이다. 표 1과 표 2는 RX₁과 RX₂의 수신단의 voltage를 equation을 이용하여 계산한 값과 시뮬레이션한 값을 비교하여 표로 나타낸 것이다. RX₁과 RX₂에 대해 각 voltage point(V_1, V_2, V_3)에 대한 시뮬레이션 및 식에 의한 해석 결과를 살펴보면 시뮬레이션과 계산 값이 거의 일치하는 것을 알 수 있다.

또한, 그림 5와 그림 6에서 voltage ripple ($2*TD_1$)은 대략 0.785~0.786 ns로써, 계산 값(0.784 ns)과 거의 유사한 값을 가지는 것을 알 수 있다. 이를 통해

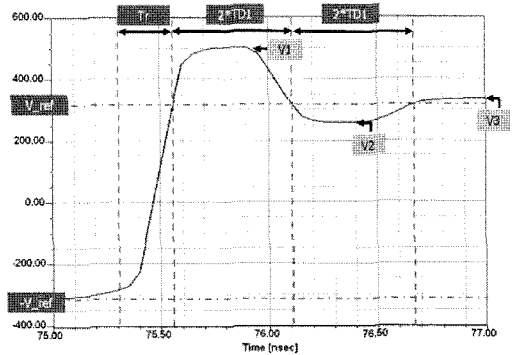


그림 5. RX₁의 시뮬레이션 결과
Fig. 5. Simulated result at RX₁.

표 1. RX₁에서의 계산 값과 시뮬레이션 값의 비교
Table 1. Comparison of the simulated result and calculated result at RX₁.

	Calculation(mV)	Simulation(mV)	Difference(%)
V_1	525	512	1.970
V_2	245	259	-2.121
V_3	339	337	0.303

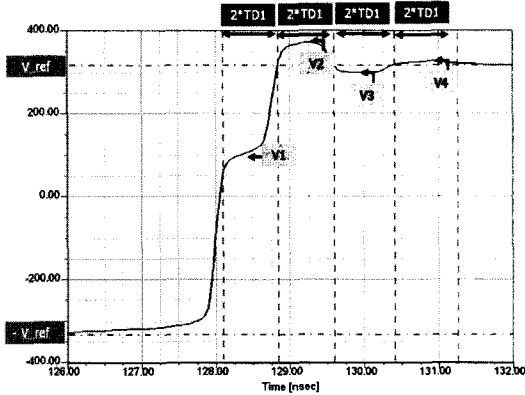


그림 6. RX₂의 시뮬레이션 결과
Fig. 6. Simulated results at RX₂.

표 2. RX₂에서의 계산 값과 시뮬레이션 값의 비교
Table 2. Comparison of the simulated result and calculated result at RX₂.

	Calculation(mV)	Simulation(mV)	Difference(%)
V ₁	105	100	0.758
V ₂	385	370	2.273
V ₃	291	298	-1.061

제안한 voltage equation의 해석의 타당성을 검증할 수 있으며, 제안한 수식으로 design parameter에 대한 해석 또한 가능하다.

제안한 voltage equation을 분석하여 보면 종단 저항이 있는 stub와 없는 stub의 길이에 따른 파형 특성이 상이함을 알 수 있으며, 그림 7, 그림 8의 eye pattern으로 확인이 가능하다.

그림 7은 종단 저항이 있는 stub의 길이(L₂)에 의한 voltage 파형의 영향을 eye pattern으로 나타내었다. 종단 저항이 있는 stub의 길이가 길어져도 신호 왜곡에는 영향을 주지 않으며 time delay에만 영향을 준다. 그림 8은 종단 저항이 없는 stub 길이(L₁)에 따른 voltage 파형의 영향이다. Termination 되지 않는 stub 길이는 voltage ripple의 주기에 영향을 미치며 긴 line일수록 saturation 속도가 느리다. 즉, 짧은 stub 길이일수록 voltage가 steady state 상태로 먼저 도달하기 때문에 signal integrity 특성이 좋다.

위와 같은 transient 해석을 통해, voltage ripple은

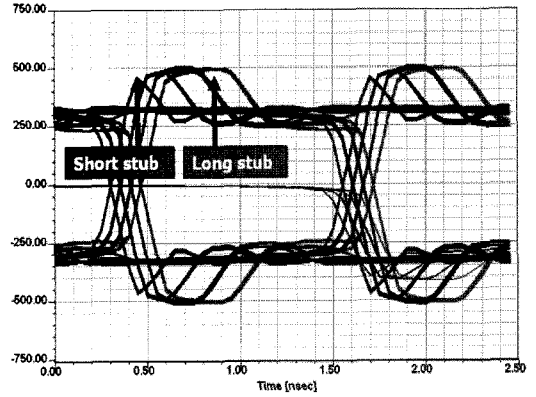


그림 7. RX₂에서 종단 저항이 있는 stub의 길이에 의한 voltage 영향
Fig. 7. Voltage waveform at the RX₂ according to terminated stub length.

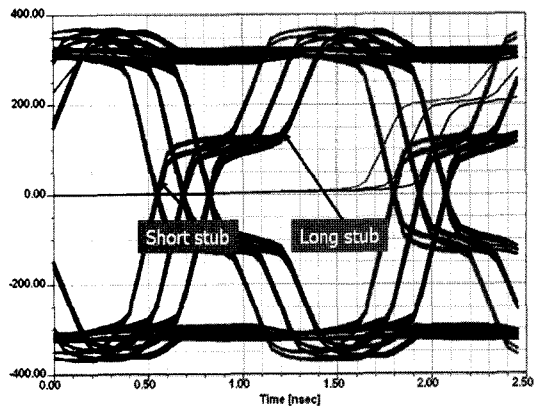


그림 8. RX₁에서 종단 저항이 없는 stub의 길이에 의한 voltage 영향
Fig. 8. Voltage waveform at the RX₁ according to un-terminated stub length.

L₁(종단 저항이 없는 수신단까지 stub 길이)에 의해 결정되고, L₂는 data skew에만 영향을 미치는 것을 알 수 있으며, 시뮬레이션 또한 같은 결과를 얻는 것을 알 수 있다.

가장 대표적인 2 drop 구조인 model 1의 신호 전송 특성을 시뮬레이션 및 계산식을 통해 살펴보고, 두 값이 동일한 값을 나타내는 것을 확인하였다. 임피던스 해석을 통한 voltage equation의 도출을 통하여 differential pair의 drop 구조의 전송 특성을 이해할 수 있다.

IV. 최적화된 설계 방안(Model 2)

Model 2는 임피던스 해석을 바탕으로 한 최적의 2 drop 설계 구조이며 4개의 분기를 가진다(그림 4). Model 2는 두 stub가 동일한 길이를 가지게 설계되었으며, 종단 저항을 수신단이 아닌 분기 이전 신호의 연장선(L_3)에 위치하는 특징을 가진다.

기존의 구조(Model 1)와 비교하기 위하여 model 1, 2의 2가지 구조에 대하여 800 Mbps pseudo random signal을 인가하여 eye pattern을 살펴보았다(voltage swing level: 330 mV /transient time : 0.2 ns). Model 1, model 2의 각 신호선의 길이는 $L=250$ mm, $L_1=35$ mm, $L_2=35$ mm, $L_3=10$ mm이며, 이것은 상용 board의 spec을 바탕으로 하여 설계한 값이다.

Model 2 구조는 같은 stub길이($L_1=L_2$)를 가진다. 또한, junction 구조에서 반사/전달되는 신호는 같은 크기($V*1/2$)를 가지며 위상은 180도 만큼 차이가 난다. 따라서 반사/전달되는 신호의 상쇄가 극대화된다. 따라서 model 2가 model 1 구조에 비해 뛰어난 signal integrity 특성을 보인다(그림 9).

그림 10은 800 Mbps로 구동되는 model 1과 model 2의 eye pattern을 비교하여 나타낸 그림이다. 각각의 파형은 ± 330 mV로 saturation한다. 하지만 model 1은 voltage ripple이 발생하기 때문에 signal integrity 성능이 나쁘다. 그에 반해 model 2의 경우 신호 상쇄 효과로 인하여 signal integrity가 극대화됨을 알 수 있다.

그림 11은 model 2 구조의 stub 길이(L_1, L_2)가 80 mm, 180 mm인 경우 eye diagram을 동시에 나타낸 것이다. Stub의 길이가 길어질수록 time delay만 발생할

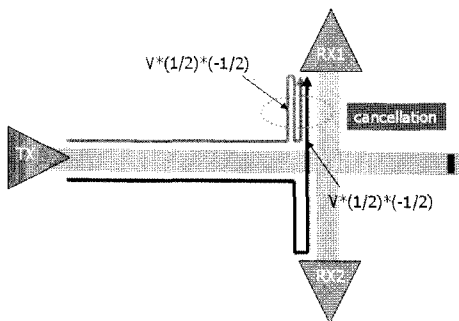


그림 9. Model 2의 구조 특성에 따른 신호 상쇄 효과
Fig. 9. Signal cancellation effect of model 2.

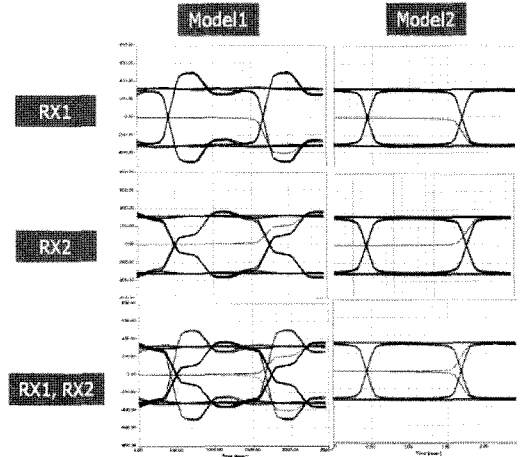


그림 10. Model 1과 model 2의 eye pattern 비교
Fig. 10. Comparison of the eye pattern of model 1 and model 2.

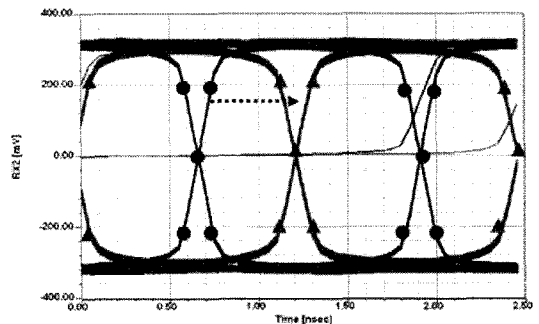


그림 11. Model 2의 stub 길이에 따른 eye pattern
Fig. 11. Eye pattern of the model 2 according to the stub length.

뿐 signal integrity에는 영향을 미치지 않는다는 것을 알 수 있다. Model 2의 설계는 stub의 길이 L_1, L_2 를 동일하게 설계해 준다면 stub의 길이가 길어져도 특성이 감소하지 않는 장점이 있다. 이것은 model 1의 특성이 termination 되지 않은 stub 길이가 길어질수록 감소하는 것과는 큰 차이를 보인다.

V. 결론

본 논문에서는 기존 differential pair의 2 drop 기본 구조의 임피던스 분석을 수행하였다. 시뮬레이션을 통한 transient 해석을 통해 임피던스 해석의 타당성을 검증하였고, 제한한 voltage equation을 통하여 설

계 parameter의 이해 또한 가능하였다.

위와 같은 해석 과정을 통하여 다양한 drop 구조의 신호 전달 특성을 이해할 수 있으며, 이를 바탕으로 최상의 signal integrity를 위한 2 drop 설계 방안을 제안하였다. 기존의 디자인(model 1)은 termination 되지 않은 stub 길이를 최대한 짧게 하여야 한다는 제약이 있지만, 제한한 구조(model 2)는 두 stub 길이를 같게만 유지시켜 준다면, stub의 길이의 제약이 없어 PCB 디자인 측면에서 매우 자유롭다. 또한, 저항을 추가적으로 사용하지 않기 때문에 제품 단가를 상승시키지 않는다. 따라서 PCB 설계 측면에서 매우 자유로우며, signal integrity 성능 또한 월등히 우수하다.

참 고 문 헌

[1] 배민지, 김윤정, 최웅, 양국보, 김영수, "2 drop 구조를 가지는 differential pair의 signal integrity에 관한 고찰", 한국전자과학회 종합학술발표회논문집, 18(1), pp. 120, 2008년 11월.
 [2] 배민지, 김윤정, 최웅, 양국보, 김영수, "Differential pair에서 최적의 signal integrity를 위한 2-drop

설계 방법", 대한전자공학회 추계학술대회논문집, 31(2), pp. 1013-1014, 2008년 11월.

[3] Texas Instruments, "LVDS Application and Data Handbook", Literature Number: SLLD009, Nov. 2002.
 [4] Elliott Cole, "LVDS Multidrop Connection", Application note, Texas Instrument, 2002.
 [5] LVDS Owner's Manual, Including High-Speed CML and Signal Conditioning, Fourth Edition, 2002.
 [6] John Goldie, "A Baker's dozen of high-speed differential backplane design tips", High-Performance Design Conference, 2000.
 [7] Eric Bogatin, Signal Integrity Simplified, Prentice Hall, pp. 471-549, 2002.
 [8] John Goldie, Michael Hinh, "Multi-Drop Channel-Link Operation", National Semiconductor, Application Note 1109, May 1998.
 [9] Clayton R. Paul, Electromagnetic Compatibility, Wiley, 2005.
 [10] Kenneth M. True, "Long transmission lines and data signal quality", National Semiconductor Application Note 807, Mar. 1992.

배 민 지



2007년 2월: 경북대학교 전자전기 컴퓨터학부 (공학사)
 2009년 2월: 포항공과대학교 전자전기공학과 (공학석사)
 2009년 2월~현재: 국방과학연구소 연구원
 [주 관심분야] SI, PI

최 웅



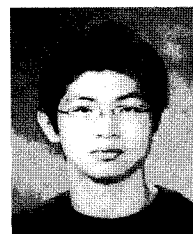
2004년 2월: 홍익대학교 전자전기공학부 (공학사)
 2004년 2월~현재: 포항공과대학교 전자전기공학과 석박사통합과정
 [주 관심분야] SI, PI, EMI

김 윤 정



2001년 2월: 충남대학교 전파공학과 (공학사)
 2008년 2월: 포항공과대학교 전자전기공학과 (공학박사)
 2008년 2월~현재: 포항공과대학교 전자전기공학과 박사 후 연구원
 [주 관심분야] SI, PI, EMI, EBG

양 국 보



2008년 2월: 중앙대학교 전자전기공학부 (공학사)
 2008년 2월~현재: 포항공과대학교 전자전기공학과 석사과정
 [주 관심분야] SI, PI, EMI, EBG

김 영 수



1974년 2월: 서울대학교 전자공학과 (공학사)

1980년 2월: University of Kansas 전자공학과 (공학석사)

1984년 2월: University of Kansas 전자공학과 (공학박사)

1983년~1987년: Florida Atlantic Univ.

전자전기공학과 조교수

1987년~현재: 포항공과대학교 전자전기공학과 교수

[주 관심분야] 레이더, 초고주파 원격탐사, EMI/EMC, 이동통신(스펙트럼 엔지니어링)