

논문 2009-46SD-3-7

# 어쿠스틱 센서 IC용 4차 단일 비트 연속 시간 시그마-델타 모듈레이터

( A 4<sup>th</sup>-Order 1-bit Continuous-Time Sigma-Delta Modulator for  
Acoustic Sensor )

김형중\*, 이민우\*, 노정진\*\*

( Hyoungjoong Kim, Minwoo Lee, and Jeongjin Roh )

## 요 약

본 논문에서는 어쿠스틱 센서 IC 용 연속 시간 시그마-델타 모듈레이터를 구현하였다. 모듈레이터의 전력 소모를 최소화하기 위해 summing 단의 필요성을 제거한 피드-포워드 (feed-forward) 구조로 설계 하였으며, 해상도를 높이기 위해 선형성이 우수한 active-RC 필터를 사용하여 설계 하였다. 또한 초과 루프 지연 시간 (excess loop delay) 에 의한 성능 저하를 방지하기 위한 회로 기법을 제안 하였다. 저 전압, 고 해상도의 4차 단일 비트 연속 시간 시그마-델타 모듈레이터는 0.13  $\mu\text{m}$  1 poly 8 metal CMOS 표준 공정으로 제작하였으며 코어 크기는 0.58  $\text{mm}^2$  이다. 시뮬레이션 결과 25 kHz 의 신호 대역 내에서 91.3 dB 의 SNR(signal to noise ratio)을 얻었고 전체 전력 소모는 290  $\mu\text{W}$  임을 확인하였다.

## Abstract

This paper presents the design of continuous-time sigma-delta modulator for acoustic sensor. The feedforward structure without summing block is used to reduce power consumption of sigma-delta modulator. A high-linearity active-RC filter is used to improve resolution of sigma-delta modulator. Excess loop delay problem in conventional continuous-time sigma-delta modulators is solved by our proposed architecture. A low power, high resolution fourth-order continuous-time sigma-delta modulator with 1-bit quantization was realized in a 0.13- $\mu\text{m}$ , 1-poly 8-metal CMOS technology, with a core area of 0.58  $\text{mm}^2$ . Simulation results show that the modulator achieves 91.3-dB SNR over a 25-kHz signal bandwidth with an oversampling ratio of 64, while dissipating 290  $\mu\text{W}$  from a 3.3-V supply.

**Keywords:** Acoustic sensor, continuous-time, sigma-delta modulator, high resolution, low power

## I. 서 론

유비쿼터스 산업의 발전으로 미래형 단말기에는 고성능의 입체 음향 감지 기능을 지닌 어쿠스틱 센서가 구비 될 것으로 예상된다. 따라서 이러한 센서 신호를

효과적으로 처리하기 위해서는 높은 해상도를 가지는 ADC 가 필요하다. 시그마-델타 모듈레이터는 가청 주파수 신호 대역에서 높은 다이내믹 레인지를 가지기 때문에 어쿠스틱 센서 IC 에 적합한 구조라 할 수 있다.

시그마-델타 모듈레이터는 설계 방법에 따라 이산 시간 (discrete-time) 시그마-델타 모듈레이터와 연속 시간 (continuous-time) 시그마-델타 모듈레이터로 구분 할 수 있다. 이산 시간 시그마-델타 모듈레이터는 스위치드-커패시터 (switched-capacitor) 회로를 이용하여 구현되기 때문에 단일 비트 (single-bit) 로 설계 시 적분기 단계 사용되는 연산 증폭기의 단일 이득 주파수 (unit gain frequency) 가 샘플링 주파수 (sampling

\* 학생회원, \*\* 정회원, 한양대학교 전자컴퓨터공학  
(Dep. of Electronic, Electrical, Control and  
Instrumentation Engineering, Hanyang Univ.)

※ 본 논문은 지식경제부 및 정보통신연구진흥원의 IT  
성장동력기술개발사업의 일환으로 수행한 연구로부터  
도출된 것이다. [과제번호 : 2006-S-006-02, 과  
제명 : 유비쿼터스 단말용 부품/모듈]  
접수일자: 2008년12월24일, 수정완료일: 2009년2월2일

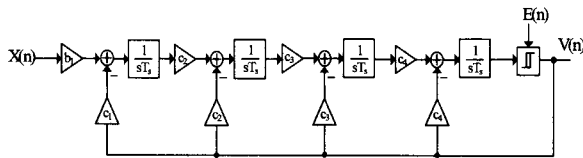


그림 1. 피드백 시그마-델타 모듈레이터.

Fig. 1. Feedback sigma-delta modulator.

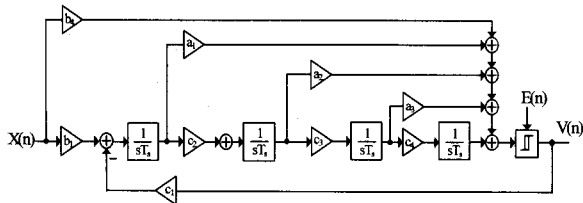


그림 2. 피드-포워드 시그마-델타 모듈레이터.

Fig. 2. Feed-forward sigma-delta modulator.

frequency) 보다 2 배 이상 커야 한다<sup>[1]</sup>. 반면 연속 시간 시그마-델타 모듈레이터는 연속 시간 루프 필터로 구성 되어 있어 증폭기의 단일 이득 주파수를 샘플링 주파수와 같도록 설계가 가능 하다<sup>[2]</sup>. 이를 통해 이산 시간 시그마-델타 모듈레이터 보다 적은 전력을 이용하여 연속 시간 시그마-델타 모듈레이터를 설계 할 수 있다. 또한 연속 시간 시그마-델타 모듈레이터는 자체적으로 겹침 방지 필터 (anti aliasing filter) 기능을 가진다<sup>[3]</sup>. 그러므로 어쿠스틱 센서 IC 의 센서 리드아웃 단에서 사용되는 겹침 방지 필터의 사양을 완화 시킬 수 있게 된다. 이는 어쿠스틱 센서 IC 의 저 전력 설계를 가능 하게 한다.

따라서 본 논문에서는 어쿠스틱 센서 IC 에 적용 가능한 연속 시간 시그마-델타 모듈레이터의 설계 방법과 전력 소모를 줄이는 회로 설계 기법에 대해 알아보하고자 한다. 본 논문이 다루고 있는 내용은 다음과 같다. II 장에서 연속 시간 시그마-델타 모듈레이터의 구조 및 특성에 대해 논하고 III 장에서는 II 장에서 논의된 모듈레이터를 설계 및 구현하는 과정을 다루었다. IV 장에서는 설계한 모듈레이터의 시뮬레이션 결과를 나타내었고 V 장에서는 시뮬레이션 결과를 바탕으로 결론을 작성하였다.

## II. 모듈레이터의 구조 및 특성

본 논문에서 제안 하는 연속 시간 시그마-델타 모듈레이터는 어쿠스틱 센서 신호 처리를 위해 25 kHz 의 신호 대역과 15 비트 이상의 다이내믹 레인지를 목표로

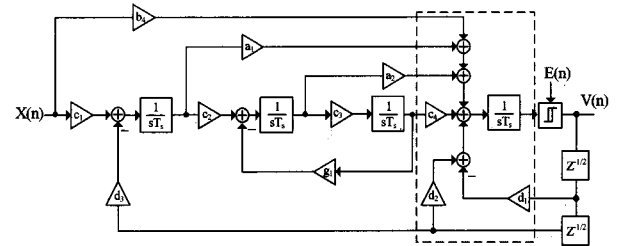


그림 3. 개선된 피드-포워드 시그마-델타 모듈레이터.

Fig. 3. Improved feed-forward sigma-delta modulator.

한다. 따라서 목표로 하는 다이내믹 레인지를 얻기 위해서 OSR (oversampling ratio) 64 의 4 차, 단일 비트로 모듈레이터를 설계 하였다. 시그마-델타 모듈레이터는 구조에 따라 그림 1의 피드백 (feedback) 구조와 그림 2의 피드-포워드 (feed-forward) 구조로 나뉜다. 각각의 구조의 장단점은 다음과 같다<sup>[4]</sup>. 먼저 피드백 구조는 신호 전달 함수 (STF) 가 피드-포워드 구조에 비해 low-pass 특성이 강한 장점이 있다. 또한 양자화기 (quantizer) 앞 단에 추가적인 summing 회로가 필요 하지 않은 장점이 있다. 그러나 피드백 구조는 적분기의 출력 신호 스윙 폭이 크기 때문에 저 전력 설계가 어려운 단점이 있다. 반면 피드-포워드 구조는 피드백 구조와는 달리 신호 대역 밖에서 신호 전달 함수 (STF) 의 overshoot 이 발생한다. 따라서 무선 통신 분야처럼 모듈레이터 신호 대역 밖 주파수 대역에 많은 신호 간섭이 발생하는 회로에서는 응용하기 어렵다는 단점이 있다. 또한 피드-포워드 신호 성분을 더하기 위해 양자화기 앞 단에 추가적인 summing 회로가 필요하게 되어 회로 설계가 복잡해지는 단점이 있다. 그러나 피드-포워드 구조는 첫 번째 적분기의 출력 스윙 폭이 피드백 구조에 비해 훨씬 작기 때문에 적분기에 사용되는 증폭기의 증폭도를 더욱더 크게 설계할 수 있다. 따라서 상대적으로 적은 전력으로도 피드백 구조와 같은 성능의 모듈레이터를 설계 할 수 있다. 이는 모듈레이터의 저 전력 설계에 유리한 장점이 된다.

본 논문에서 설계 한 시그마-델타 모듈레이터의 입력 신호인 어쿠스틱 센서 신호는 저주파 신호 성분으로만 구성 되어 있기 때문에 모듈레이터 신호 대역 밖의 overshoot 은 크게 고려하지 않아도 된다. 따라서 저 전력 설계가 용이한 피드-포워드 구조를 사용하여 연속 시간 시그마-델타 모듈레이터를 설계 하였다. 또한 추가적인 summing 회로의 필요로 인한 전력 소모의 증가를 막기 위해 그림 3에서 나타낸 것과 같이 피드-포

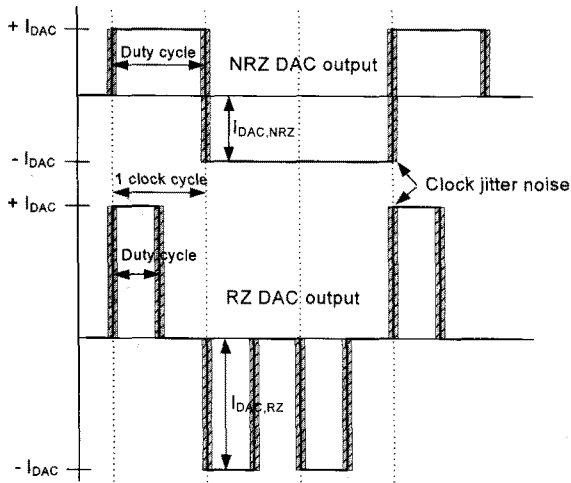


그림 4. 단일 비트 궤환 DAC의 임펄스 응답.  
Fig. 4. Impulse response of 1-bit feedback DAC.

위드 신호 성분과 피드백 신호 성분을 4 번째 적분기 앞 단에 인가해 줌으로써 summing 단을 제거 하였다. 이를 통해 모듈레이터의 전력 소모를 최소화 하였다.

연속 시간 시그마-델타 모듈레이터 설계 시 고려해야 할 사항은 클럭 지터 (clock jitter) 에 의해 발생하는 잡음과 초과 루프 지연 시간 (excess loop delay) 에 의해 발생하는 잡음에 따른 성능 저하를 최소화 하는 것이다. 클럭 지터에 의한 잡음은 샘플링 단과 궤환 DAC 단에서 발생한다. 샘플링 단에서 발생하는 잡음은 양자화 잡음과 마찬가지로 잡음 성형 (noise shaping) 이 이루어지기 때문에 모듈레이터 성능에 큰 영향을 끼치지 않는다. 그러나 궤환 DAC 단에서 발생하는 클럭 지터 잡음은 입력 신호와 마찬가지로 모든 주파수 영역에서 잡음 특성이 나타나므로 모듈레이터 성능 저하의 주요 원인이 된다. 따라서 모듈레이터 성능 저하를 최소화 할 수 있는 구조의 궤환 DAC 를 설계 하는 것이 중요하다. 연속 시간 시그마-델타 모듈레이터 설계 시 주로 사용되는 궤환 DAC 구조는 NRZ (nonreturn-to-zero) DAC 와 RZ (return-to-zero) DAC 가 있다. 어떠한 구조의 DAC 를 사용하더라도 궤환 DAC 에 의해 전달되는 신호의 크기는 같게 설계해야 한다. 만약 그림 4 에서 보는 바와 같이 RZ-DAC 의 duty cycle 크기가 NRZ-DAC duty cycle 크기의 0.5 배라면 클럭 지터에 의한 잡음의 양은 크게 증가하게 된다. 따라서 NRZ-DAC 는 RZ-DAC 에 비해 클럭 지터에 의한 잡음에 강한 특성을 가진다는 것을 알 수 있다<sup>[5]</sup>. 이러한 장점을 이용하여 본 논문에서는 NRZ-DAC 를 이용하여 궤환 DAC 를 구성하였다.

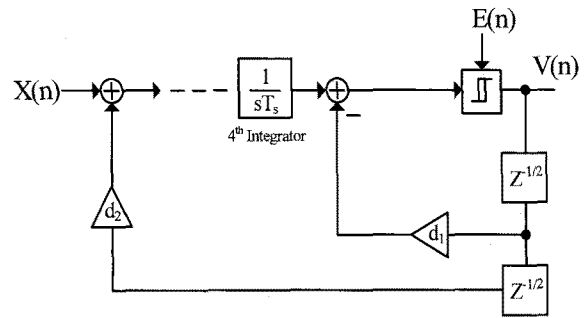


그림 5. 기존의 초과 루프 지연 시간 방지 회로.  
Fig. 5. Conventional prevention circuit of excessive loop delay.

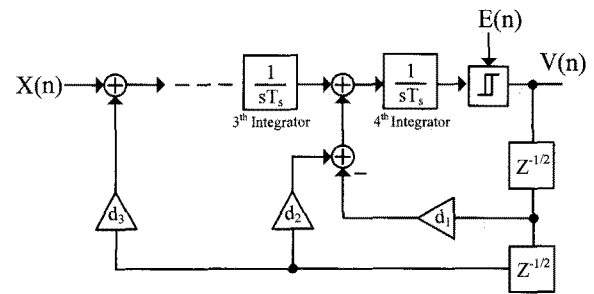


그림 6. 개선된 초과 루프 지연 방지 회로.  
Fig. 6. Improved prevention circuit of excessive loop delay.

초과 루프 지연 시간에 의해 발생하는 잡음은 샘플링 단과 비교기 단을 거치면서 발생하는 지연에 의해 생성되는 잡음으로서 클럭 지터 잡음과 마찬가지로 모듈레이터 성능 저하에 원인이 된다. 따라서 이를 방지하기 위해 그림 5의 구조와 같이 궤환 DAC 경로를 summing 단에 추가하여 초과 루프 지연 시간에 따른 잡음을 제거 할 수 있다<sup>[6]</sup>. 그러나 그림 5의 구조와 같이 설계 시에는 summing 단의 요구 성능이 더욱더 높아지기 때문에 전력 소모가 증가되는 문제점이 발생한다. 따라서 본 논문에서 설계한 연속 시간 시그마-델타 모듈레이터는 그림 6의 구조와 같이 summing 단을 제거하여 전력 소모를 최소화 하였다. 그림 6의 구조는 한 주기 지연 시간 경로가 4 번째 적분기 앞 단으로 전달되기 때문에 궤환 DAC 신호는 미분된 신호 성분이 전달되어야 한다<sup>[6]</sup>. 그러나 연속된 궤환 DAC 신호 성분을 미분한 값은 실제 회로로 구현하기 어렵다. 따라서 궤환 DAC 신호를 이산 신호로 변경 시켜 4 번째 적분기 앞단에 전달 되게 하였다.

연속 시간 시그마-델타 모듈레이터의 루프 전달 함수를 구하는 방법은 2 가지가 있다. 첫 번째는 연속 시간 영역 (domain) 에서 바로 루프 전달 함수를 구하는

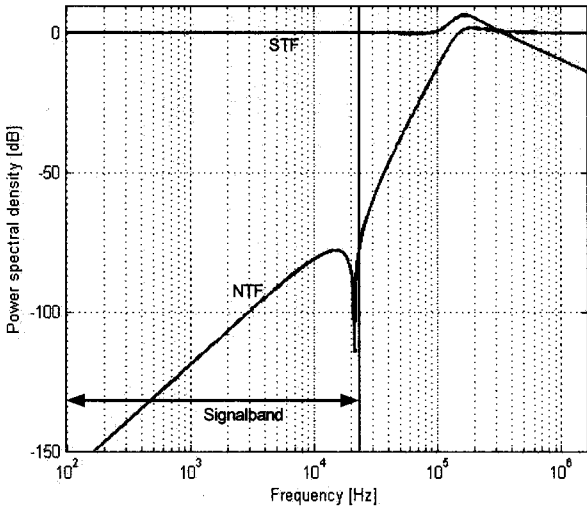


그림 7. 제안된 델타-시그마 모듈레이터의 신호와 잡음 전달 함수에 대한 주파수 응답.  
Fig. 7. The frequency response of the signal transfer function and the noise transfer function.

방법이 있고<sup>[7~8]</sup>, 두 번째는 이산 시간 시그마-델타 모듈레이터 루프 전달 함수의 변환을 통해 구하는 방법이 있다<sup>[3,9]</sup>. 본 논문에서는 이산 시간 시그마-델타 모듈레이터 루프 전달 함수의 변환을 통하여 연속 시간 시그마-델타 모듈레이터의 루프 전달 함수를 구하였다. 4 차 단일 비트 이산 시간 시그마-델타 모듈레이터의 루프 전달 함수는 다음과 같이 나타낼 수 있다.

$$H(Z) = \frac{a_1 Z^{-1} + a_2 Z^{-2} + a_3 Z^{-3} + a_4 Z^{-4}}{b_0 + b_1 Z^{-1} + b_2 Z^{-2} + b_3 Z^{-3} + b_4 Z^{-4}} \quad (1)$$

식 1에서  $a_n$ 과  $b_n$ 은 이산 시간 시그마-델타 모듈레이터의 계수 값에 의해 결정된다. 본 논문에는 설계한 연속 시간 시그마-델타 모듈레이터에서는 초과 루프 지연에 의한 잡음을 제거하기 위해 그림 6의 구조와 같이 한 주기 지연된 추가적인 궤환 DAC 신호 성분을 만들어 주었다. 따라서 연속 시간 시그마-델타 모듈레이터의 루프 전달 함수를 얻기 위해서 식 2와 같이  $Z^{-1}$ 을 이용하여 식 1을 변환 하였다.

$$H(Z) = Z^{-1} \left( \frac{a_1}{b_0} \cdot H'(Z) \right) \quad (2)$$

위 수식에서  $\frac{a_1}{b_0}$ 는 추가된 궤환 DAC 신호 성분의 계수 값을 나타내고 연속 시간 시그마-델타 모듈레이터의 루프 전달 함수는  $H'(Z)$ 의 라플라스 변환을 통하여

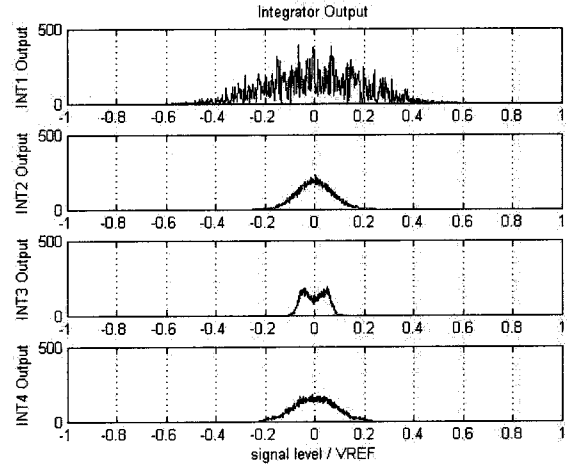


그림 8. 적분기 출력 레벨의 분포도.  
Fig. 8. Histograms of the integrator outputs.

구하였다. 또한 최적화된 잡음 전달 함수 (NTF)를 설계하기 위해서 모듈레이터의 루프 필터 내에 local resonator를 추가하여 DC에 존재하는 zero를 22 kHz의 신호 대역 근처로 이동 시켰으며, 단일 비트 고차 시그마-델타 모듈레이터에서 발생할 수 있는 불안정성 문제를 방지하기 위해 NTF(s)의 크기를 1.5 이하로 설계 하였다<sup>[10]</sup>.

그림 7은 최적화된 계수 값을 통해 얻어진 연속 시간 시그마-델타 모듈레이터의 STF(s)와 NTF(s)의 주파수 응답을 나타낸 것이다. STF(s)는 신호 대역 내에서의 크기가 1인 것을 알 수 있으며, NTF(s)는 완벽한 잡음 성형이 이루어지는 것을 볼 수 있다.

그림 8은 -6 dB, 6.25 kHz의 정현파를 모듈레이터 입력으로 인가하였을 때 각각의 적분기 출력 레벨 분포도를 나타낸 것이다. 첫 번째 적분기의 출력 레벨은 기준 전압(Vref)의 60%를 넘지 않고 나머지 적분기의 출력 레벨은 기준 전압의 30%를 넘지 않는 것을 볼 수 있다. 따라서 적분기 설계 시 충분한 마진을 두고 설계가 가능하다는 것을 알 수 있다. 이는 모듈레이터 전력 감소에 큰 이득을 준다.

### III. 모듈레이터 설계 및 구현

연속 시간 모듈레이터 설계 시 주로 사용되는 적분기는 active-RC 적분기와 gm-C 적분기 등이 있다. 각각의 적분기는 다음과 같은 장단점을 가지고 있다<sup>[11]</sup>. 먼저 active-RC 적분기는 선형성이 좋고 다이내믹 레인지가 높은 반면 저항 및 커패시터의 오차와 전력 소모

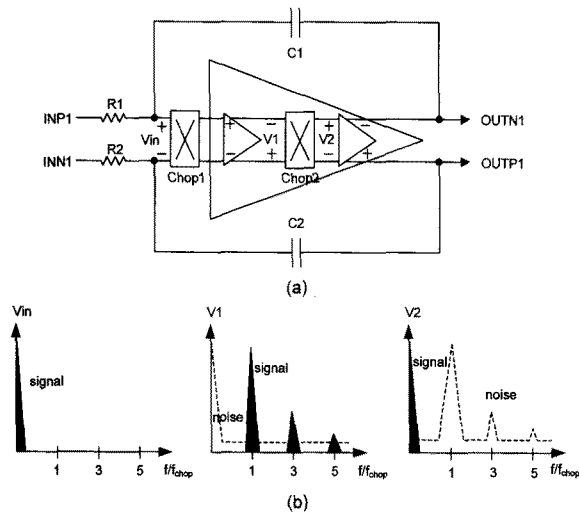


그림 9. (a) chopper stabilization 기법이 적용된 Active-RC 적분기 (b) 주파수 응답  
 Fig. 9. (a) Active-RC integrator with chopper stabilization technique. (b) Frequency response.

에 약한 특성을 지닌다. 반면 gm-C 적분기는 높은 주파수 동작에 유리하고 전력 소모에 강한 반면 선형성이 약하다는 단점이 있다. 본 논문에서 설계한 연속 시간 시그마-델타 모듈레이터는 고해상도의 높은 다이내믹 레인지를 요구하므로 선형성이 우수한 active-RC 적분기를 사용하여 루프 필터를 구성 하였다. 또한 모듈레이터의 성능에 가장 많은 영향을 미치는 첫 번째 적분기에서 발생하는 잡음 전력을 분석하여 목표로 하는 성능을 얻을 수 있도록 설계 하였다. 첫 번째 적분기 입력 단에서 발생 하는 잡음 성분은 입력 저항과 궤환 DAC 저항에 의한 열 잡음과 증폭기 입력 단에서 발생하는 열 잡음 및 flicker 잡음이 있다. 먼저 flicker 잡음에 의한 모듈레이터 성능 저하를 막기 위해 그림 9(a)와 같이 첫 번째 적분기에 사용되는 2 단 완전 차동 (2 stage fully differential) 증폭기에 chopper stabilization 기법을 적용하였다. 이에 대한 입력 신호와 잡음 신호의 주파수 특성은 그림 9(b)에 나타내었다. Chopper stabilization 기법의 동작을 살펴보면 다음과 같다. 먼저 입력 신호  $V_{in}$  을 증폭기 입력 단에 인가되기 전에 chopping 클럭을 이용하여 스위칭 시키면 증폭기의 첫 번째 출력 단에서는 입력 신호 성분이 chopping 클럭의 홀수 고조파 (odd harmonic) 로 이동되게 된다. 반면 증폭기 입력 단에서 발생한 flicker 잡음은 DC 근처에 존재하게 된다. 이를 다시 증폭기의 두 번째 입력 단에서 스위칭 시키면 입력 신호는 원래의 주파수 특성으로 복원 되고 flicker 잡음 성분은 chopping 클럭의 홀수

고조파로 이동되게 된다. 따라서 chopping 클럭을 충분히 고주파로 인가하게 되면 flicker 잡음은 모듈레이터 내에서 잡음 성형이 이루어져 모듈레이터의 성능 저하를 방지 할 수 있게 된다. 따라서 본 설계에서는 chopping 클럭을 모듈레이터의 샘플링 클럭과 같은 3.2 MHz 로 인가하여 flicker 잡음을 제거 하였다. 다음으로 열 잡음에 의한 성능 저하를 방지하기 위하여 첫 번째 적분기 설계에 사용된 증폭기 입력 단에서 발생하는 열 잡음 전력을 수식적으로 분석하여 적절한 저항 값과 증폭기의 설계 사양을 설정 하였다. 먼저 입력 저항에 의해 발생하는 열 잡음 전력은 수식 3과 같이 나타낼 수 있다.

$$P_{N,rin} = 8KTf_B \cdot R_{IN} \quad (3)$$

위 수식에서  $K = 1.38 \times 10^{-23}$  로서 볼츠만 상수를 나타내며,  $T$ 는 절대 온도를 나타낸다. 또한  $f_B = 25$  kHz로서 모듈레이터의 신호 대역을 나타내고,  $R_{IN}$ 은 적분기 입력 저항을 나타낸다. 다음으로 궤환 DAC 저항에 의해 발생하는 열 잡음 전력은 다음과 같이 나타낼 수 있다.

$$P_{N,rdac} = 8KTf_B \cdot R_{DAC} \quad (4)$$

위 수식에서  $R_{DAC}$ 는 궤환 DAC의 저항을 나타낸다. 마지막으로 첫 번째 증폭기 입력 단에서 발생하는 열 잡음 전력은 다음과 같이 나타낼 수 있다.

$$P_{N,opamp} = \frac{8KT}{3g_{m,opamp}} \quad (5)$$

위 수식에서  $g_{m,opamp}$ 는 첫 번째 증폭기 입력 단의 트랜스컨덕턴스 (transconductance)를 나타낸다. 위의 세 수식을 이용하여 모듈레이터의 신호 대역에서 발생하는 전체 열 잡음 전력은 수식 6과 같이 나타낼 수 있다.

$$P_N = 16KTf_B \left( R_{IN} + R_{DAC} + \frac{4}{3g_{m,opamp}} \right) \quad (6)$$

수식 6을 바탕으로 모듈레이터에서 목표로 하는 15 비트 이상의 다이내믹 레인지를 얻기 위해서  $R$ 과  $R_{DAC}$ 의 크기를 370 kΩ 으로 설정하였고 증폭기의 트랜스컨덕턴스를 조절하였다. 또한 공정상에서 발생하는 저항 및 커패시터 오차에 따른 성능 저하를 최소화하기 위하여 적분기 커패시터를 병렬로 연결하고 스위치를 달아 외부 디지털 신호를 이용하여 오차에 대응 할 수

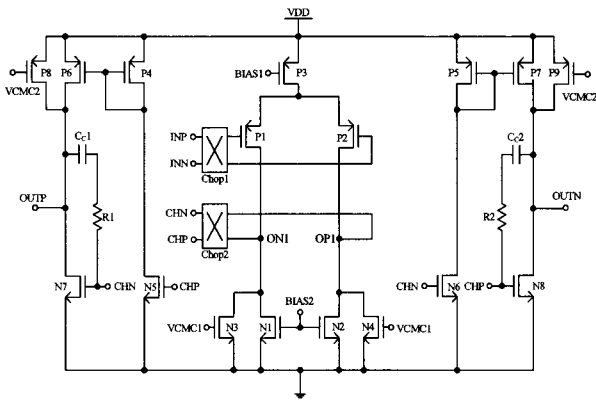


그림 10. Chopper stabilization 기법이 적용된 연산 증폭기 회로.  
Fig. 10. Operational Amplifier circuit with chopper stabilization technique.

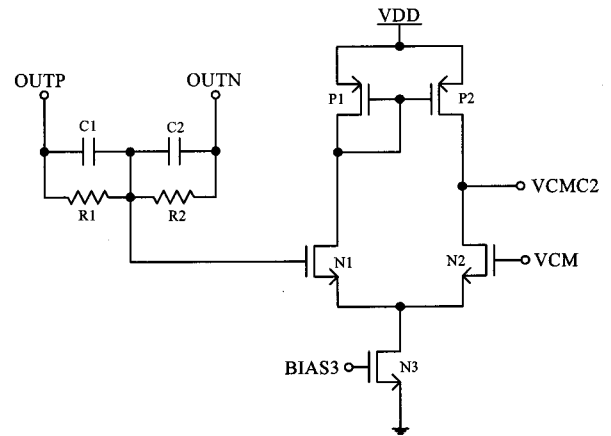


그림 12. 공통-모드 궤환 회로 2.  
Fig. 12. Common-mode feedback circuit 2.

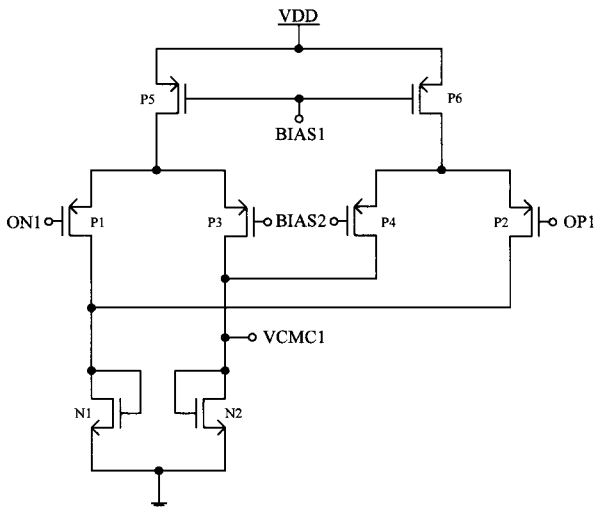


그림 11. 공통-모드 궤환 회로 1.  
Fig. 11. Common-mode feedback circuit 1.

있게 설계 하였다.

Active-RC 적분기로 모듈레이터를 설계 하면 각각의 적분기는 뒷단의 적분기에 의해 출력 단이 바로 저항으로 연결되게 된다. 이는 증폭기의 출력 임피던스를 감소 시켜 적분기 성능 저하를 초래하게 된다. 따라서 그림 10의 2 단 완전 차동 증폭기를 사용하여 이러한 문제점을 최소화 시켰다. 또한 class-AB 동작의 증폭기를 사용하여 첫 번째 적분기의 전류 구동 능력을 향상 시켰다. 완전 차동 증폭기 구조는 substrate 잡음 및 전원 전압 잡음에 대한 영향이 적고 단일 출력 구조 (single-ended) 의 증폭기에 비해 출력 스윙 폭이 2 배 증가되기 때문에 보다 높은 다이내믹 레인지를 얻을 수 있다.

그림 11과 그림 12는 완전 차동 증폭기에 사용된 공통 모드 궤환 (common-mode feedback) 회로이다. 그

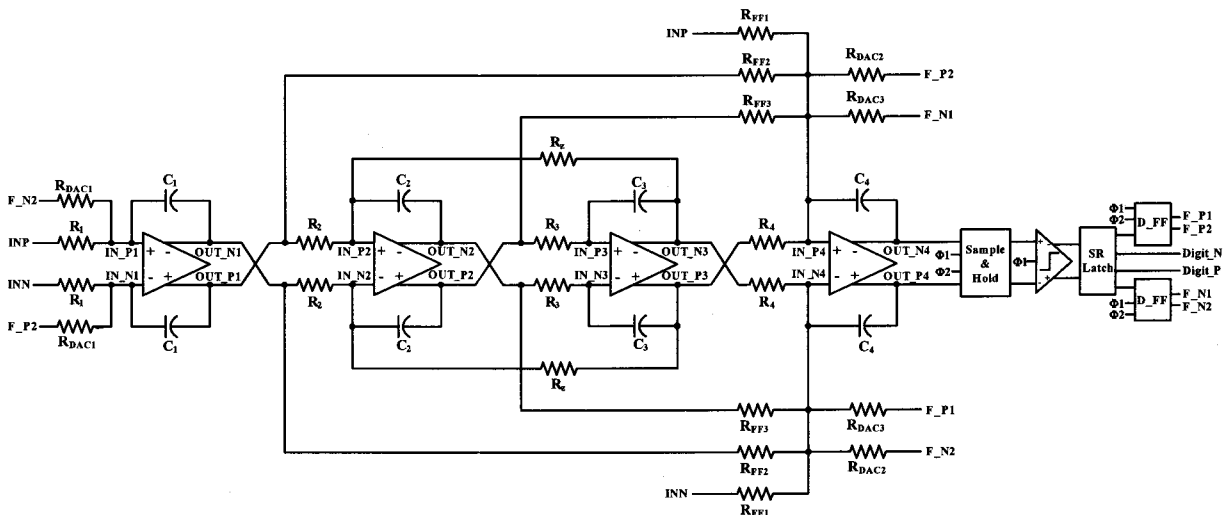


그림 13. 4차 1비트 연속시간 델타-시그마 모듈레이터.  
Fig. 13. 4th-order 1-bit continuous-time delta-sigma modulator.

림 11의 공통 모드 케환 회로는 완전 차동 증폭기의 첫 번째 단의 출력 전압을 정의해 주고 그림 12의 공통 모드 케환 회로는 증폭기 최종 출력 단의 출력 전압을 정의해 준다. 그림 11의 회로는 로드 단을 diode-connected 형태로 설계하여 회로 이득을 1 로 설정 하였다. 반면 그림 12의 회로는 적분기 입력단의 가상 접지 전압 (virtual ground) 을 보다 정확히 정의 시켜 주기 위하여 회로 이득을 약 30 dB 로 설계 하였다.

그림 13은 본 논문에서 설계한 연속 시간 시그마-델타 모듈레이터의 전체 회로도를 나타낸 것이다. active-RC 구조의 증폭기를 사용하여 적분기를 구현 하였으며 D-flipflop 을 이용하여 한 주기 지연 시간 경로를 생성 하였다. DAC 단에서 필요한 기준 전압은 각각 VDD 와 접지를 사용하여 추가적인 기준 전압이 필요 하지 않도록 설계하였다.

#### IV. 시뮬레이션 결과

그림 14는 설계된 연속 시간 시그마-델타 모듈레이터의 출력 신호를 이용하여 FFT 시뮬레이션을 실시한 결과이다. 16384 개의 샘플 개수를 사용한 FFT 파형을 통해 잡음 성분들이 신호 대역 바깥으로 밀려나는 잡음 성형을 확인 할 수 있다.

시뮬레이션 결과는 표 1 에 요약하였다. 설계된 시그마-델타 모듈레이터는 25 kHz 의 신호 대역을 가지며 3.2 MHz 의 클럭 주파수로 동작하였다. 입력 신호는 신호

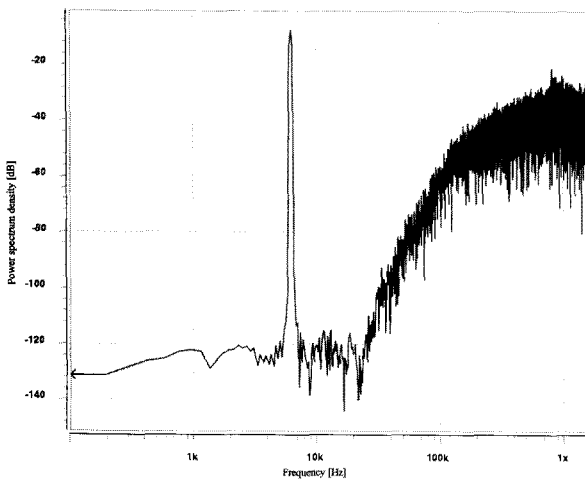


그림 14. PSD (power spectrum density) 시뮬레이션 결과.

Fig. 14. Simulation result of PSD(power spectrum density).

표 1. 시뮬레이션 결과 요약.

Table 1. Summary of simulation results.

Supply voltage		3.3 V
Sampling frequency		3.2 MHz
Signal bandwidth		25 kHz
Oversampling ratio		64
Power consumption	(Analog)	248 $\mu$ W
	(Digital)	42 $\mu$ W
SNDR	with package parasitic L, R, C	91.3 dB
	without package parasitic L, R, C	92 dB
Process		0.13 $\mu$ m CMOS
Chip core size		0.58 mm <sup>2</sup>

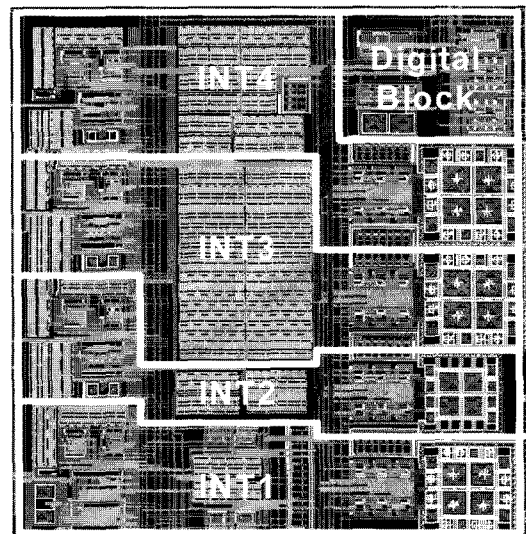


그림 15. 레이아웃 사진.

Fig. 15. Layout photograph.

대역 안에서 3 차 고조파 (third harmonic) 성분을 관찰 할 수 있도록 6.25 kHz 의 정현파를 인가하였으며 출력 대비 -6 dB 의 크기를 가지고 있다. 칩 패키징시 발생하는 기생 R, L, C 를 고려하여 시뮬레이션 한 결과 모듈레이터의 SNDR 은 91.3 dB 로 확인 되었으며 소모 전력은 아날로그 단이 248  $\mu$ W, 디지털 단이 42  $\mu$ W 로 확인 되었다.

그림 15의 레이아웃 (layout) 에서는 디지털 단에서 발생하는 잡음이 아날로그 단에 영향을 주지 않도록 아날로그 단과 디지털 단을 분리하였으며 공정상 발생하는 오차를 최소화하기 위하여 커패시터 및 저항을 common-centroid 하였다.

표 2는 state-of-the-art 급으로 설계된 회로들과의 figure of merit (FOM) 비교를 나타낸 것이다. 본 논문

표 2. Figure of Merit (FOM) 비교

Table 2. Comparison of Figure of Merit (FOM).

\* [14]의 경우 Peak SNDR 값을 Peak SNR 값으로 대체함.

Reference	Bandwidth	OSR	Peak SNDR	Power	Process	Supply Voltage	FOM <sub>SNDR</sub> (pJ/level)
[12]	25 kHz	48	70 dB	135 $\mu$ W	0.35 $\mu$ m	1.5 V	1.045
[13]	25 kHz	48	66 dB	250 $\mu$ W	0.35 $\mu$ m	1.5 V	3.067
[14]	20 kHz	128	99 dB	18 mW	0.35 $\mu$ m	3.3 V	6.176
[15]	20 kHz	300	74 dB	2.2 mW	0.065 $\mu$ m	1.5 V	13.428
[16]	24 kHz	64	90.8 dB	90 $\mu$ W	0.18 $\mu$ m	1.8 V	0.066
This work Simulation result	25 kHz	64	91.3 dB	290 $\mu$ W	0.13 $\mu$ m	3.3 V	0.193

에서 제안된 연속 시간 시그마-델타 모듈레이터는 종합적으로 매우 우수한 FOM 을 얻은 것을 확인 할 수 있다. 사용된 FOM 수식은 다음과 같다<sup>[16]</sup>.

$$FOM_{SNDR} = \frac{P}{2 \times f_B \times 2^{(SNDR - 1.76)/6.02}} \quad (7)$$

수식 7에서  $P$  는 전력 소모,  $f_B$  는 모듈레이터의 신호 대역을 나타내고  $SNDR$  은 signal-to-noise-and-distortion ratio 를 나타낸다.

## V. 결 론

본 논문에서는 어쿠스틱 센서 IC 용 연속 시간 시그마-델타 모듈레이터를 제안하였다. 고 해상도의 연속 시간 시그마-델타 모듈레이터를 구현하기 위해 선형성이 우수한 active-RC 구조의 적분기를 사용하였으며 전력 소모를 최소화하기 위해 피드-포워드 구조에서 summing 단의 필요성을 제거할 수 있는 회로 기법을 제안 하였다. 또한 모듈레이터의 성능 향상을 위해 초과 루프 지연 시간에 의한 잡음 영향을 최소화 할 수 있는 회로 기법을 제안 하였다. 이와 같은 기법을 사용한 4차 단일 비트 연속 시간 시그마-델타 모듈레이터는 1 poly 8 metal 의 0.13  $\mu$ m standard CMOS 공정으로 설계 되었으며 시뮬레이션 결과 전체 전력 소모는 290  $\mu$ W, SNDR 은 91.3 dB 로 측정되었다.

## 참 고 문 헌

- [1] V. Peluso, P. Vancorenland, A. Marques, M. Steyaert, and W. Sansen, "A 900-mV low-power  $\Delta\Sigma$  A/D converter with 77-dB dynamic range," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1887-1897, Dec. 1998.
- [2] F. Gerfers, M. Ortmanns, and Y. Manoli, "A 1V, 12-bit wideband continuous-time  $\Sigma\Delta$  modulator for UMTS applications," in *Proc. IEEE Int. Sym. Circuits Syst*, vol. 1, pp. 921-924 May. 2003.
- [3] R. Schreier and B. Zhang, "Delta-sigma modulators employing continuous-time circuitry," *IEEE Trans. Circuits Syst. I*, vol. 43, pp. 324-332, Apr. 1996.
- [4] X. Chen, Y. Wang, Y. Fujimoto, P. L. Re, Y. Kanazawa, J. Steensgaard, and G. Temes, "A 18 mW CT  $\Delta\Sigma$  modulator with 25 MHz bandwidth for next generation wireless applications," in *Proc. 2007 IEEE Custom Integrated Circuit Conf*, pp. 73-76, Sep. 2007.
- [5] S. Yan, and E. S. Sinencio, "A continuous-time  $\Sigma\Delta$  modulator with 88-dB dynamic range and 1.1-MHz signal bandwidth," *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp. 75-86, Jan. 2004.
- [6] G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue, and E. Romani, "A 20-mW 640-MHz CMOS continuous-time  $\Sigma\Delta$  ADC with 20-MHz signal bandwidth, 80-dB dynamic range and 12-bit ENOB," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2641-2649, Dec. 2006.
- [7] L. Breems, and J. H. Huisling, *Continuous-time sigma-delta modulation for A/D conversion in radio receivers*. Boston, MA: Kluwer, 2001.
- [8] S. Paton, A. D. Giandomenico, L. Hernandez, A. Wiesbauer, T. Potscher, and M. Clara, "A 70-mW 300-MHz CMOS continuous-time ADC with 15-MHz bandwidth and 11 bits of resolution," *IEEE J. Solid-State Circuits*, vol. 39, no. 7, pp. 1056-1063, Jul. 2004.
- [9] J. A. Cherry, and W. M. Snelgrove, "Excess



loop delay in continuous-time delta-sigma modulator," *IEEE Trans. Circuits Syst. II*, vol. 46, pp. 376-389, Apr. 1999.

- [10] S. Rabbii, and B. A. Wooly, *the design of low-voltage, low power sigma-delta modulators*. KAP, 1999.
- [11] M. Ortmanns, and F. Gerfers, *Continuous-time sigma-delta A/D conversion*. New York: Springer, 2006.
- [12] F. Gerfers, M. Ortmanns, and Y. Manoli, "A 1.5-V 12-bit power-efficient continuous-time third-order  $\Sigma\Delta$  modulator," *IEEE J. Solid-State Circuits*, vol. 38, no. 8, pp. 1343-1352, Aug. 2003.
- [13] M. Ortmanns, Y. Manoli, and F. Gerfers, "A continuous-time sigma-delta modulator with reduced jitter sensitivity," in *Proc. Eur. Solid-State Circuits Conf*, pp. 287-290, 2002.
- [14] K. Nguyen, R. Adams, K. Sweetland, and H. Chen, "A 106-dB SNR hybrid oversampling analog-to-digital converter for digital audio," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2408-2415, Dec. 2005.
- [15] L. Dorrer, F. Kuttner, A. Santner, C. Kropf, T. Hartig, P. Torta, and P. Greco, "A 2.2 mW, continuous-time sigma-delta ADC for voice coding with 95 dB dynamic range in a 65 nm CMOS process," in *Proc. Eur. Solid-State Circuits Conf*, pp. 195-198, 2006.
- [16] S. Pavan, N. Krishnapura, R. Pandarinathan, and P. Sanker, "A power optimized continuous-time  $\Delta\Sigma$  ADC for audio applications," *IEEE J. Solid-State Circuits*, vol. 43, no. 2, pp. 351-360, Feb. 2008.

저 자 소 개



김 형 중(학생회원)  
 2007년 한양대학교 전자컴퓨터  
 공학과 학사 졸업  
 2007년~현재 한양대학교 전자  
 전기제어계측공학과  
 석사과정

<주관심분야 : System IC design, Over-sampling delta-sigma data converter>



이 민 우(학생회원)  
 2007년 한양대학교 전자컴퓨터  
 공학과 학사 졸업  
 2007년~현재 한양대학교 전자  
 전기제어계측공학과  
 석사 과정

<주관심분야 : System IC design, DC-DC converters 설계>



노 정 진(정회원)  
 1990년 한양대학교 전기공학과  
 학사 졸업  
 1996년 삼성전자 선임 연구원  
 1998년 미국 Pennsylvania State  
 University 전기공학  
 석사 졸업

2001년 Intel. USA, senior design engineer  
 2001년 University of Texas at Austin.  
 컴퓨터공학 박사.  
 2001년~현재 한양대학교 안산캠퍼스 전자컴퓨터  
 공학부 교수  
 <주관심분야 : CMOS DC-DC converter 설계,  
 Over-sampling delta-sigma data converters>