

하드디스크 대용을 위한 공간적 스마트 버퍼 플래시 메모리 시스템

정보성*, 이정훈**

Flash memory system with spatial smart buffer for the substitution of a hard-disk

Bo-Sung Jung *, Jung-Hoon Jung **

요 약

플래시 메모리는 저전력, 저렴한 가격, 그리고 대용량 저장매체로 그 중요성 및 수요에 대한 요구가 증대되고 있다. 이 연구는 하드디스크 대용을 위한 플래시 메모리 시스템을 구현하기 위하여 공간적 스마트 버퍼시스템을 통한 적극적인 공간적 지역성의 동적 페칭으로 고성능 플래시 메모리 설계에 목적이 있다. 제안된 플래시 메모리 시스템은 시간적 지역성을 위한 희생 버퍼, 공간적 지역성을 위한 공간적 버퍼 그리고 동적 페칭 유닛으로 이루어져 있다. 우리는 적극적인 동적 페칭을 위해 새로운 페칭 알고리즘을 제안한다. 즉, 새로운 구조와 새로운 알고리즘을 통하여 하드디스크 대용의 플래시 메모리 사용시 고려되어야 할 플래시 메모리의 단점을 줄여 범용 및 미디어 응용군에서 모두 고성능 효과를 이룰 수 있었다. 시뮬레이션 결과 평균 접근 실패율의 경우 미디어 응용군에 대해 기존의 스마트 버퍼시스템에 비해 26% 감소 효과를 얻을 수 있었고, 평균 메모리 접근 시간의 경우 스마트 버퍼시스템에 비해 35% 감소 효과를 얻을 수 있었다. 일반 범용 응용군에서도 30% 이상의 향상된 평균 메모리 접근 시간을 보였다.

Abstract

Flash memory has become increasingly requestion for the importance and the demand as a storage due to its low power consumption, cheap prices and large capacity medium. This research is to design a high performance flash memory structure for the substitution of a hard-disk by dynamic prefetching of aggressive spatial locality from the spatial smart buffer system. The proposed buffer system in a NAND flash memory consists of three parts, i.e., a fully associative victim buffer for temporal locality, a fully associative spatial buffer for spatial locality, and a dynamic fetching unit. We proposed new dynamic prefetching algorithm for aggressive spatial locality. That is, to use the flash memory instead of the hard disk, the proposed flash system can achieve better performance gain by overcoming many drawbacks of the flash memory by the new structure and the new algorithm. According to the simulation results, compared with the smart buffer system, the average miss ratio is reduced about 26% for Mediabench applications. The average memory access times are improved about 35% for Mediabench applications, over 30% for Spec2000 applications.

▶ Keyword : 낸드 플래시 메모리(NAND flash memory), 캐쉬 메모리(cache memory), 시간적-공간적 지역성(temporal-spatial locality), 동적 페칭 알고리즘(dynamic prefetching algorithm)

• 제1저자 : 정보성 교신저자 : 이정훈

• 투고일 : 2009. 2. 16, 심사일 : 2009. 3. 3, 게재확정일 : 2009. 3. 9.

* 국립경상대학교 전기전자공학부 박사과정 ** 국립경상대학교 전기전자공학부(공학연구원) 조교수

※ 이 논문은 2006년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임
“(KRF-2006-331-D00442)

I. 서론

오늘날 다양한 형태의 정보화/미디어 기기의 사용이 급속히 확대되고 있으며, 특히 이동 통신 단말기, 포터블 컴퓨터, PDA와 같은 다양한 포터블 시스템의 출현과 보급은 기존의 DRAM 메모리의 사용을 대신할 새로운 형태의 저장장치에 대한 필요성의 증대로 이루어지고 있다[1,2]. 현재 디지털 카메라, 캠코더, MP3 플레이어 등의 휴대용 장치에는 초소형의 기기들이기에 부피를 덜 차지하고 이동 중에 데이터 보존을 위해 플래시 메모리가 가장 많이 사용되고 있다. 플래시 메모리는 저전력, 강한 충격저항 그리고 대용량 저장매체로서 중요성 및 수명에 대한 요구를 증대시키고 있다[3,4,5]. 또한 최근에는 범용 컴퓨터의 하드디스크를 대체하기 위하여 SSD(solid-state disk)를 이용한 대체 연구를 활발히 진행하고 있다. 이러한 SSD의 핵심 모듈은 플래시 메모리가 차지할 것이다[6,7].

플래시 메모리의 대표적인 특성은 다음과 같다. 첫째로 비휘발성을 들 수 있다. 우리가 일반적으로 개인용 컴퓨터에 사용하고 있는 하드디스크처럼 전원이 공급되지 않아도 그 내용이 계속 유지되는 특성이자. 전원 공급이 있을 때만 데이터가 유효한 DRAM이나 SRAM에 반하는 특성이라고 할 수 있다. 둘째로는 저전력을 들 수 있다. NAND 플래시 메모리의 소비전력은 NOR에 비하여 25%만을 차지하며 콤팩트(compact) 플래시 메모리에 비해서도 약 절반 정도의 소비전력 감소 효과를 얻을 수 있다[8]. 이러한 저전력 효과 역시 NAND 플래시 메모리의 활용도를 증가시키는 중요한 요인이다. 셋째로는 빠른 접근 시간이다[9]. 하드디스크와는 달리 어느 특정 데이터에 접근하는데 걸리는 시간이 모두 동일하다. 넷째로는 소형이라는 것이다. 같은 크기라도 집적도가 더 높기 때문에 더 많은 용량을 담을 수 있고 더 가벼워지고 있기 때문에 현재의 추세인 모바일에 대응하는 중요한 포인트라고 볼 수 있다. 또한 플래시 메모리는 하드디스크처럼 기계적으로 돌아가는 것이 아니기 때문에 잡음이 거의 없는 장점이 있다. 플래시 메모리와 하드디스크와의 가격비교에서 용량대비 단가에 있어서 점차 플래시 메모리가 가격 경쟁력을 가지면서 향후에는 하드디스크를 대체하는 우수한 성능의 새로운 저가 플래시 메모리형 저장장치가 우세하게 될 것이다.

기존의 플래시 메모리의 연구들은 대부분 플래시 메모리 매핑 알고리즘인 FTL(Flash Translation Layer) 혹은 플래시 메모리의 각 블록에 대한 평등한 쓰기 동작 및 지우기 동작을 위한 Wear Leveling에 관한 연구들이다. 이러한 연

구들은 플래시 메모리 내에서 요구된 페이지 검색 혹은 평등한 쓰기로 플래시 메모리 수명 연장의 개선을 위한 연구들이다. 하지만 플래시 메모리의 가장 큰 단점인 무작위 읽기(random read operation)를 개선하지 못하므로 전체적인 시스템의 성능향상을 기대하지 못하고 있다.

하지만 스마트 버퍼 플래시 메모리 시스템[10](앞으로 스마트 버퍼시스템이라고 칭함)는 NAND 타입 플래시 메모리에 작은 용량의 SRAM 버퍼를 사용하여 NAND 타입 플래시 메모리 자체를 고성능화 하였을 뿐 아니라 NAND 플래시 메모리 셀의 접근을 막아줌으로써 소비전력 및 전체 시스템의 성능향상을 이끌었다. 이 논문에서, 우리는 하드디스크 대응의 고성능 플래시 시스템을 제안하기 위하여 파일의 가장 큰 특성인 시간적-공간적 지역성을 이용하여 읽기/쓰기 동작을 효과적으로 줄이고자 하였다.

II. 관련 연구

2.1 하드디스크 대응의 플래시 메모리 사용 시 고려 사항

플래시의 많은 장점에도 불구하고 하드디스크 대응으로 사용하기 위해 고려되어야 할 중요한 주된 요인은 크게 세 가지로 구분할 수 있다.

첫째로는 쓰기 전 지우기 연산이 선행되어야 한다는 것이다. 하드디스크의 경우 파일 업데이트 요청 시 그 파일을 덮어쓰게 되지만 플래시 메모리의 경우 파일 업데이트가 자유롭지 못하다. 게다가 지우기 연산은 쓰기와 읽기보다 훨씬 큰 단위인 플래시 블록 단위로 이뤄진다는 것이다. 그러므로 성능저하를 초래하는 큰 단점을 가진다. 이러한 지우기 연산을 줄이기 위한 효과적인 알고리즘이 선행되어야 한다.

둘째로는 플래시 메모리의 데이터 정보는 특정한 섹터에 대한 쓰기 연산의 정해진 횟수를 초과하게 되면 그 섹터에 대한 정보가 소실되거나 손상될 가능성이 있다. 하드디스크의 경우 특정섹터에 대한 사용횟수에 제한이 없으나 플래시 메모리의 경우 쓰기 횟수에 제한을 가진다. 이러한 제한을 최소화하기 위하여 플래시 메모리 셀의 접근을 줄이기 위한 새로운 알고리즘이 고려되어야 한다.

셋째로는 플래시 메모리에서의 다양한 응용 프로그램을 수행함에 있어서 수행 속도가 매우 빨라야 한다. 특히 무작위 읽기 명령에 빠른 수행을 보장해야한다. 플래시 메모리의 종류 중 NOR 플래시 메모리가 NAND 플래시 메모리에 비해 무작

위 읽기 명령 수행 속도가 100배 이상 차이를 보이지만 비용적인 측면에서 NAND가 40% 이상 저렴한 특징을 보인다 [11]. 그러므로 NAND 플래시의 기본구조에 무작위 읽기 명령의 빠른 연산 속도 보장은 하드디스크 대응의 플래시 메모리 구조에 가장 중요한 요인 중 하나로 고려되어야 할 것이다.

2.2 기존 플래시 메모리 연구

Park[12]이 제안한 플래시 패키지 시스템은 NOR 플래시에서 담당하던 명령어 부분을 SRAM과 NAND 플래시 메모리만을 사용하여 실시간 응용 프로그램을 원활히 수행하기 위한 연구로써 NOR 플래시 메모리를 제거시킨 저비용의 플래시 메모리 패키지를 구현하였다. 이 플래시 메모리 패키지는 NAND 타입 플래시 메모리와 Juppí's 회생 캐쉬 그리고 SRAM/SDRAM으로 구성된다. NAND 타입 플래시 메모리의 페이지 여유 공간(spare area)의 참조 패턴을 이용하여 회생 캐쉬 혹은 SRAM/SDRAM에 선택적으로 저장하게 된다. 이러한 방법으로 NAND 타입 플래시 메모리의 접근 및 읽기 동작을 줄이므로 성능향상을 이루었다. 하지만 소비전력이 높고 상대적으로 면적 및 비용이 높은 SRAM의 큰 용량을 사용하는 단점을 보이고 있다. 또한 버퍼를 이용하여 NAND 플래시 메모리의 실시간 임베디드에 적합한 그림자(shadowing) 기법에 요구 페이징(demand paging) 알고리즘을 적용한 연구가 이루어졌다. 이 연구는 NOR 플래시 대신 SRAM/DRAM과 NAND 플래시 메모리를 사용한 실시간 임베디드 시스템의 코드 및 데이터 저장을 위한 요구 페이징 기법의 최악의 응답 시간의 분석을 위한 연구이다[13].

Chen[14] 역시 버퍼시스템을 이용하여 NAND 플래시 메모리의 성능향상을 위한 연구를 수행하였다. 이 연구는 기존의 읽기/쓰기 레지스터를 읽기 전용과 쓰기 전용으로 나누어 읽기/쓰기 레지스터의 오염을 줄이므로 성능 향상 및 낮은 전력소비를 이루었다. 하지만 읽기 버퍼를 위해 큰 용량의 직접상상 캐쉬를 사용하였다. 제시된 이러한 연구들은 버퍼시스템을 이용하여 NAND 플래시를 NOR 플래시 대응에 대한 연구로써 하드디스크의 큰 특성인 파일의 지역성을 고려하지 못하였고, 또한 쓰기 및 지우기 연산을 줄인다는지 플래시 메모리 셀의 접근을 줄여 셀 수명을 연장하고자 하는 하드디스크의 개념을 전혀 고려하지 못한 구조라 할 수 있다.

하드디스크 대응의 플래시 메모리 구조로 가장 근접한 기존의 연구는 스마트 버퍼시스템을 내장한 플래시 메모리 패키지 구조로써[10] 프로그램 수행시 나타나는 두 지역성을 이용하고자 하였다. 이 플래시 메모리 패키지는 시간적 지역성을 위한 회생 버퍼와 공간적 지역성을 위한 공간적 버퍼 그리

고 동적 페칭 유닛으로 구성된다. 시간적 지역성을 위한 회생 버퍼는 L1 캐쉬로부터 버려지는 데이터를 저장하므로 시간 간격에 따른 데이터 참조에 효과적이며, 공간적 지역성을 이용하기 위하여 동적 페칭 알고리즘과 공간적 버퍼를 사용하였다. 따라서 스마트 버퍼시스템은 플래시 메모리 자체를 고성능화하고 빈번한 플래시 메모리 접근을 막아줌으로써 지우기 연산 및 셀의 접근을 줄여줄 수 있는 좋은 구조이다. 그러나 기존의 스마트 버퍼시스템의 동적 페칭 방법은 멀티미디어 응용군에만 특화된 공간적 지역성만을 고려한 방법으로 다양한 응용군이 고려되어야 할 하드디스크 대응의 플래시 시스템으로는 다소 부적절하다.

제안된 시스템은 스마트 버퍼시스템처럼 플래시 메모리 자체의 고성능화를 목표로 하였으며, 쓰기 전 지우기 연산을 줄이기 위한 알고리즘과 플래시 메모리 셀의 접근을 줄여 플래시 셀의 수명 연장, 그리고 NAND 메모리 셀을 이용하면서도 빠른 고성능을 보장하는 구조를 제안하고자 한다. 또한 멀티미디어 및 범용 응용군까지 모두 고성능을 보장하는 구조 및 알고리즘을 제안하고자 한다.

III. 공간적 스마트 버퍼시스템

이 장에서는 연구 개발 동기에 대하여 설명하고, 아울러 SRAM 버퍼를 내장한 NAND 플래시 메모리에 대한 구조적 모델 및 공간적 지역성에 효과적인 블록 동적 할당 메커니즘의 구체적인 동작에 대해서 설명한다.

3.1 공간적 스마트 버퍼시스템의 제안 동기 및 방법

이 연구에서 우리의 주목표는 하드디스크 대응의 플래시 메모리를 위하여 효과적인 시간적-공간적 지역성을 이용하면서 단순한 구조의 적은 용량의 버퍼로 빠른 읽기/쓰기 동작을 지원하는 고성능 NAND 플래시 메모리 시스템을 개발하는데 그 목적이 있다.

NAND 플래시 메모리에서 전체 시스템의 빠른 접근 시간을 보장하기 위해서는 플래시 메모리의 접근 자체를 줄여야 한다. 특히, 빈번한 무작위 읽기 명령과 쓰기 명령은 높은 전력 소비와 긴 실행 시간을 초래한다. 만일 컴퓨터에 영화나 음성 서비스 같은 다양한 미디어 응용 프로그램을 실행시킨다면, 이러한 요인에 의해 일정한 재생 시간을 보장하지 못할 것이다.

기존의 상용 NAND 플래시 메모리는 하나의 페이지 레지스터만을 사용하고 있다. 그러나 시간 간격을 두고 나타나는

지역성에 대해서는 전혀 그 효용을 이끌어 낼 수 없다.

스마트 버퍼시스템[10]은 시간적-공간적 지역성을 이용하기 위한 각각의 SRAM 버퍼를 사용하였다. 하지만 스마트 버퍼시스템은 회생 버퍼에서 쓰기 동작 후 다시 동일한 512바이트 읽기/쓰기 레지스터의 데이터를 가져오기 위한 빈번한 플래시 메모리 접근으로 인해 효과적으로 공간적 버퍼를 사용하지 못하고 있다. 기존의 스마트 버퍼시스템의 연구에 따르면 멀티미디어 응용 프로그램에서 버퍼시스템의 접근이 128바이트의 페치가 우세한 것으로 나타났다. 그림 1은 동적 페치기법이 없는 기존의 스마트 버퍼시스템에 대한 시간적-공간적 지역성에 대한 버퍼시스템들의 접근 실패율을 나타낸 것이다. 스마트 버퍼시스템에 시간적 지역성에 대한 효율성을 보기 위해 기존 스마트 버퍼시스템의 회생 버퍼의 크기를 4KB로 확장하였다. 그리고 공간적 지역성의 효율성을 보기 위해 공간적 버퍼의 블록 크기를 256바이트로 확장하여 측정하였다. 그림 1에서 보듯이 'rasta, jpeg'를 제외한 대부분의 벤치마크에서 시간적 지역성을 위한 회생 버퍼 크기의 증가보다는 공간적 지역성을 위한 공간적 버퍼의 블록 크기를 늘리는 것이 더 효과적이다.

따라서 기존 스마트 버퍼시스템에서 공간적 지역성을 효과적으로 사용하는 것이 전체 시스템의 성능 향상에 도움을 줄 수 있다. 이러한 결과를 바탕으로 우리는 기존 스마트 버퍼시스템처럼 버퍼를 이용하여 하드디스크 대용의 고성능 플래시 시스템 구조를 채택하였고, 다양한 응용군에 대해 공간적 지역성을 효과적으로 이용하기 위해 새로운 동적 페칭 알고리즘을 제안하고자 한다.

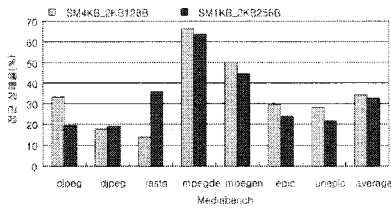


그림 1. 시간적-공간적 지역성을 위한 확장된 스마트 버퍼의 접근 실패율
Fig. 1. Expanded Smart buffer miss ratio for temporal-spatial locality

3.2 구조적 특징과 동작모델

NAND 플래시 메모리와 시간적-공간적 버퍼를 통합하고 구동시키는 알고리즘과 구조에 대해서 설명한다. 제안된 공간적 스마트 버퍼 플래시 메모리 시스템 구조는 그림 2와 같다.

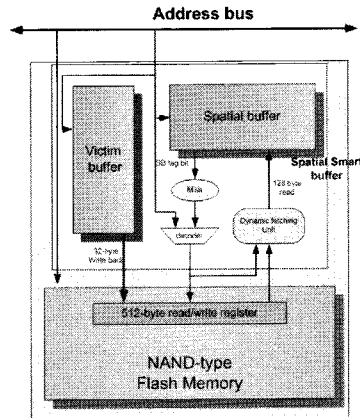


그림 2. 제안된 공간적 스마트 버퍼시스템
Fig. 2. Proposed spatial smart buffer system

공간적 스마트 버퍼 플래시 메모리 시스템 구조는 시간적-공간적 지역성을 가지는 공간적 스마트 버퍼와 NAND 플래시 메모리 그리고 효과적인 공간적 지역성을 위한 동적 페칭 유닛으로 나누어진다. NAND 플래시 메모리는 일반 상용 플래시 메모리와 동일하게 구성되었다. 즉 플래시 메모리 셀과 하나의 512바이트 읽기/쓰기 레지스터로 이루어져 있다. 공간적 스마트 버퍼 구조는 내장 L1 캐쉬의 블록 크기와 동일한 32바이트 회생 버퍼와 128바이트 블록을 지원하는 공간적 버퍼로 구성되어 있다. 공간적 버퍼의 블록 크기는 내장 L1 캐쉬 블록의 배수로 주어진다.

회생 버퍼와 공간적 버퍼의 구조는 전형적인 완전연관 구조와 동일하다. 두 버퍼는 모두 태그 저장을 위한 CAM(content addressable memory)셀들의 집합과 데이터 저장을 위한 SRAM 셀의 집합으로 이뤄져 있다. 공간적 버퍼의 한 엔트리는 네 개의 연속적인 L1 캐쉬 블록의 집합으로 구성된다. 완전연관 버퍼는 다른 버퍼시스템에 비해 소비파워가 높다는 단점을 가지지만, 작은 용량으로 좋은 성능 향상을 가지는 장점을 보인다. 이는 저장될 데이터를 순차적으로 저장할 수 있기에 충돌에 의한 접근 실패(conflict miss)를 줄여주기 때문이다.

3.2.1 공간적 버퍼 혹은 회생 버퍼에서 접근 성공일 경우

CPU가 메모리 접근을 수행할 때 접근 실패가 일어난다면, 회생 버퍼와 공간적 버퍼가 동시에 접근이 일어난다. 회생 버퍼나 공간 버퍼 상에서 적중(hit)은 일반 L2 캐쉬에서의 적중과 같은 방식으로 된다. 즉 요청된 데이터는 CPU로 보내는 동시에 내장 L1 캐쉬에도 올려놓게 된다. 만약 회생 버퍼로부터 접근 성공이 발생했을 경우, 회생 버퍼와 내장 캐쉬는

스왑이 이루어진다. 그리고 공간적 버퍼로부터 접근 성공이 발생했을 경우, 요청된 블록이 CPU 내장 캐쉬에 업데이트될 때, 만일 내장 캐쉬로부터 교체되는 어떤 내장 캐쉬의 블록이 존재한다면, 그 블록은 회생 버퍼로 이동하게 된다. 만약 해당하는 회생 버퍼로부터 교체되는 엔트리가 수정된(dirty) 회생 버퍼의 블록이라면, 방출되는 회생 버퍼 블록의 내용이 512바이트 읽기/쓰기 레지스터에 저장된다. 회생 버퍼는 온칩 L1 캐쉬의 충돌 접근 실패와 플래시 메모리의 쓰기 명령을 효과적으로 줄일 수 있다. 만일 회생버퍼의 수정된 블록이 적중하는 경우, 그 블록은 다시 온칩 L1 캐쉬로 이동하게 된다. 따라서 회생 버퍼는 온 칩 L1 캐쉬로부터 충돌 접근 실패에 대한 데이터를 가지고 있으므로 다시 참조 되어질 때, 플래시 메모리의 쓰기 명령을 피할 수 있게 된다.

만약 회생 버퍼와 공간적 버퍼에 모두 요청된 데이터를 가진다면 우선적으로 회생 버퍼의 데이터를 내장 L1캐쉬로 가져간다. 이는 회생 버퍼의 데이터가 정정되었을 경우, 일치성 문제를 피할 수 있기 때문이다.

3.2.2 두 버퍼 모두 접근 실패일 경우

회생 버퍼와 공간적 버퍼 모두 접근 실패가 발생하는 경우 플래시 메모리 셀로부터 512바이트 읽기/쓰기 레지스터로 하나의 페이지가 업데이트된다. 이때 페칭 알고리즘에 의해 128바이트(한 개의 공간적 버퍼 엔트리), 256바이트, 384바이트, 또는 512바이트의 네 가지 중 하나가 결정되어 그 크기만큼 512바이트 읽기/쓰기 레지스터로부터 공간적 버퍼로 이동한다. 즉 요청된 데이터가 4개의 작은 블록들중 첫 번째 작은 블록에 해당되어지면 페칭 알고리즘은 나머지 세 개의 작은 블록 역시 공간적 버퍼에 업데이트하게 된다. 이러한 이유는 공간적 지역성은 한번 참조되어진 데이터의 이웃 위치에 해당하는 데이터가 참조 가능성이 높다는 것을 의미한다. 또한 순차적인 차례에 따른 특성을 반영하여 참조가 일어난 데이터의 뒤에 위치한 데이터가 참조가 일어난 데이터의 앞에 위치한 데이터보다 공간적 지역성의 특성이 더 높을 것이라는 가정 하에 접근을 시도하였다.

예로 회생 버퍼와 공간적 버퍼 모두 접근 실패시 공간적 버퍼에 요청되어진 데이터가 111000이라면 요청된 공간적 버퍼의 데이터는 512바이트 읽기/쓰기 레지스터로부터 111000, 111001, 11010, 11011의 한 페이지 크기인 512바이트의 4개 블록을 공간적 버퍼에 올리게 된다. 요청된 데이터가 111001이면 384바이트인 111001, 11010, 111011 세 개의 블록을 공간적 버퍼에 저장한다. 그리고 요청된 데이터가 111010이라면 동적 페칭은 111010, 111011인 256바이트를 공간적 버퍼에 저장한다. 마지막으로

공간적 버퍼에서 요청된 데이터가 111011이라면, 공간적 버퍼에 페칭되어진 데이터는 요청되어진 데이터 128바이트만 공간적 버퍼에 올라가게 된다. 이러한 동적 페칭 기법은 공간적 지역성의 판단을 위한 추가적인 하드웨어가 필요 없고, 프로그램 수행시 시간 흐름에 따른 공간적 지역성에 대해 공간적 버퍼의 접근 성공률을 높였다.

하지만 공간적 버퍼에서 요청된 데이터가 역으로 접근할 경우 공간적 버퍼에 최대 4번의 업데이트가 필요하다. 예로 공간적 버퍼의 요청 데이터가 111011일 때 128바이트의 업데이트가 이루어진다. 다시 111001이 공간적 버퍼에 데이터가 요청시 이전 업데이트 되어진 111011을 제외한 384바이트의 데이터가 공간적 버퍼에 업데이트가 이루어진다. 최악의 경우 111011, 111010, 111001, 111000 순으로 요청시 4번의 공간적 버퍼에 대한 업데이트 작업이 필요하다. 그러나 시뮬레이션 결과 역으로 접근하여 레지스터에서 동일 페이지로부터 역으로 업데이트될 확률은 모든 경우를 포함하여도 1% 미만으로 나타났다.

결론적으로 두 버퍼의 접근 실패가 발생하면, 접근 실패한 워드를 포함하는 블록은 하위 레벨의 플래시 메모리로부터 공간적 버퍼로 올라가게 된다. 이때 동적 페칭 알고리즘에 의해 다양한 블록 크기를 페치한다. 위에서 언급한 것 같이 추가적으로 페치되어지는 블록은 공간적 버퍼에 존재할 수 있기 때문에 추가적으로 페치 되어지는 블록은 공간적 버퍼에 채탐색 되어진다. 만약 채탐색시 공간적 버퍼에 추가되어진 블록이 존재한다면 공간적 버퍼로 업데이트 되지 않는다. 또한 회생 버퍼에 쓰기 동작이 이루어진 블록이 추출되어 플래시 메모리에 쓰기 전 공간적 버퍼에 해당 블록이 있는지 채탐색 되어야 한다. 만약 회생 버퍼에서 추출되는 회생 버퍼의 블록이 공간적 버퍼에 존재한다면, 그 블록을 플래시 메모리에만 쓰기 동작이 일어나면, 다시 그 블록이 참조 되어질 때 공간적 버퍼에 접근 성공이 일어난다. 이는 쓰기 전 데이터와 쓰기 후 데이터가 다르기 때문에 일관성(Coherence) 문제가 발생한다. 따라서 회생 버퍼에서 플래시 메모리에 쓰기 동작이 이루어질 때 공간적 버퍼에 해당 블록이 존재하는지 탐색 후 존재한다면 플래시 메모리에 쓰지 않고 공간적 버퍼에만 쓰기 동작이 이루어진다.

IV. 시뮬레이션을 통한 성능평가

이 장에서는 시뮬레이션 환경 및 성능 평가에 대해 자세히 설명한다. 사용된 벤치마크는 멀티미디어 응용을 대표하는 미디어벤치마크(15)와 범용 응용 시스템을 대표하는 Spec2000

에서 성능 평가를 하였다[16]. 이 벤치마크들의 트레이스를 생성하기 위해 SimpleScalar3.0[17]을 사용하여 각각 1억 개의 명령을 수행하는 동안 데이터 참조 주소를 모니터링 하여 사용하였다. 시뮬레이션 실행을 위한 시스템으로 32KB 2-way 집합 연관 캐쉬를 지닌 200MHz MIPS를 사용하였다. 기본 시뮬레이션 환경 변수는 표 1과 같다.

표 1. 시뮬레이션 변수들
Table 1. Simulation Parameters

System Parameters	Value
CPU clock	200MHz
Random read time	10us
Serial read time	50ns
Buffer access time	85ns
Program time	300us
I/O port	8bit
Flash memory internal bandwidth	32-byte

4.1 제안된 공간적 스마트 버퍼시스템 성능평가

메모리 시스템의 대표적인 성능 평가 지표인 접근 실패율 (miss ratio)과 평균 메모리 접근 시간(average memory access time)이 제안된 플래시 시스템과 다른 버퍼시스템을 가진 플래시 구조 방식들을 비교, 측정하기 위해서 사용되었다. 플래시 메모리 시스템에서 버퍼 크기는 접근 실패율을 결정하는 중요한 요소이다. 그러므로 이러한 버퍼 크기는 실제 설계 시 중요한 변수로써 작용되어진다. 그러나 비용 역시 무시하지 못할 변수로 작용한다. 시뮬레이션에서 제안된 구조의 버퍼 크기는 32바이트 블록 크기를 갖는 1KB 희생 버퍼와 128바이트 블록 크기를 갖는 2KB 공간적 버퍼를 사용하였으며, 기존 스마트 버퍼시스템(SM)의 경우 시간적 버퍼를 1KB와 4KB, 그리고 공간적 버퍼를 2KB와 4KB로 늘려 비교하였다. 또한 공간적 스마트 버퍼시스템의 공간적 버퍼 블록 크기를 가지는 128KB 직접사상 버퍼(DM_128KB)와 64KB를 가지는 4-way 연관 버퍼(4W_64KB)를 내장한 플래시 시스템과 성능 평가를 하였다. 이러한 버퍼의 크기는 제안된 버퍼 3KB에 비해 고평가를 가지는 버퍼 크기라 할 수 있다.

4.1.1 접근 실패율과 평균 메모리 접근 시간

그림 3 ~ 그림5은 제안된 공간적 스마트 버퍼시스템과 기존 스마트 버퍼시스템 그리고 기존의 상용화된 버퍼를 플래시 메모리에 접합시켜 버퍼시스템의 접근 실패율을 나타낸 그림

이다. 접근 실패율은 아래와 같은 식(1)로 주어진다.

$$\text{접근 실패율} = (\text{버퍼내의 총 접근 실패 수} / \text{내장 L1캐쉬 내에서 접근 실패 수}) * 100 \dots\dots\dots (1)$$

그림 3은 멀티미디어 응용군에서의 접근 실패율이다.

그림 3에서 보듯이 제안된 플래시 메모리 시스템의 접근 실패율은 스마트 버퍼시스템(SM1KB_2KB)에 비해 평균 26%의 감소율을 보였다. 이는 스마트 버퍼시스템에 비해 약 26%의 플래시 메모리 접근을 줄일 수 있다는 의미이다. 그리고 기존의 스마트 버퍼시스템에서 시간적 공간성을 위한 버퍼와 공간적 지역성을 위한 버퍼의 크기를 증가시킨 확장 스마트 버퍼시스템과 직접사상 캐쉬, 그리고 충돌 접근 실패에 강한 4-way 연관 버퍼에 대해서도 비교 평가하였다.

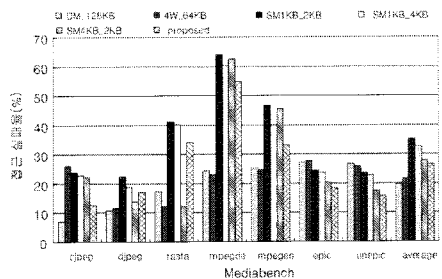


그림 3. Mediabench : 접근 실패율
Fig. 3. Mediabench: Miss ratio

기존의 스마트 버퍼시스템과 확장된 버퍼시스템을 비교한 결과 SM4KB_2KB에서 'djpep'과 'rasta'를 제외한 모든 부분에서 제안된 구조가 좋은 성능을 보였다. SM4KB_2KB는 스마트 버퍼시스템에서 시간적 지역성에 효과적인 버퍼를 4배 증가시킨 스마트 버퍼시스템 확장 구조로써 'djpep'과 'rasta'는 공간적 지역성 보다 시간적 지역성에 효과적이기 때문이다. 'epic'과 'unepic'는 공간적 지역성에 효과적인 벤치마크이기에 제안된 패칭 기법을 가지는 플래시 메모리가 DM_128KB와 4W_64KB보다도 좋은 성능을 보이고 있다.

그림 4 ~ 그림 5는 범용 응용군인 Spec2000에서 정수형 타입과 실수형 타입에서의 접근 실패율을 나타낸 그림이다. Spec2000에서 제외된 벤치마크는 시뮬레이션 결과 다른 벤치마크에 비해 구조와 관계없이 접근실패율이 매우 낮은 결과를 보이기에 제외시켰다.

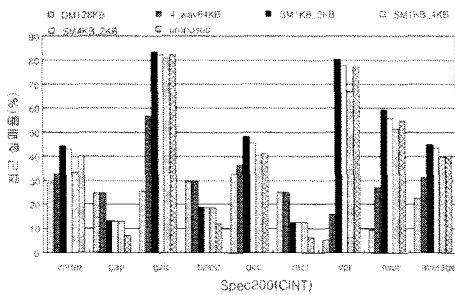


그림 4. Spec2000 정수형 : 메모리 접근 실패율
Fig. 4. Spec2000 CINT: Miss ratio

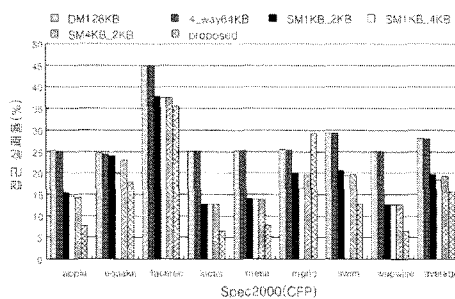


그림 5. Spec2000 실수형 : 메모리 접근 실패율
Fig. 5. Spec2000 CFP: Miss ratio

Spec2000의 정수형 타입에서 'gap', 'bzip2' 그리고 'mcf'는 DM128KB와 4-way64KB보다 스마트 버퍼시스템과 제안된 공간적 버퍼시스템이 좋은 성능을 보이고 있다. 제안된 플래시 메모리 시스템의 접근 실패율은 스마트 버퍼시스템(SM1KB_2KB)에 비해 평균 12%의 감소율을 보인다. 이는 제안된 동적 패칭기법이 공간적 버퍼에 접근 성공률을 높였기 때문이다. Spce2000 실수형 타입에서는 'mgrid'를 제외한 모든 벤치에서 제안된 시스템이 좋은 성능을 보이고 있다. 'mgrid'를 제외한 모든 벤치마크는 시간적 지역성보다 공간적 지역성에 효과적인 벤치마크이다. 하지만 'mgrid'에서는 제안된 공간적 스마트 버퍼시스템이 비교 버퍼시스템에 비해 나쁜 성능을 보이고 있다. 이는 제안된 공간적 버퍼시스템이 잘못 예측하여 참조 되지 않는 데이터를 미리 512바이트레지스터로부터 공간적 버퍼에 저장하기 때문이다. 그리고 'equake'에서 보면 공간적 지역성을 확장한 SM1KB_4KB가 시간적 지역성을 확장한 SM4KB_2KB보다 좋은 성능을 보이고 있다. 결론적으로 제안된 시스템의 접근 실패율은 스마트 버퍼시스템(SM1KB_2KB)에 비해 평균 25%의 감소율을 보인다. 요약하면 평균적으로 제안된 공간적 버퍼시스템은 Spec2000의 실수형을 제외한 미디어 응용군과 범용 응용군에서 DM128KB와

4-way64KB를 제외한 스마트 버퍼시스템에 비해 좋은 성능향상을 가져왔다.

또 다른 성능 평가 지표는 평균 메모리 접근 시간이다. 이는 다음과 같은 식에 의해 계산된다.

평균 메모리 접근 시간

$$= \text{캐시 적중 시간} + \text{버퍼 적중 시간} * \text{버퍼 적중률} + \text{접근 실패율} * \text{접근 실패 지연 시간} \dots\dots\dots (2)$$

접근 실패율 * 접근 실패 지연 시간

$$= \text{순차적 읽기 비율} * \text{순차적 읽기 시간} + \text{무작위 읽기 비율} * \text{무작위 읽기 시간} + \text{쓰기 비율} * \text{프로그래밍 시간} \dots\dots\dots (3)$$

표 1에 의해 버퍼 적중 시간은 17 사이클로 가정하였으며, NAND 플래시 메모리의 순차적인 읽기 시간과 무작위 읽기 시간은 각각 10 사이클과 2,000 사이클 그리고 프로그래밍(쓰기 동작)을 위한 시간 60,000 사이클로 가정하였다.

그림 6 ~ 그림8은 제안된 플래시 시스템과 비교를 위해 사용된 플래시 시스템의 메모리 접근 시간을 나타낸 그림이다. 시뮬레이션 결과에서 알 수 있듯이 제안된 플래시 시스템은 비교를 위해 선택된 플래시 시스템들 보다 좋은 메모리 접근 시간을 보여주고 있다. 그림 6에서보면 기존의 스마트 버퍼시스템에 비해 약 35%의 낮은 평균 메모리 접근 시간을 가지는 것을 확인할 수 있다. 그림 7과 8 역시 기존 스마트 버퍼시스템에 비해 33%(cint)와 30%(cfp)의 낮은 평균 메모리 접근 시간을 가진다. 이처럼 그림 3 ~그림 5와 현격한 차이를 보이는 것은 제안된 버퍼시스템이 비록 더 많은 참조 실패율을 보이고 경우도 있으나 쓰기 동작에 대한 접근 실패율을 효과적으로 줄여주고 있기 때문이다. 쓰기 동작은 일반 캐시의 쓰기 정정(write-back) 방식처럼 버퍼에서 접근 실패가 발생한 경우에만 플래시 메모리에 쓰이기 때문에 플래시 메모리 쓰기 동작에 대한 버퍼시스템의 적응은 대단히 중요한 요인 중의 하나이다. 또한 비교 버퍼시스템에서도 읽기보다 쓰기 접근에 대한 실패율에 따라 플래시 접근 시간에 대한 결과가 많이 달라짐을 알 수 있다. 시뮬레이션 수행결과 그림 9처럼 제안된 플래시 시스템은 전체 접근 실패율중 쓰기 참조 실패가 미디어 응용군에서 약 30%, Spec2000 정수형에서 약 30% 그리고 Spec2000 실수형에서 약 24% 정도만 발생하지만 DM128KB의 경우 미디어 응용군에서 약 35%로 쓰기 접근 실패율이 다소 낮은 편이나 Spec2000 정수형의 경우 무려 70%나 차지한다. 4-way64KB에서도 마찬가지로 Spec2000 정수형의 경우 쓰기 접근 실패가 차지하는 비율이

전체 접근 실패율의 60%를 차지하는 것으로 나타났다. 스마트 버퍼시스템의 경우 버퍼 크기에 상관없이 세 가지 응용군에서 30~40%정도 발생함을 알 수 있었다. 결론적으로 제안된 플래시 시스템은 다른 비교 플래시 시스템에 비해 쓰기 실패율을 보다 효과적으로 줄여줌으로써 모든 응용군에서 플래시 메모리 접근 시간에 대해 좋은 성능을 보이고 있다. 또한 쓰기 동작을 줄여줌으로써 플래시 메모리 셀의 수명 연장과 지우기 연산을 줄여주는 효과를 얻을 수 있다.

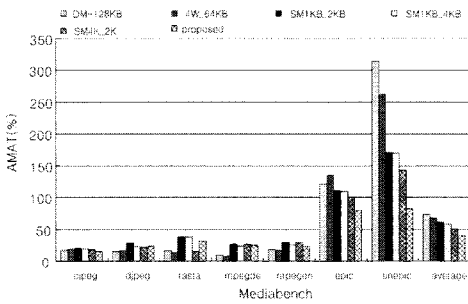


그림 6. Mediabench: 평균 메모리 접근 시간
Fig. 6. Mediabench: Average Memory Access Time

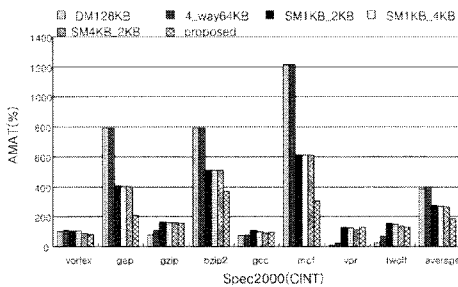


그림 7. Spec2000 정수형: 평균 메모리 접근 시간
Fig. 7. Spec2000 CINT: Average Memory Access Time

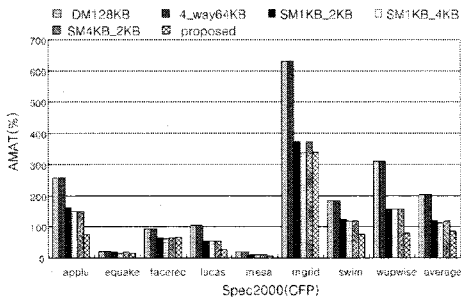


그림 8. Spec2000 실수형: 평균 메모리 접근 시간
Fig. 8. Spec2000 CFP: Average Memory Access Time

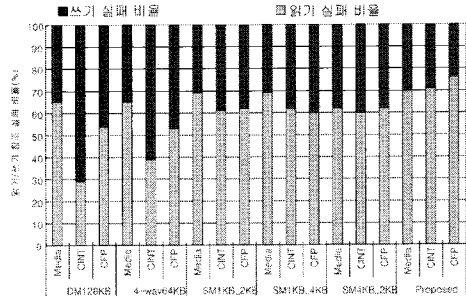


그림 9. 읽기 및 쓰기 참조 실패율 비교
Fig. 9. read and write miss ratio

V. 결론

본 논문에서는 NAND 플래시 메모리를 하드디스크 대용으로 사용하기 위하여 고성능에 초점을 맞추어 새로운 구조를 제안하였다. NAND 플래시 메모리에서 시간 간격에 따른 공간적 지역성을 효과적으로 사용하기 위해 새로운 동적 폐칭 알고리즘을 제안하였으며, 구조적으로 시간적 지역성을 위한 희생 버퍼와 공간적 지역성을 위한 공간적 버퍼로 구성되어 플래시 메모리의 접근을 줄이므로 성능향상을 이루었다. 또한 쓰기 동작의 경우 희생버퍼를 통하여 많은 감소 효과를 얻을 수 있었다. 이러한 쓰기 동작의 감소 효과는 플래시 수명과의 관계가 높은 요인이다. 또한 시간 간격에 따른 공간적 지역성을 높이기 위해 우리는 공간적 지역성의 개념을 시간 간격에 따라 해석하였다. 즉 한번 참조 되어진 블록의 이웃 블록에 대한 개념을 시간 간격에 따라 순차적으로 접근되어진다고 가정하였다. 이러한 단순한 동적 폐칭 방법은 시뮬레이션 결과 기존의 스마트 버퍼시스템에 비해 공간적 버퍼에서 많은 접근 성공을 이루었다. 이러한 버퍼 접근 성공은 플래시 메모리의 접근과 쓰기 동작을 줄이므로 전체 플래시 메모리의 성능향상을 이루었다. 시뮬레이션 결과 제안된 공간적 스마트 버퍼 시스템은 기존의 스마트 버퍼시스템에 비해 미디어벤치에서 약 26%, Spec2000의 정수형과 실수형에 비해 약 12%와 25% 플래시 메모리 접근을 줄일 수 있었다. 그리고 미디어벤치에서 메모리 접근 시간 역시 기존의 스마트 버퍼시스템에 비해 약 35%의 낮은 평균 메모리 접근 시간을 가지는 것을 확인할 수 있다. 또한 범용 응용 시스템에서 역시 기존 스마트 버퍼시스템에 비해 33%(cint)와 30%(cfp)의 낮은 평균 메모리 접근 시간을 가졌다. 결론적으로 제안된 공간적 버퍼

시스템을 가진 플래시 시스템은 하드디스크 대응으로 사용하기 위해 고려되어야 할 중요요인인 지우기 연산을 줄여주고 메모리 셀의 수명 연장 효과와 저비용으로 다양한 응용군에서 고성능을 보장할 수 있는 구조라 할 수 있다.

참고문헌

[1] F. Dougli, R. Caceres, F. Kaashoek, K. Li B. Marsh, and J. A. Tauber, "Storage Alternatives for Mobile Computers," In Proc. of the 1st Symposium on Operating Systems Design and Implementation, pp.25-37, Nov. 1994.

[2] N. Ballard, "State of PDAs and Other Pen-Based Systems," In Pen Computing Magazine, pp.14-19, Aug. 1994.

[3] M. Baker, S. Asami, E. Deprit, J. Ousterhout, and M. Seltzer, "Non-volatile Memory for Fast, Reliable File System," In Proc. of the 5th ASLPOS, pp.10-22, Oct. 1992.

[4] B. March, F. Dougli, and P. Krishnan, "Flash Memory File Caching for Mobile Computer," In Proc. of the 27 Hawaii International conference on System Science, pp.451-460, Jan. 1994.

[5] B. Dipert and M. Levy, "Designing with Flash Memory," Annabooks, 1993.

[6] S. Park, J. Park, and S. Kim, "Short-Random Request Absorbing Structure with Volatile DRAM Buffer and Nonvolatile NAND Flash Memory," In Proc. of the CEA09, pp.257-262, Jan. 2009.

[7] Computerworld, "Solid-State Disk (SSD) - The future in hard drives," <http://whatsonmypc.wordpress.com/2009/01>

[8] Samsung Elec., "NAND-type Flash Memory and SmartMedia Data Book," 2002.

[9] Toshiba Co., http://www.toshiba.com/taec/adinfo/embeddednand/docs/CP1806_EET_InnoToshiba.pdf

[10] J. Lee, G. Park, and S. Kim, "A New NAND-type Flash Memory Package with Smart Buffer System for Spatial and Temporal Localities," Journal of System Architecture, Vol. 51, No. 2,

pp.111-123, Feb. 2005.

[11] M. Chiang, P. Lee, and R. Chang, "Flash Memory Management for Lightweight Storage Systems," Technical Report of Academia Sinica Institute of Information Science, TR-IIS-98-003, 1998.

[12] C. Park, J. Seo, S. Bae, H. Kim, S. Kim, and Bumsoo Kim, "A low-cost memory architecture with NAND XIP for mobile embedded systems." In Proc. of the 1st CODES-ISSS'03, pp.138-143, Oct. 2003.

[13] 이영호, 임성수, "플래시 메모리를 사용하는 demand paging 환경에서의 태스크 최악 응답 시간 분석", 한국 컴퓨터정보학회 논문지, 제 11권, 제 6호, 113-123쪽, 2006년 12월.

[14] W. Huang, C. Chen, C. Chen, and C. Cheng, "Energy-Efficient Buffer Architecture of Flash Memory," In Proc. of the Multimedia and Ubiquitous Engineering, pp.543-546, Apr. 2008.

[15] Mediabench, <http://euler.slu.edu/~fritts/mediabench/>

[16] J. Henning, "SPEC CPU2000: Measuring CPU Performance in the New Millennium," IEEE Computer, Vol. 33, No. 7, pp.28-35, July 2000.

[17] D. Burger and T. Austin, "The SimpleScalar tool set, version 2.0." Technical Report TR-97-1342 University of Wisconsin-Madison, 1997.

저자소개



정보성

2008년 2월: 경상대학교 제어계측 공학과(석사)
 2008년~현재: 경상대학교 제어계측공학과 박사과정
 관심분야: 마이크로프로세서, 캐쉬 및 플래시 메모리



이정훈

2004년 2월: 연세대학교 컴퓨터과 학과(박사)
 2004년~현재: 경상대학교 전 기전자공학부 조교수.
 관심분야: 고성능 컴퓨팅, 내장형 시스템 및 SOC 시스템