

Linearization of CMOS Drive Amplifier with IMD Cancellor

김도균* · 홍남표* · 문연태* · 최영완†
 (Do-Gyun Kim · Nam Pyo Hong · Yon-Tae Moon · Young-Wan Choi)

Abstract - We have designed and fabricated a linear drive amplifier with a novel intermodulation distortion (IMD) canceller using 0.18 μm CMOS process. The drive amplifier with IMD canceller is composed of a cascode main amplifier and an additional common-source IMD canceller. Since the IMD canceller generates IM3 (3rd-order intermodulation) signal with 180° phase difference against the IM3 of the cascode main amplifier, the IM3 power is drastically eliminated. As of the measurement results, OP_{1dB}, OIP₃, and power-add efficiency are 5.5 dBm, 15.5 dBm, and 21 %, respectively. Those are 5 dB, 6 dB, and 13.5 % enhanced values compared to a conventional cascode drive amplifier. The IMD3 of the drive amplifier with IMD canceller is enhanced more than 10 dB compared to that of the conventional cascode drive amplifier for input power ranges from -22 to -14 dBm.

Key Words : Cascode amplifier, CMOS, Drive amplifier, IMD, Linearization

1. 서론

최근 WCDMA, WLAN와 같은 무선 통신 시스템은 많은 양의 데이터 전송을 위하여 Orthogonal Frequency Division Multiplexing (OFDM) 방식을 이용하고 있다. OFDM은 많은 수의 subcarrier로 구성되어 있기 때문에 높은 peak-to-average power (PAPR) 값을 가져야 하므로, OFDM 신호를 RF 주파수로 전송하기 위한 RF 송신단은 출력 신호의 평균 전력 보다 높은 OP_{1dB} (Output 1dB Gain Compression Point)를 갖도록 설계되어야 한다. 따라서 RF 송신단이 높은 OP_{1dB}를 갖기 위해서는 RF 회로의 선형 특성이 우수해야 한다. 또한 다양한 모바일 시스템에서 RF 회로는 선형성 뿐만 아니라 저전력, 회로 면적, 그리고 높은 효율도 고려해야 한다 [1]-[3]. 지금까지 발표된 대부분의 RF 증폭기 선형화 기법은 DC transfer function의 3차 미분 계수를 0이 되게 하는 derivative superposition 방법을 주로 사용한 것이다. 이 기법은 common-source (CS) 트랜지스터에 의하여 발생하는 3차 미분 계수를 병렬로 연결한 CS 트랜지스터의 3차 미분 계수로 상쇄시키는 방법이다 [4]-[7]. Derivative superposition 기법은 동작점이 서로 다른 두 개의 트랜지스터를 이용하여, 효과적으로 3차 미분 계수 합을 0으로 만들 수 있으나, 각각의 트랜지스터에 독립된 바이어스 회로를 적용해야 하는 단점이 있다. 다른 방법으로는 일반적인 cascode 증폭기에 folded cascode PMOS를 연결하여 CS 트

랜지스터에서 발생하는 3차 비선형 전류를 PMOS에 의하여 상쇄시키는 방법이다 [8]. 그러나 이와 같은 RF 증폭기의 선형화 기법은 별도의 바이어스 회로가 추가되어야 하며, 3차 미분 계수가 0이 되는 구간이 좁기 때문에 입력 신호가 소신호일 경우에만 선형성을 향상시킬 수 있으나, 대신 신호가 입력될 경우에는 3차 비선형 성분을 효과적으로 제거할 수 없는 단점이 있다. 본 논문에서는 구동 증폭기의 선형성을 향상시키기 위하여 새로운 개념의 intermodulation distortion (IMD) canceller를 적용한 선형화 방법을 제안하였다. IMD canceller 선형화 방법은 하나의 바이어스 회로로 구동되며, cascode 증폭기에 CS 트랜지스터를 추가함으로써 cascode 증폭기에서 발생하는 3차 비선형 성분을 효과적으로 억제할 수 있기 때문에 선형성이 요구되는 다양한 RF 및 아날로그 집적회로에 적용할 수 있다.

2. 본론

2.1 IMD 상쇄 기법

일반적인 CS 트랜지스터의 비선형 특성은 게이트에 입력되는 전압 변화에 의한 드레인 전류의 변화량인 트랜스컨덕턴스 (transconductance, g_m)의 비선형 특성에 의하여 발생한다. 게이트 입력 전압에 따른 드레인 전류의 변화를 power 시리즈로 표현하면 다음 수식과 같이 전개된다.

$$i_{DS} = I_{DC} + g_{m1} \cdot v_{gs} + g_{m2} \cdot v_{gs}^2 + g_{m3} \cdot v_{gs}^3 + \dots, \quad (1)$$

이때 g_{mn} 은 DC transfer function의 각각 n 차 미분 계수이며, 각각은 다음과 같이 정의된다.

* 정 회 원 : 중앙대 공대 전자전기공학부

† 교신저자, 정 회 원 : 중앙대 공대 전자전기공학부 교수 · 공박

E-mail : ychoi@cau.ac.kr

접수일자 : 2009년 3월 11일

최종완료 : 2009년 4월 8일

$$g_{m1} = \frac{\partial I_{DS}}{\partial V_{GS}}, \quad g_{m2} = \frac{\partial^2 I_{DS}}{\partial V_{GS}^2}, \quad g_{m3} = \frac{\partial^3 I_{DS}}{\partial V_{GS}^3}. \quad (2)$$

수식 (2)에서 g_{m3} 는 게이트-소스 전압의 3차 성분의 계수이므로, CS 증폭기의 IMD3의 주요 성분이 된다. CS단과 CG (common-gate) 단을 연결한 cascode 증폭기에서는 CS 단에서 발생하는 비선형 성분이 current buffer로 동작하는 CG 단으로 전달된다. 따라서 CS 단에서 발생한 비선형 성분은 cascode 증폭기의 선형성을 열화시키는 주요 원인이 된다. 본 논문에서 제안한 IMD 상쇄 기법은 일반적인 cascode 증폭기에 비선형 특성을 가지는 CS 단을 추가로 연결하여 cascode 증폭기에서 발생하는 비선형 성분을 상쇄시켜 증폭기의 선형성을 향상시킬 수 있다.

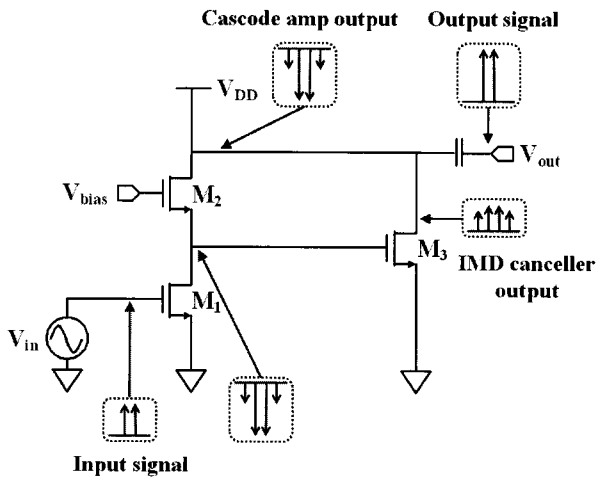


그림 1 IMD 상쇄 기법의 동작 원리
Fig. 1 Principle of IMD cancellation method

그림 1은 본 논문에서 제안한 IMD 상쇄 기법의 동작 원리를 보여준다. Cascode 증폭기에 입력 신호 v_{in} 은 M_1 과 M_2 에 의하여 증폭이 되며, 증폭된 신호와 입력 신호 v_{in} 은 180°의 위상 차이를 가진다. 또한 M_1 과 M_2 의 중간단에서 분기된 신호는 IMD canceller인 M_3 에 입력된다. 이때 M_3 는 threshold voltage 부근에서 동작되도록 설계함으로써, fundamental 신호의 이득을 최소화하고, IM3 (3rd-order intermodulation) 성분을 최대한 크게 출력한다. IMD canceller를 통과한 신호는 cascode 단을 통과한 신호와 180°의 위상 차이를 가진다. 따라서 최종 출력 신호는 cascode 증폭의 신호와 IMD canceller인 M_3 를 통과한 신호와 결합된 신호이며, 두 신호의 IM3 크기가 동일하다면 최종 출력 신호에서 IM3 성분이 상쇄될 수 있다. 이때 fundamental 신호의 크기는 cascode 단에서 크게 증폭이 되므로 IMD canceller에 의한 감소는 미비하다. M_1 과 M_2 의 gain을 각각 $-G_{M1}$ 과 $-G_{M2}$ 로 정의할 수 있으며, '-' 부호는 입력 신호와 출력 신호의 위상이 180° 차이가 나는 것을 의미한다.

$$Out_{M1} = -\left(G_{M11} \cdot v_{in} + \left(\frac{1}{2!}\right) \cdot G_{M12} \cdot v_{in}^2 + \left(\frac{1}{3!}\right) \cdot G_{M13} \cdot v_{in}^3\right), \quad (3)$$

$$Out_{M2} = G_{M21} \cdot Out_{M1} \quad (4)$$

$$+ \left(\frac{1}{2!}\right) \cdot G_{M22} \cdot Out_{M1}^2 + \left(\frac{1}{3!}\right) \cdot G_{M23} \cdot v_{in}^3,$$

$$Out_{M3} = -\left(G_{M31} \cdot Out_{M1} \quad (5)$$

$$+ \left(\frac{1}{2!}\right) \cdot G_{M32} \cdot Out_{M1}^2 + \left(\frac{1}{3!}\right) \cdot G_{M33} \cdot Out_{M1}^3\right).$$

수식 (3)에서 G_{M1n} 은 n차 gain coefficient, v_{in} 은 CS 단에 입력되는 gate-source 전압 신호, 그리고 Out_{M1} 은 CS 단의 출력 신호이다. 또한 Out_{M1} 은 cascode 증폭기의 CG 단과 IMD canceller에 각각 입력된다. 따라서 수식 (3)-(5)를 이용하면 v_{in}^3 의 계수는 수식 (6)으로 표현이 되며, 이때 M_2 와 M_3 의 계수가 동일하도록 M_3 의 width를 변화시켜 IM3의 성분을 상쇄시킬 수 있다.

$$G_{M11}^3 \cdot (G_{M33} - G_{M23}) + G_{M13} \cdot (G_{M31} - G_{M21}) - 3 \cdot G_{M11} \cdot G_{M12} \cdot (G_{M32} - G_{M22}) = 0 \quad (6)$$

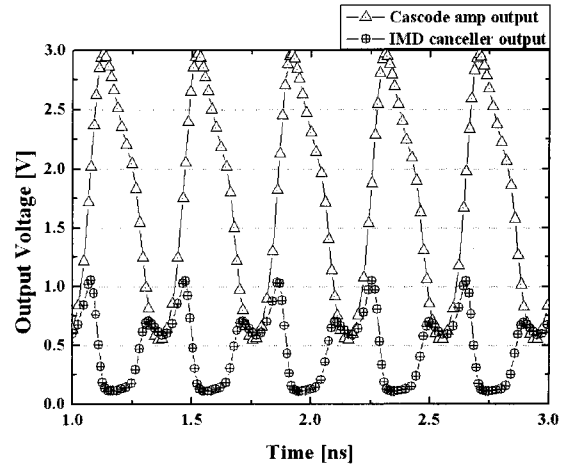


그림 2 Cascode 증폭기와 IMD canceller의 출력 파형
Fig. 2 Output waveform of cascode amplifier and IMD canceller

그림 2는 2500 MHz의 입력 신호를 IMD canceller를 적용한 구동 증폭기에 인가한 후 cascode 증폭기와 IMD canceller에서 출력되는 전압 신호를 각각 시간 영역에서 도시한 simulation 결과로써, cascode 증폭기와 IMD canceller의 출력이 180°의 위상 차이를 가짐을 알 수 있다.

그림 3은 본 논문에서 제안한 IMD canceller를 적용한 구동 증폭기의 회로도이다. M_1 과 M_2 는 cascode 증폭기이며, M_3 와 M_4 는 IMD canceller인 M_5 의 동작점을 결정하기 위한 bias 트랜지스터이다. 그리고 R_1 과 R_2 는 cascode 증폭기와 IMD canceller의 IM3 크기를 맞추기 위한 저항이다. 따라서

M₃와 M₄에 의하여 M₅의 동작점이 결정되므로 IMD canceller의 구동을 위한 별도의 바이어스 회로는 필요하지 않다. 그림 3의 회로도를 기반으로 0.18 μm CMOS 공정을 이용하여 cascode 구동 증폭기와 IMD canceller를 적용한 구동 증폭기를 설계하였다.

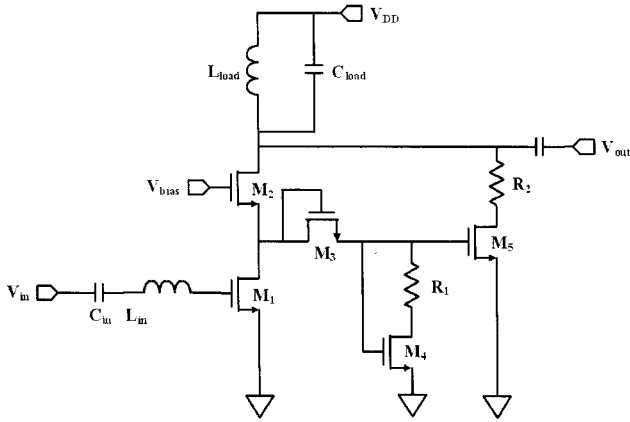


그림 3 본 논문에서 제안한 IMD canceller를 적용한 CMOS 구동 증폭기
Fig. 3 Schematic of cascode amplifier with IMD canceller

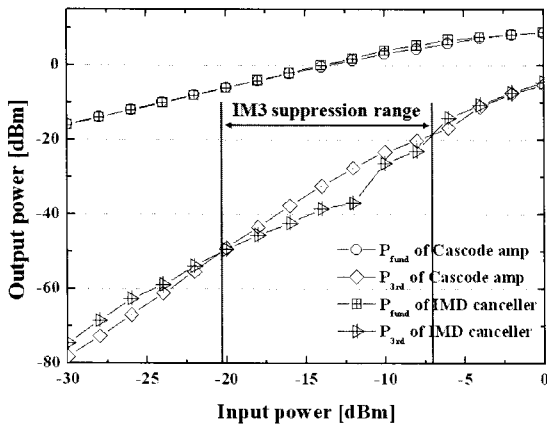


그림 4 구동 증폭기의 two-tone 시뮬레이션 결과
Fig. 4 Two-tone simulation results of drive amplifier

그림 4는 IMD canceller를 적용한 구동 증폭기의 two-tone 시뮬레이션 결과이며, 입력 주파수는 2490 MHz와 2510 MHz, 입력 전력은 -30 dBm에서 0 dBm 까지 인가하였다. 입력 전력이 -20 dBm에서 -7 dBm 까지 구간에서 IMD canceller가 적용된 구동 증폭기의 IM3 전력이 cascode 구동 증폭기 보다 낮음을 확인할 수 있다. 특히 입력 전력이 -12 dBm 일 때 IM3 전력이 10 dB 이상 억제됨을 알 수 있다.

2.2 IMD 상쇄 기법을 적용한 구동 증폭기 측정 결과

그림 5는 0.18 μm CMOS 공정을 이용하여 제작한 IMD

canceller를 적용한 구동 증폭기의 마이크로 포토이다. Cascode 구동 증폭기와 IMD canceller를 적용한 구동 증폭기의 바이어스 전류는 각각 11 mA와 13 mA로 IMD canceller를 적용한 구동 증폭기의 경우 2 mA의 전류가 더 소비되었다. 이와 같은 이유는 IMD canceller에 흐르는 전류에 의한 것이다. 2500 MHz 대역에서 측정된 cascode 구동 증폭기와 IMD canceller를 적용한 구동 증폭기의 이득은 각각 11.8 dB와 11.5 dB이며, IMD canceller에 의한 gain 감소는 거의 무시할 수 있다. 또한 출력단의 반사 계수인 S₂₂는 각각 -14.7 dB와 -14.5 dB로 측정되었다. 이때 gain과 S₂₂는 Vector Network Analyzer로 측정하였다.

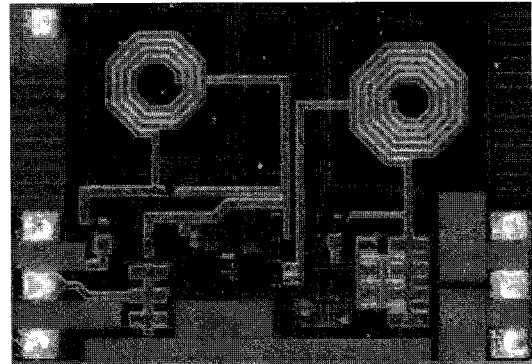


그림 5 IMD 상쇄 기법을 적용한 구동 증폭기의 마이크로 포토
Fig. 5 Microphotograph of drive amplifier with IMD canceller

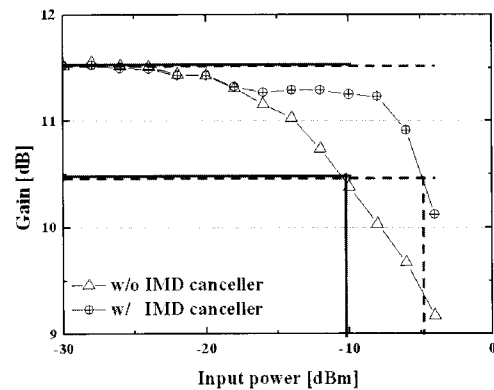


그림 6 2500 MHz에서 P1dB 측정 결과
Fig. 6 Measurement results of P1dB at 2500 MHz

그림 6은 일반적인 cascode 구동 증폭기와 IMD canceller를 적용한 구동 증폭기의 OP_{1dB}를 2500 MHz에서 측정한 결과이다. 측정 결과에서 IMD canceller를 적용한 구동 증폭기의 OP_{1dB}는 5.5 dBm으로 일반적인 cascode 구동 증폭기의 OP_{1dB}인 0.5 dBm보다 5 dB 향상되었음을 알 수 있다.

그림 7은 power-added efficiency (PAE)의 측정 결과를 보여주며, PAE는 다음 수식과 같이 정의할 수 있다 [1].

$$PAE = \frac{P_{out} - P_{in}}{P_{DC}} \quad (7)$$

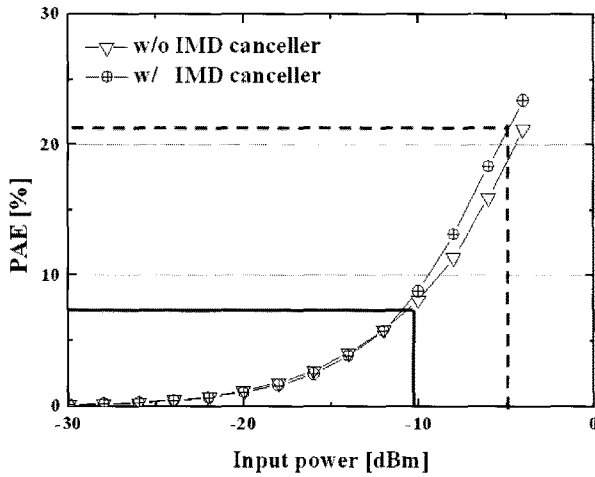


그림 7 PAE 측정 결과
Fig. 7 Measurement results of PAE

수식 (7)에서 PAE는 입력 전력이 증가할 때 증폭기의 출력 전력의 차이를 DC 전력으로 나눈 것으로 정의된다. 이는 DC 소비 전력이 RF 신호의 gain에 미치는 영향을 나타내는 지표로 구동 증폭기의 전력 효율을 의미한다. 따라서 PAE가 높을수록 증폭기의 효율이 높아진다. 입력 전력 변화에 따른 cascode 구동 증폭기와 IMD canceller를 적용한 구동 증폭기의 PAE 특성은 거의 유사하게 측정되었으나, 증폭기의 최대 포화 전력인 OP_{1dB} 에서의 PAE를 계산하게 되면, IMD canceller를 적용한 구동 증폭기의 PAE가 21 % 이므로 cascode 증폭기와 비교하여 13.5 % 가 향상되었음을 알 수 있다. 따라서 IMD canceller를 적용한 구동 증폭기는 OP_{1dB} 를 향상시키며, 동시에 PAE도 획기적으로 개선시킴을 확인할 수 있다.

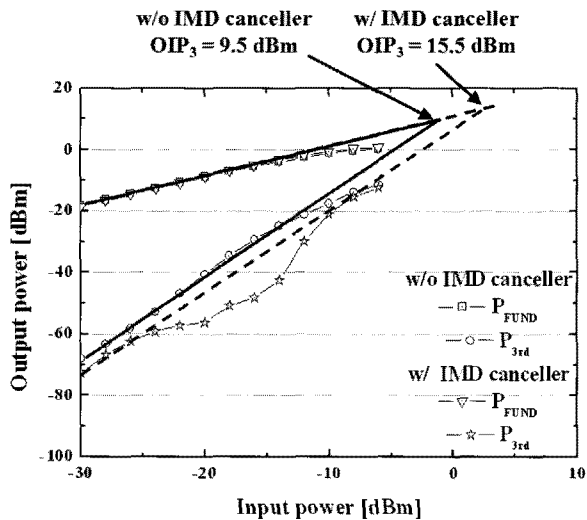


그림 8 OIP_3 측정 결과
Fig. 8 Measurement results of OIP_3

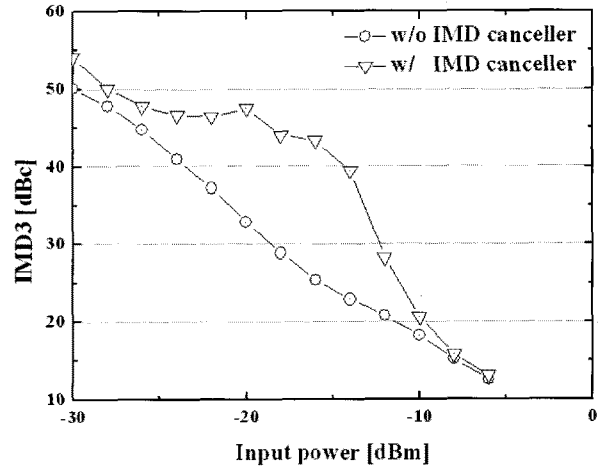


그림 9 IMD3 측정 결과
Fig. 9 Measurement results of IMD3

그림 8과 9는 cascode 구동 증폭기와 IMD canceller를 적용한 구동 증폭기의 two-tone 측정 결과이다. Two-tone 입력 주파수는 2490 MHz와 2510 MHz로 20 MHz의 주파수 간격을 두었다. 그림 8은 증폭기의 선형성을 나타내는 지표인 OIP_3 의 측정 결과를 보여주며, IMD canceller를 적용한 구동 증폭기의 OIP_3 가 15.5 dBm 으로 cascode 구동 증폭기와 비교하여 6 dB 향상하였음을 확인할 수 있다. 이때 OIP_3 의 측정 기준은 입력 전력이 -30 dBm 일 때 측정된 결과이다. 또한 그림 9에서는 입력 전력에 따른 IMD3 값을 도시하였으며, IMD canceller를 적용한 경우 IMD3는 입력 전력이 -20 dBm에서 15 dB 증가하였으며, 이와 같이 IMD3가 급격히 증가하는 현상은 입력 전력이 -14 dBm 일 때까지만 나타난다. 따라서 IMD canceller를 적용하여 증폭기를 설계할 경우 OP_{1dB} , OIP_3 가 크게 증가하여 구동 증폭기의 선형성이 획기적으로 향상되었음을 확인할 수 있다. 또한 특정 입력 전력 구간에서 IMD3가 급격히 향상되므로, 이 구간에서 신호가 입력되면 증폭기의 IMD3 전력이 크게 억제됨을 알 수 있다. Cascode 구동 증폭기와 IMD canceller를 적용한 구동 증폭기의 측정 결과를 표 1에 정리하였다.

표 1 제작된 구동 증폭기의 측정 결과 비교표

Table 1 Measurement summary

Parameter	Cascode 구동 증폭기	IMD canceller를 적용한 구동 증폭기
Supply voltage	1.8 V	1.8 V
Supply current	11 mA	13 mA
Power gain	11.8 dB	11.5 dB
S22	-14.7 dB	-14.5 dB
OP_{1dB}	0.5 dBm	5.5 dBm
OIP_3	9.5 dBm	15.5 dBm
PAE (@ P_{1dB})	7.5 %	21 %

3. 결 론

본 논문에서는 일반적인 cascode 구동 증폭기에 CS 구조의 IMD canceller를 적용하여 구동 증폭기의 선형성을 향상시킬 수 있는 새로운 개념의 선형화 방법을 제안하였다. Cascode 증폭기의 출력 신호와 IMD canceller의 출력 신호가 180°의 위상 차이를 가지기 때문에, 두 신호를 더하여 IM3 성분이 효과적으로 제거될 수 있다. 제안한 구동 증폭기는 0.18 μm CMOS 공정을 이용하여 설계 및 구현되었으며, 2500 MHz 대역에서 single-tone과 two-tone 측정을 하였다. 측정 결과 IMD canceller를 적용한 구동 증폭기는 cascode 구동 증폭기 보다 OP_{1dB} 와 OIP_3 가 각각 5 dB와 6 dB 향상이 되었으며, 이를 통해 IMD canceller에 의하여 구동 증폭기의 선형성이 향상되었음을 검증하였다. 또한 OP_{1dB} 가 5 dB 증가하였기 때문에 PAE도 13.5 %가 향상이 되어 전력 효율도 개선할 수 있음을 보여주었다. 본 논문에서 제안한 IMD canceller는 단순한 구조로 별도의 bias 회로를 추가하지 않고 구동 증폭기의 선형성을 향상시킬 수 있기 때문에, 선형성이 요구되는 다양한 RF 및 아날로그 집적회로에 적용할 수 있는 장점이 있다.

감사의 글

이 논문은 2006년 정부(교육과학기술부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임 (KRF-2006-311-D00719).

참 고 문 헌

[1] Tomas H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*. NY : Cambridge University Press, 2004.
 [2] B. Razavi, *RF Microelectronics*. NJ : Prentice-Hall, 1998.
 [3] I. Kwon, Y. Eo, S. Song, K. Choi, H. Lee, and K. Lee, "A Fully Integrated 2.4 GHz CMOS RF Transceiver for IEEE 802.15.4", in *Proc. IEEE RF Integrated Circuits Symp.*, June 2006, pp. 285-278.
 [4] T. Kim, B. Kim, and K. Lee, "Highly Linear Receiver Front-End Adopting MOSFET Transconductance Linearization by Multiple Gated Transistors", *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp. 223-229, Jan. 2004.
 [5] V. Aparin and L. E. Larson, "Modified Derivative Superposition Method for Linearizing FET Low-Noise Amplifiers", *IEEE Trans. Microwave Theory Tech.*, vol. 53, no. 2, pp. 571-581, Feb. 2005.
 [6] S. Ganeyan, E. Sánchez-Sinencio, and J. Silva-Marinez, "A Highly Linear Low-Noise Amplifier", *IEEE Trans. Microwave Theory Tech.*, vol. 54, no. 12, pp. 4079-4085, Dec. 2006.

[7] T. Kim, B. Kim, I. Nam, B. Ko, and K. Lee, "A Low-Power Highly Linear Cascoded Multiple-Gate Transistor CMOS RF Amplifier with 10 dB IP3 Improvement", *IEEE Microw. Wireless Compon. Lett.*, vol. 13, no. 9, pp. 420-422, Sep. 2003.
 [8] T. Kim and S. Kim, "Post-Linearization of Cascode CMOS Low Noise Amplifier Using Folded PMOS IMD Sinkers", *IEEE Microw. Wireless Compon. Lett.*, vol. 16, no. 4, pp. 182-184, Apr. 2006.

저 자 소 개



김도균 (金 燾 均)

2003년 중앙대학교 전자전기공학부 졸업
 2005년 중앙대학교 대학원 전자전기공학부 (공학석사)
 2005년~ 중앙대학교 대학원 전자전기공학부 (박사과정)



홍남표 (洪 南 杓)

2007년 중앙대학교 전자전기공학부 졸업
 2007년~ 중앙대학교 대학원 전자전기공학부 (석·박 통합과정)



문연태 (文 年 泰)

2003년 중앙대학교 전자전기공학부 졸업
 2005년 중앙대학교 대학원 전자전기공학부 (공학석사)
 2009년 중앙대학교 대학원 전자전기공학부 (공학박사)



최영완 (崔 永 完)

1987년 SUNY at Buffalo Dept. of ECE (공학석사)
 1992년 SUNY at Buffalo Dept. of ECE (공학박사)
 1995년~현재 중앙대학교 전자전기공학부 교수