
3차원 포아송방정식을 이용한 FinFET의 포텐셜분포 모델

정학기*

Potential Distribution Model for FinFET using Three Dimensional Poisson's Equation

Hakkee Jung*

요 약

본 연구에서는 FinFET에서 문턱전압이하 전류 및 단채널효과를 해석하기 위하여 필수적인 포텐셜분포를 구하기 위하여 3차원 포아송방정식을 이용하고자 한다. 특히 계산시간을 단축시키고 파라미터의 관련성을 이해하기 쉽도록 해석학적 모델을 제시하고자 한다. 이 모델의 정확성을 증명하기 위하여 3차원 수치해석학적 모델과 비교되었으며 소자의 크기파라미터에 따른 변화에 대하여 설명하였다. 특히 채널 도핑여부에 따라 FinFET의 채널 포텐셜을 구하여 향후 문턱전압이하 전류 해석 및 문턱전압 계산에 이용할 수 있도록 모델을 개발하였다.

ABSTRACT

Three dimensional(3D) Poisson's equation is used to calculate the potential variation for FinFET in the channel to analyze subthreshold current and short channel effect(SCE). The analytical model has been presented to lessen calculating time and understand the relationship of parameters. The accuracy of this model has been verified by the data from 3D numerical device simulator and variation for dimension parameters has been explained. The model has been developed to obtain channel potential of FinFET according to channel doping and to calculate subthreshold current and threshold voltage.

키워드

FinFET, 3D 포아송 방정식 포텐셜분포, MOSFET, SCE

I. 서 론

차세대 고성능, 초미세 소자로 주목받고 있는 FinFET는 우수한 스케일효과에 의하여 20nm이하 차세대 주력 FET소자 제작의 가능성에 대한 연구가 활발히 진행 중에 있다[1][2]. 벌크형 MOSFET에서 다중 게이트 MOSFET로 발전하면서 단위 실리콘면적당 구

동전류량은 크게 증가하며 단채널효과 또한 크게 해소시킬 수 있다. 이러한 목적으로 3중게이트 FinFET가 20nm설계규칙을 이용하여 개발되었다[3]. FinFET의 경우 공정상 소스-드레인간 채널이 절연막 위에 좁게 형성되며 게이트는 그 위에 덮여지기 때문에 누설전류를 차단할 수 있다는 장점이 있다. 그러므로 게이트를 이용한 채널전류의 제어가 기존의 MOSFET보다 원

활히 이루어진다. FinFET는 3중게이트 구조로써 모든 게이트의 일함수가 동일하여 동일한 포텐셜상에서 제어할 수 있다. 이러한 3중게이트구조는 3차원 해석을 요구한다. 2차원적 해석이 이용될 수 있는데 이는 상단 게이트에 수평으로 도핑농도 등을 해석할 때 이용하고 있다[4]. 도핑된 채널에서의 3차원적 해석을 시도한 적은 드물며 도핑하지 않은 채널의 경우 캐리어 이동도가 증가하는 장점이 있지만 채널이 도핑된다면 문턱전압을 보다 용이하게 제어할 수 있으며 단채널효과도 감소시킬 수 있다. 본 연구에서는 최근 개발된 SOI MOSFET의 포텐셜모델[2]을 이용하여 도핑여부에 따른 채널내 포텐셜 및 바이어스상태에 따른 포텐셜을 채널의 둘레면을 따라 구하고자 한다. 이 연구에서 구한 포텐셜은 문턱전압 및 문턱전압이하 스윙 등을 연구하는데 기본이 될 것이다. 2장에서 이론적 배경을 서술할 것이며 3장에서는 결과를 고찰하고 4장에서 결론을 맺을 것이다.

II. FinFET의 포텐셜분포

그림 1에 본 연구에서 사용한 FinFET구조를 도시하였다. FinFET는 레이아웃에 있어서 메사형 고립 SOI MOSFET와 동일하다. 두 소자에 있어서 삼면으로 실리콘몸체를 둘러싸고 있다. 그림 1의 구조를 분석하기 위하여 포아송방정식과 전류연속방정식을 풀어야한다. 그러나 문턱전압이하 영역에서는 전류가 매우 작기 때문에 포아송방정식만으로도 충분히 분석할 수 있다. SOI층내에서 3차원 포아송방정식은

$$\frac{\partial^2 \psi(x, y, z)}{\partial x^2} + \frac{\partial^2 \psi(x, y, z)}{\partial y^2} + \frac{\partial^2 \psi(x, y, z)}{\partial z^2} = \frac{qN_A}{\epsilon_{Si}} \quad (1)$$

이다.

그러므로 두 소자에 대하여 동일한 경계조건을 이용하여 포아송방정식을 풀 수 있다. 이 연구에서 사용한 경계조건은 다음과 같다.

$$\psi(0, y, z) - \frac{t_{oxf}}{\epsilon_{ox}} [\epsilon_{Si} \frac{\partial \psi(x, y, z)}{\partial x}]_{x=0} - Q_{it}^f = V_{gf} - V_{fb}^f \quad (2)$$

$$\psi(t_s, y, z) - \frac{t_{oxb}}{\epsilon_{ox}} [\epsilon_{Si} \frac{\partial \psi(x, y, z)}{\partial x}]_{x=t_s} + Q_{it}^b = V_{gb} - V_{fb}^b \quad (3)$$

$$\psi(x, 0, z) = V_{bi}^i \quad (4)$$

$$\psi(x, L_{eff}, z) = V_{bi} + V_{ds} \quad (5)$$

$$\psi(x, y, 0) - \frac{t_{oxw}}{\epsilon_{ox}} [\epsilon_{Si} \frac{\partial \psi(x, y, z)}{\partial z}]_{z=0} - Q_{it}^f = V_{gf} - V_{fb}^f \quad (6)$$

$$\psi(x, y, W) + \frac{t_{oxw}}{\epsilon_{ox}} [\epsilon_{Si} \frac{\partial \psi(x, y, z)}{\partial z}]_{z=W} - Q_{it}^f = V_{gf} - V_{fb}^f \quad (7)$$

여기서 식 (2)와 (3)은 x 방향의 경계조건이며 식 (4)와 (5)는 y 방향, 식 (6)과 (7)은 z 방향의 경계조건을 나타낸다. 또한 V_{fb}^f 와 V_{fb}^b 는 상단과 하단게이트의 평탄전압이며 Q_{it}^f 와 Q_{it}^b 는 각각 상하단 게이트산화막과 관계된 경계면트랩전하이다. SOI MOSFET와 FinFET의 차이점은 단지 형태이다. FinFET의 경우 실리콘 몸체가 지느러미(fin) 형태이다. 즉, 실리콘 층의 높이가 폭보다 매우 커서 양면에 채널을 제어하는 두개의 게이트를 형성할 수 있다. 반면에 메사형 고립 SOI MOSFET는 상단의 게이트만이 채널의 전류를 제어하고 있다. 채널영역에서 적당히 높이와 폭을 선택하여 포아송방정식을 풀 FinFET에 적용할 수 있다. SOI 층에서의 포텐셜 $\psi(x, y, z)$ 은 1D, 2D, 3D 포아송방정식의 해의 합으로 다음과 같이 표현할 수 있다.

$$\psi(x, y, z) = \psi_{1D} + \psi_{2D} + \psi_{3D} \quad (8)$$

여기서 각 차원에 대한 포텐셜의 분석학적 해는 다음과 같다[5].

$$\psi_{1D} = \psi_{sb} + E_{sb}(H_{fin} - x) + \frac{q}{2\epsilon_{Si}} N_A (H_{fin} - x)^2$$

$$\psi_{2D} = \sum_{r=1}^{10} [V_r \sinh(\gamma_r y) + V_r \sinh(\gamma_r (L_{eff} - y))] \times [\sin(\gamma_r x) + \frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox} \gamma_r \cos(\gamma_r x)] / \sinh(\gamma_r L_{eff})$$

$$\psi_{3D} = \sum_{s=1}^1 \sum_{r=1}^{10} P_{sr} [\sinh\{\chi_{sr}(T_{fin} - z)\} + \sinh(\chi_{sr} z), x] \times \frac{\sin(\alpha_s (y - L_{eff}))}{\cos(\alpha_s L_{eff})} [\sin(\beta_s x) + \frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox} \beta_s \cos(\beta_s x)]$$

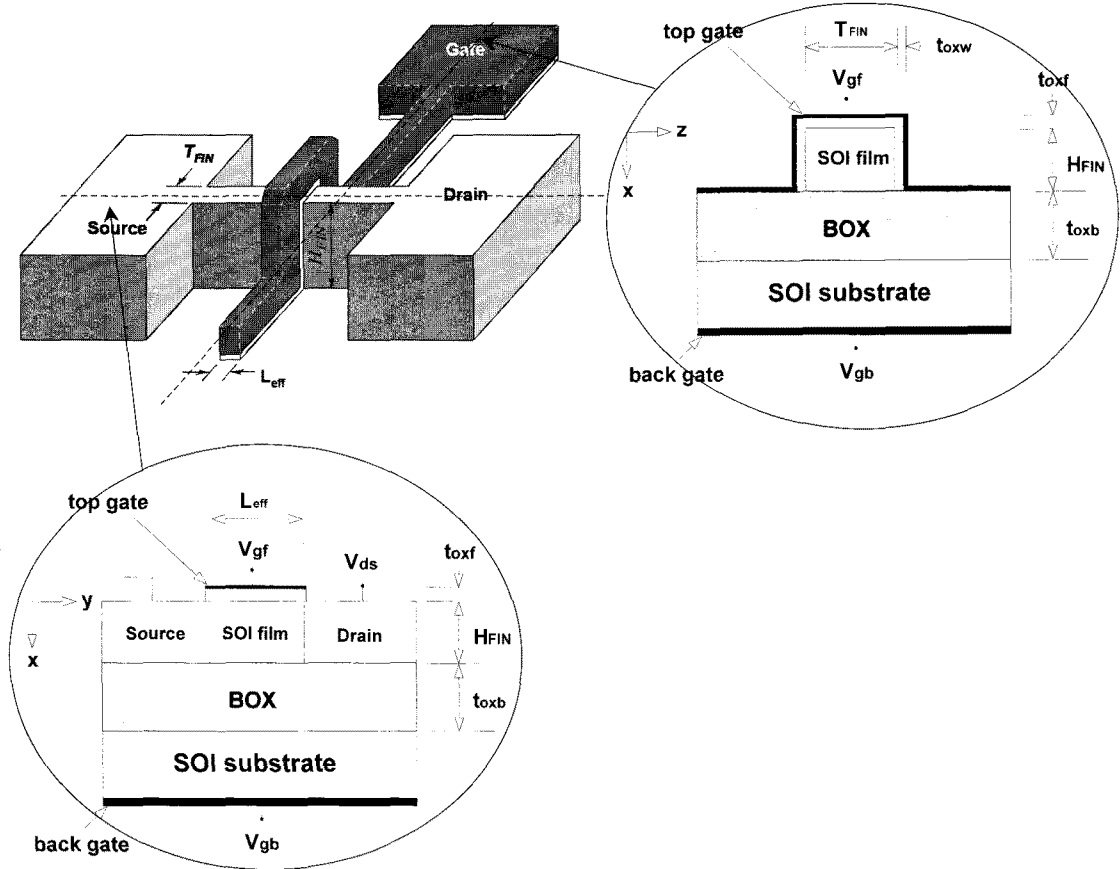


그림 1. FinFET 구조
Fig. 1 Structure of FinFET

N_A 는 채널도핑농도, t_{oxf} 는 상단 게이트의 산화막 두께, L_{eff} 는 유효채널길이, T_{fin} 과 H_{fin} 은 SOI층에서의 두께 및 높이, ϵ_{Si} 와 ϵ_{ox} 는 실리콘과 이산화실리콘의 유전율이다. 식 (8)에서 표현한 모든 변수들은 상단부와 하단부 게이트바이어스(V_{gf} 와 V_{gb}) 그리고 드레인전압(V_{ds})과 함께 크기 및 물질 변수들이다. 식 (8)은 SOI 층에 대하여 개발된 것이지만 N_A 를 n_i 로 대체하면 비도핑 채널을 가진 FinFET에서 사용할 수 있다. 그 외 변수에 대해선 참고문헌[2]을 이용하여 계산하였다.

III. 결과고찰

그림 2는 채널이 도핑되지 않은 상태에서 상단표면($x=0, z=T_{fin}/2$)에서 채널 길이 방향($y=0$ 에서 $y=L_{eff}$), 상단표면($x=0, y=L_{eff}/2$)에서 채널 폭방향($z=0$ 에서 $z=T_{fin}$) 그리고 게이트상단 중심($y=L_{eff}/2, z=T_{fin}/2$)에서 게이트높이방향($x=0$ 에서 $x=H_{fin}$)으로 FinFET에 대하여 구한 포텐셜분포 결과이다. 결과가 3D DAVINCI프로그램[5]의 결과[1]와 비교되어 있다. 결과가 잘 일치하는 것으로 미루어 식 (8)은 도핑되지 않은 FinFET에 대하여 사용할 수 있을 것이다.

예상할 수 있듯이 채널폭방향의 분포는 $z = T_{fin}/2$ 에서 대칭적임을 알 수 있다. x 와 z 방향은 $L_{eff}/2$ 에서 거의 변화하지 않는다는 것을 알 수 있었다. 즉 소스-드레인의 중간점에서 대칭을 이루고 있다는 것을 알 수 있으며 여기서 사이드 게이트가 정확히 대칭적으로 동작하고 있다는 것을 알 수 있다. 소스와 드레인간에는 약 0.8V의 전위차가 있으므로 결과에서도 알 수 있듯이 $y = 0$ 점과 $y = L_{eff}$ 에서 이에 상응하는 전위차가 발생함을 알 수 있다. 이 전위차에 의하여 캐리어가 소스에서 드레인으로 이동할 것이다.

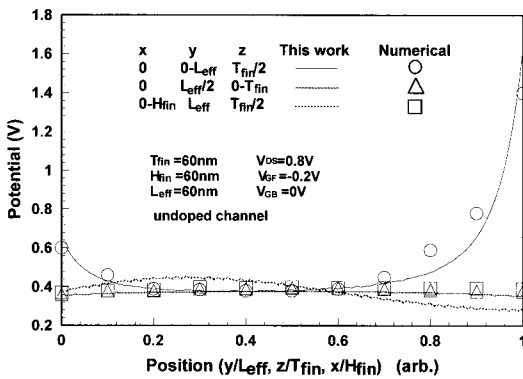


그림 2. 채널이 도핑되지 않았을 때 포텐셜분포
Fig. 2 Potential distribution for undoped channel

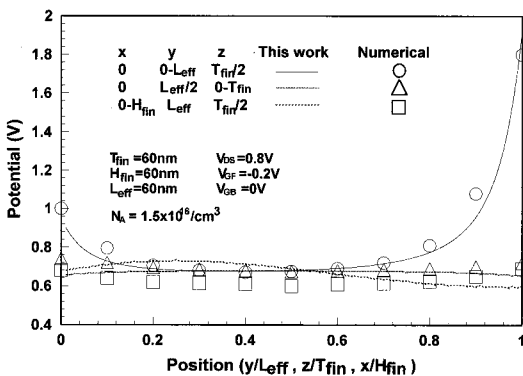


그림 3. 채널이 도핑되었을 때 포텐셜분포
Fig. 3 Potential distribution for doped channel

그림 3에 채널이 $N_A = 1.5 \times 10^{16}/cm^3$ 으로 도핑된 FinFET의 포텐셜분포를 도시하였다. 3D 수치해석학적 해[1]와 잘 일치하는 것을 알 수 있다. 그러므로 채널의

도핑여부와 관계없이 식 (8)은 잘 적용되고 있다는 것을 알 수 있다. 그림 2와 비교하면 최소 포텐셜이 증가함을 알 수 있다. 이는 자유전자의 양을 증가시켜 결국 드레인 전류를 증가시키게 될 것이다. 그러나 채널도핑이 증가하면 문턱전압 이동(threshold voltage roll-off)이 증가하여 단채널효과가 커지기 때문에 또 다른 문제를 야기시킬 것이다. 그림 4에 $N_A = 1 \times 10^{17}/cm^3$ 으로 도핑된 FinFET에서 채널길이에 따른 포텐셜분포의 변화를 도시하였다. $H_{fin} = 100nm$, $t_{oxf} = t_{oxw} = 10nm$ 이며 $T_{fin} = 300nm$, $V_{ds} = 0.05V$, $V_{gf} = V_{gb} = 1.0V$ 의 경우 채널길이 L_{eff} 를 증가시키면서 계산한 결과이다. 단채널효과에 의하여 채널길이가 감소할 때 최소포텐셜이 증가함을 알 수 있다. 그림 4에서 드레인 전압효과도 관찰할 수 있다. 드레인 전압의 증가는 단채널효과중 드레인유기장벽감소(Drain induced barrier lowering; DIBL) 효과 때문에 최소 포텐셜을 증가시킬 뿐만 아니라 최소 표면전위를 소스방향으로 이동시킨다는 것을 관찰할 수 있다. 물론 이 효과는 드레인 전압이 증가하면 매우 큰 영향을 미칠 것이다.

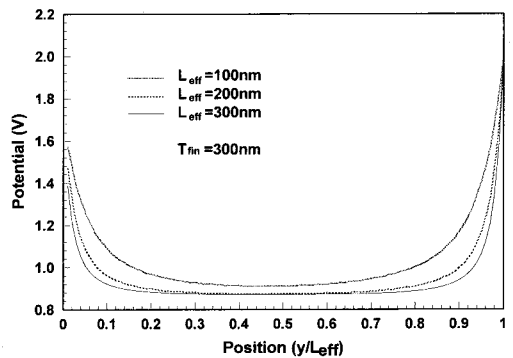


그림 4. 채널길이에 따른 표면 포텐셜분포
Fig. 4 Surface potential distribution for channel length

그림 5에 $L_{eff} = 200nm$ 의 경우 채널폭 T_{fin} 의 변화에 따른 표면 포텐셜의 변화를 도시하였다. 바이어스 조건은 그림 4와 동일하다. 그림에서 알 수 있듯이 $z = T_{fin}/2$ 를 기준으로 대칭임을 알 수 있다. $z = 0$ 과 $z = T_{fin}$ 에서의 표면포텐셜은 $z = T_{fin}/2$ 에서보다 훨씬 높다는 것을 알 수 있다. 특히 채널폭이 증가할수록 표면포텐셜이 전 영역에 걸쳐 일정하게 분포함을 알

수 있다. 한편 협폭 FinFET의 경우 $z = T_{fin}/2$ 에서 날카로운 최소값을 갖으면서 장폭 FinFET보다 최소값이 증가함을 알 수 있다. 문턱전압은 결국 최소 포텐셜에 좌우되기 때문에 그림 4와 비교해 보면 채널길이보다 채널폭의 변화가 문턱전압에 더 큰 영향을 미친다는 것을 알 수 있다.

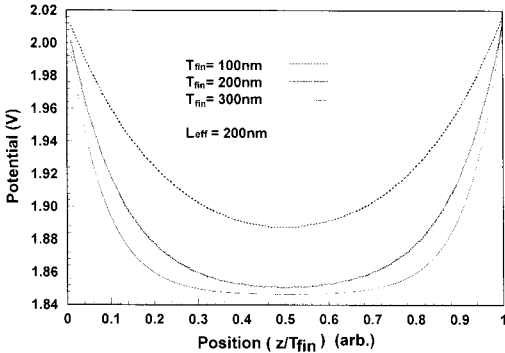
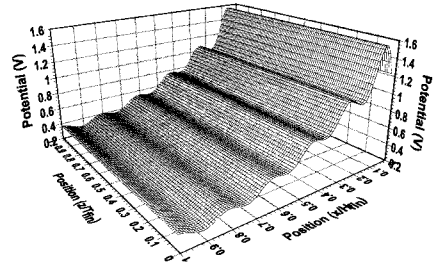
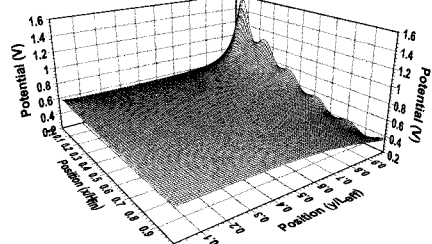


그림 5. 채널폭에 따른 표면 포텐셜분포
Fig. 5 Surface potential distribution for channel width

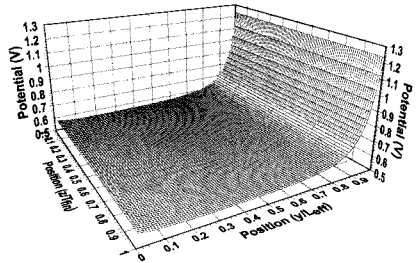
그림 6은 FinFET의 채널 표면에 대한 포텐셜분포를 도시한 3차원 분포도이다. 크기조건은 그림 4와 동일하며 인가전압은 드레인에 0.8V, 상단게이트에 0.0V일 때의 분포도이다. 그림 1에 표시한 바와같이 x, y, z 축에 대한 분포를 도시하였다. 그림 6(a)에서 알 수 있듯이 z 축 방향에 대한 포텐셜분포는 거의 변하지 않는다. 또한 그림 6(b)에서 상단게이트와 접한 면에서 포텐셜분포가 크게 증가하고 있다는 것을 알 수 있다. 여기서 하단게이트보다 상단게이트의 영향력이 더 크다는 것을 알 수 있었다. 그림 1에서 알 수 있듯이 일반적으로 상단게이트의 산화막이 더 얇게 제작되므로 상단게이트의 전압에 대한 영향이 더욱 증가할 것이다. 이와같은 상황은 그림 6(c)(d)에서도 잘 알 수 있다. 즉, 상단게이트에서의 포텐셜분포는 매우 심하나 하단게이트에서의 포텐셜분포는 거의 일어나고 있지 않다는 것을 알 수 있다. 그림 6(b)(c)(d)에서 소스보다 드레인영역에서 포텐셜분포의 변화가 심하다는 것을 알 수 있다. 이는 일반적인 MOSFET에서와 동일한 현상이다. 일반적으로 드레인 영역근처에서 큰 전계가 걸리므로 드레인콘택에서의 포텐셜분포 변화가 심하게 일어나며 소스에서는 대부분 소자에서 접지를 하므로 거의 일정한 포텐셜분포를 보인다.



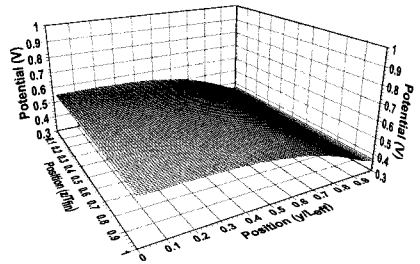
(a)



(b)



(c)



(d)

그림 6. 채널표면에 대한 포텐셜분포 (a) $x-z$ 평면에 대한 포텐셜분포 (b) $x-y$ 평면에 대한 포텐셜분포 (c) $y-z$ 평면에 대한 포텐셜분포(top gate) (d) $y-z$ 평면에 대한 포텐셜분포(bottom gate)

Fig 6. Potential distributions for channel surface (a) Potential distribution for $x-z$ plane (b) Potential distribution for $x-y$ plane (c) Potential distribution for $y-z$ plane(top gate) (d) Potential distribution for $y-z$ plane(bottom gate)

IV. 결 론

저자소개

본 연구에서는 채널의 도핑 여부 및 크기변화에 대한 포텐셜분포의 변화를 구하기 위하여 3차원 포아송방정식을 이용한 해석학적 포텐셜모델을 제시하였다. 이 모델의 결과를 3D 소자 시뮬레이터인 DAVINCI의 결과와 비교하여 잘 일치함을 보였다. 채널이 도핑되면 최소표면 포텐셜이 증가함을 알 수 있었으며 채널길이가 증가할수록 포텐셜이 감소하나 포텐셜이 일정한 구간이 증가함을 알 수 있었다. 또한 채널 폭의 변화에 대한 고찰에서도 알 수 있듯이 채널 폭이 증가하면 최소 표면포텐셜이 감소하나 일정한 분포를 갖는 영역이 증가함을 알 수 있다. 이 모델을 이용하여 향후 FinFET의 단채널효과 및 전송특성 그리고 전류-전압특성 등을 구할 것이다. 결과적으로 이 연구의 모델은 향후 FinFET소자 개발에 이용될 수 있을 것으로 사료된다.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 졸업

1985.3 연세대학교 전자공학과 M.S.

1990.8 연세대학교 전자공학과 Ph.D

1995.8 일본 오사카대학 교환교수

2005.8 호주 그리피스대학 교환교수

1990.3-현재 군산대학교 전자공학과 교수

※관심분야: 반도체소자 시뮬레이션, 몬테칼로 시뮬레이션, 회로및 시스템 해석 등

참고문헌

[1] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, 2006.

[2] G.Katti, N.DasGupta and A.DasGupta, "Threshold Voltage Model for Mesa-Isolated Small Geometry Fully Depleted SOI MOSFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 51, no.7, 2004.

[3] J.P.Colinge, "Multiple-gate SOI MOSFETs," Solid State Electron., vol. 48, no. 6, pp.897-905,2004.

[4] J.G.Fossum, M.M.Chowdhury, V.P. Trivedi ,T.J.King, Y.K.Choi, J.An and B.Yu,"Physical insights on design and modeling of nanoscale FinFETs," in IEDM Tech. Dig.,pp.679-682, 2003.

[5] Taurus Medici Davinci User's Guide, Synopsis Inc.,Mountain View, CA, Dec. 2003. V-2003.