

논문 2009-46SD-4-1

디스플레이 시스템을 위한 소면적 12-bit 300MSPS CMOS D/A 변환기의 설계

(Design of a Small Area 12-bit 300MSPS CMOS D/A Converter for
Display Systems)

신 승 철*, 문 준 호**, 송 민 규***

(Seung-Chul Shin, Jun-Ho Moon, and Min-Kyu Song)

요 약

본 논문에서는 디스플레이 시스템을 위한 소면적 12-bit 300MSPS의 D/A 변환기 (DAC)를 제안한다. 최근 SoC (System-On-Chip) 경향에 맞는 소면적 DAC를 구현하기 위한 전체적인 구조는 6-MSB (Most Significant Bit) + 6-LSB (Least Significant Bit)의 full matrix 구조로 설계 하였다. 고해상도 동작에 요구되는 output impedance를 만족하는 monitoring bias 구조, 고속 동작 및 소면적 디지털 회로 구성을 위하여 logic과 latch 및 deglitching 역할을 동시에 할 수 있는 self-clocked switching logic을 각각 제안하였다. 설계된 DAC는 Samsung 0.13 μ m thick gate 1-poly 6-metal N-well CMOS 공정으로 제작되었다. 제작된 DAC의 측정결과 INL (Integrated Non Linearity) / DNL (Differential Non Linearity)은 ± 3 LSB / ± 1 LSB 이하로 나타났으며, 300MHz 샘플링 속도와 15MHz의 출력신호에서 SFDR은 약 70dB로 측정되었다. DAC의 유효면적은 0.26mm² (510 μ m \times 510 μ m)로 기존의 DAC에 비하여 최대 40% 감소된 초소면적으로 구현되었으며, 최대 전력 소모는 100mW로 측정되었다.

Abstract

In this paper, a small area 12-bit 300MSPS CMOS Digital-to-Analog Converter (DAC) is proposed for display systems. The architecture of the DAC is based on a current steering 6+6 segmented type, which reduces non-linearity error and other secondary effects. In order to improve the linearity and glitch noise, an analog current cell using monitoring bias circuit is designed. For the purpose of reducing chip area and power dissipation, furthermore, a noble self-clocked switching logic is proposed. To verify the performance, it is fabricated with 0.13 μ m thick-gate 1-poly 6-metal N-well Samsung CMOS technology. The effective chip area is 0.26mm² (510 μ m \times 510 μ m) with 100mW power consumption. The measured INL (Integrated Non Linearity) and DNL (Differential Non Linearity) are within ± 3 LSB and ± 1 LSB, respectively. The measured SFDR is about 70dB, when the input frequency is 15MHz at 300MHz clock frequency.

Keywords: DAC, matrix type, self-clocked switching logic, monitoring bias

I. 서 론

* 정회원, 삼성전자

(Samsung Electronics Co., Ltd.)

** 학생회원, *** 정회원, 동국대학교 반도체과학과

(Dept. of Semiconductor Science, Dongguk Univ.)

※ 본 논문은 삼성전자(주)가 지원하는 산학협력 연구 및 서울시 산학연 협력사업인 “테라스케일 SoC 설계를 위한 나노 IP DB 구축”을 통해 수행된 연구 결과임.

접수일자: 2008년7월13일, 수정완료일: 2009년3월27일

최근 멀티미디어에 대한 관심과 수요 증가로 고성능 멀티미디어 시스템에 필수적으로 사용되는 DAC에 관한 연구가 활발히 진행 되고 있다. 특히 고해상도 디스플레이 시스템의 구현을 위하여 고성능 DAC는 필수적이다. 한 예로 최근 CPU 기술의 발달로 고속의 digital

신호를 변환하기 위하여 고성능 DAC를 포함한 VGA-Card system이 사용되고 있다. 또한 전체 시스템의 on-chip 화 되는 경향에 맞는 초소면적의 DAC 가 필수적으로 요구되고 있다. 일반적으로 고성능 DAC 구현을 위하여 사용되는 current-steering DAC (CS-DAC)는 각종 layout 기법 및 self-calibration 기법이 사용되면서 성능 향상의 결과를 얻었다^[1~2]. 그러나 CS-DAC의 성능 개선을 위하여 사용된 많은 digital circuit과 mismatching이 고려된 전류원 등의 사용으로 지나치게 큰 면적이 중요한 문제점으로 대두되었다. 또한, 공정 기술이 발전하면서 transistor의 impedance는 감소하게 되었고 이로 인하여 output impedance에 의해 민감하게 나타나는 INL, DNL 및 SFDR 특성이 저하되는 문제점이 발생했다^[3]. 이것은 DAC 설계 과정에서 최신 공정 기술을 적용하지 못하는 최대의 약점이 되었으며, 이에 따라서 DAC 면적을 감소시키기 어려운 주요한 원인이 되었다.

본 연구에서는 고해상도 디스플레이 시스템에서 필요한 소면적 및 고속 DAC를 설계하였다. DAC의 구조는 전체적인 유효 면적과 전력 소비를 고려하여 6+6 분할구조로 하였고 thermometer code 기법을 이용한 전류원 매트릭스 (current cell matrix)로 상위와 하위 모두를 구성하였다. 또한 고해상도 구현에 필요한 output impedance를 증가시키기 위하여 monitoring bias 구조를 사용하였으며, 이 과정에서 발생하는 현상들을 다양한 레이아웃 기법을 제안하여 최대의 성능을 낼 수 있도록 하였다. 또한 기존의 디지털 블록의 면적을 줄이

고 고속에서 동작이 가능한 self-clocked switching logic을 제안하여 전체 면적의 감소 및 고속 동작을 실현하였다.

본 논문의 내용은 다음과 같다. II장에서는 제안하는 DAC의 구조와 세부 회로에 관한 설명을 나타내었으며, III장에서는 DAC 전체 모의실험 결과를, 그리고 IV장에서는 DAC의 layout과 칩 구현 및 측정결과를 기술하였다. 마지막으로 V장에서 제안하는 DAC에 대한 전체적인 내용을 요약하였다.

II. 12-bit 300MSPS DAC의 설계

1. 6+6 Matrix Type DAC의 전체구조

설계된 12-bit DAC는 고해상도 동작을 위하여 MSB, LSB를 모두 matrix 구조로 설계하였다. Matrix 구조의 DAC는 정확한 단조 증가성과, INL/DNL error 감소의 장점이 있으며, 정확한 analog 출력을 나타냄으로써 고해상도 DAC의 구현에 가장 적합하고 널리 쓰이는 구조이다. 기존에 DAC는 2단 cascode 형태의 전류원으로 output impedance 증가 시켰으나, 12-bit 이상의 고해상도와 고속 동작을 요구하는 시스템에서는 impedance 부족 문제가 발생된다. 따라서 본 연구에서는 output impedance 증가를 위한 monitoring bias 구조를 제안하였으며, 이 과정에서 발생하는 구조상의 문제점을 layout을 통하여 해결함으로써 소면적 고해상도 구현을 실현하였다. 또한 Logic + Latch + deglitching circuit으로 구성되는 기존의 복잡하고 큰 면적을 차지하는 디

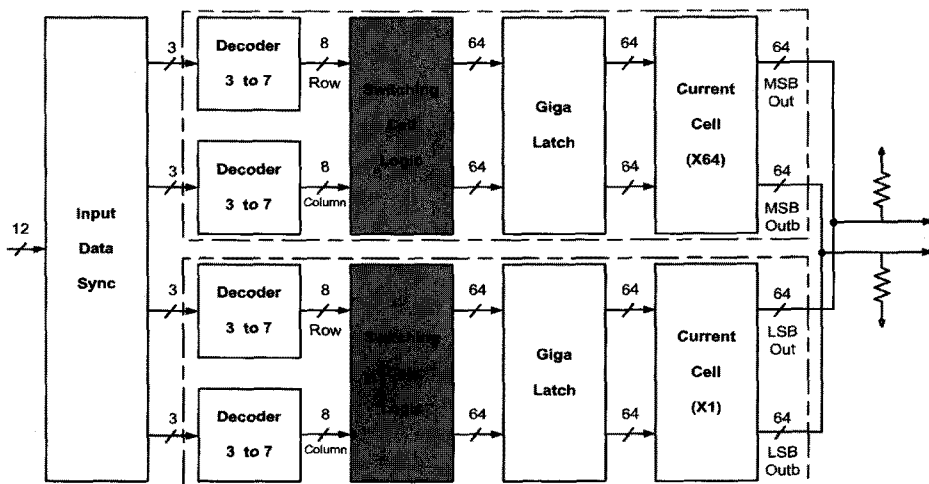


그림 1. 12-bit DAC의 전체 구조
Fig. 1. Full block diagram of the 12-bit DAC.

지털 회로를 단일화하여 소면적 및 고속 동작이 가능한 self-clocked switching logic을 제안하여 저 전력, 소면적 및 고속 동작이 가능한 디지털 스위치 회로를 구현하였다. 설계된 DAC의 전체 구조를 그림 1에 나타내었다. 전체 동작원리를 살펴보면 12-bit의 입력 신호는 input data sync. block을 통하여 지연시간이 보정되어 상, 하위 6-bits으로 나누어져 row & column 디코더를 거쳐 thermometer code 형태로 변환된다. 변환된 입력 신호는 제안하는 self-clocked switching logic을 통하여 전류원의 스위치를 제어함으로써 출력 전류를 제어한다. 마지막으로 출력 전류는 종단 저항을 통하여 입력 신호에 해당하는 아날로그 전압을 생성하게 된다.

2. DAC의 설계 사양

DAC는 출력 신호의 전압 범위를 결정한 후 해상도에 맞는 단위 전류 값을 결정하게 된다. 본 연구에서는 아날로그 출력 전압이 dual output 형태로 2-volt의 출력 범위를 갖도록 설계되었으며, 이때의 단일 출력 범위는 1-volt로 설계 되었다. DAC의 해상도는 12-bit이므로 1-LSB 전압 값은 243 μ V가 된다. 디스플레이를 위한 DAC에서 주로 사용되는 37.5 Ω (Dual 75 Ω)의 종단 저항에 맞는 전류 값은 6.481 μ A로 설계되었다. 설계된 DAC는 6+6 구조로 상, 하위 비트를 분리 하였으므로, 상위 비트의 값은 1-LSB의 64 배수인 15.6mV/ 414.78 μ A로 설계 되었다.

3. DAC의 전류원

전류원은 DAC의 성능을 결정하는 가장 중요한 회로이다. 전류원은 1-LSB 전류원에 맞는 정확한 출력을 나타내어야 하며 고속 동작이 가능해야 한다. 또한 해상도의 증가에 따라 요구되는 output impedance를 만족해야 한다. 표 1에 해상도에 따른 output impedance의 변화 값을 나타내었다^[4].

표 1에 나타난 바와 같이 12-bit 이상의 DAC는 328M Ω 의 output impedance 가 요구되며, 이는 기존의 impedance 증가를 위해 사용되던 2단의 cascode 구조

표 1. 해상도와 output impedance의 관계
Table 1. Relationship of resolution and output impedance.

해상도 임피던스	8bit	10bit	12bit	14bit	16bit
Rout[Ω]	1.3M	20.4M	328M	5.2G	83.2G

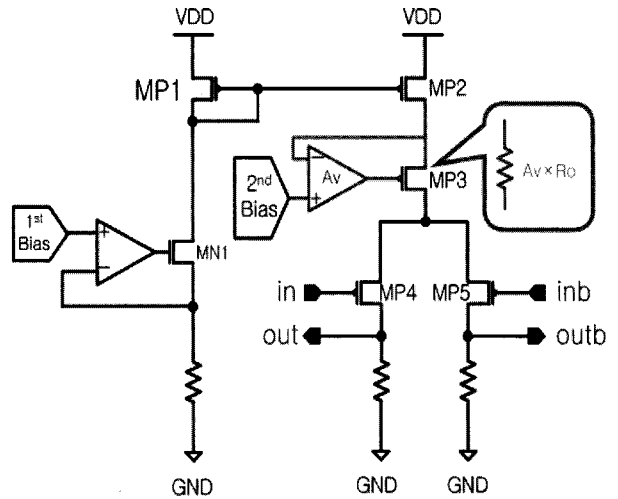


그림 2. 제안하는 monitoring bias 구조의 전류원
Fig. 2. The proposed current cell with monitoring bias.

기법의 기생 저항 성분만으로는 원하는 output impedance를 구현하기 어렵다. 또한 output impedance 증가를 위한 3단 이상의 cascode 전류원 구조는 전원 전압이 낮아지는 최근 공정에서는 saturation margin의 감소로 구현이 어려우며, 트랜지스터의 width 증가를 통한 기생 저항의 증가는 전체 DAC의 면적을 증가 시키게 된다. 위와 같은 문제를 해결하기 위해서 본 연구에서는 그림 2와 같은 monitoring bias 구조의 아날로그 전류 셀을 제안하여 output impedance를 극대화 하였다.

제안하는 전류 셀의 전류원 기본 구조는 2단 cascode 구조 (MP2, MP3)로 되어있다. 우선 전체 전류량은 1st. bias에 의해 MP2 트랜지스터를 제어함으로써 결정된다. 또한, MP3 트랜지스터의 bias 연결은 기존의 MP2 트랜지스터와 동일한 단순하고 직접적인 전류 미러 형태의 바이어스 구조와는 달리, MP3에 직접 feedback loop를 적용하여 MP3의 기생저항성분에 2nd. bias 증폭기의 전압이득을 곱한 값만큼의 기생 저항 성분이 되도록 하였다. 본 연구에서는 약 65dB (약 1700배)의 전압 이득을 갖는 증폭기를 사용하였다. 그림 3에 출력 전압의 변화에 따른 output impedance의 변화를 기존의 구조와 비교하여 나타내었다. 본 결과는 출력 전압의 변화에 따른 단위 전류의 변화량을 나타낸 것이다. 즉 출력 전압의 변화에 따른 impedance의 변화를 전류 값의 변화를 통하여 유추하는 방법이다. 모의실험 결과 기존의 구조 (28 μ A)에 비하여 제안하는 구조의 변화량은 19nA로

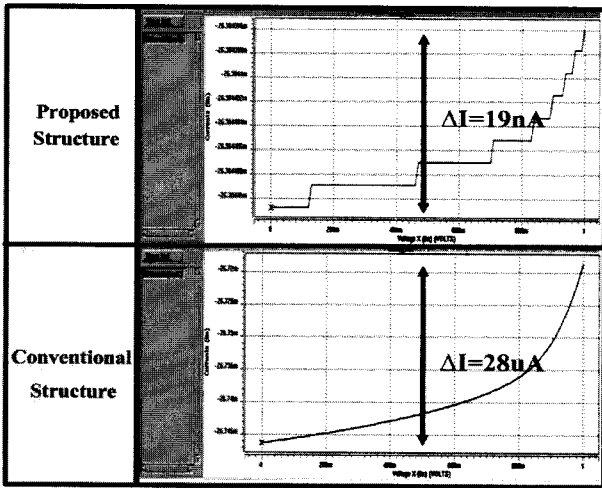


그림 3. Output impedance 변화 비교
Fig. 3. Comparison of output impedance.

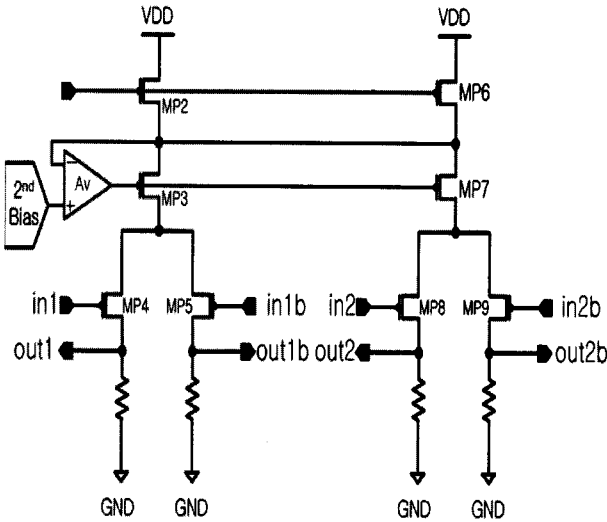


그림 4. 2-LSB로 구성된 monitoring bias 구조
Fig. 4. Structure of monitoring bias using 2-LSB Cells.

약 1500배 정도의 output impedance 증가 효과가 있음을 알 수 있다.

그림 4에 2개의 LSB로 구성된 예를 나타내었다. monitoring bias 구조를 사용하게 되면 MP2 (MP6)와 MP3 (MP7) 사이에 feedback 증폭기의 negative 입력이 연결되게 된다. 이 노드는 각 단위 셀들의 모든 노드와 증폭기를 통하여 연결되게 됨으로써 전체 전류가 한 노드에 모이게 된다. 즉 MP2를 통하여 생성된 전류는 다른 단위 셀에서 생성된 전류와 한 점에서 모인 후, MP3로 재분배되는 형태의 구조로 이루어져 있다. 그러므로 제안하는 monitoring bias 구조는 고해상도를 위한 output impedance를 극대화 할 수 있으며 전류의 재분배를 통한 선형성 증대 효과도 부가적으로

얻을 수 있는 장점이 있다.

4. 제안하는 Self-Clocked Switching Logic

고속 동작을 위해서 기존에는 thermometer decoder을 기반으로 하여 switching cell logic, deglitching circuit, 그리고 latch의 형태로 디지털 블록이 복잡하게 구성되었다. 이 구성은 CS-DAC의 성능 개선을 위하여 추가된 회로로써 글리치의 감소를 통하여 동적 특성에서의 잡음을 감소하는 효과를 나타낸다. 그러나 추가적인 복잡한 회로 증가로 DAC 면적을 증가시키는 가장 주요한 원인이 된다^[5-6]. 본 연구에서는 그림 5에 나타낸 self-clocked switching logic을 사용하여 전력소모 및 면적을 최소화 시켰다. 이 구조는 기존의 glitch 감소를 위하여 부수적으로 삽입되는 deglitching circuit을 사용하지 않고 differential cascode voltage switch Logic (DCVSL)을 사용하여 설계상에서 간단히 전류 셀의 종류에 따라 high crossing & low crossing으로 조절 할 수 있다.

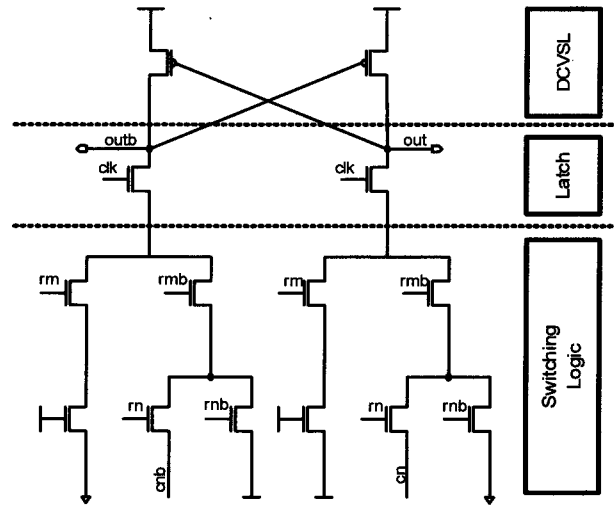


그림 5. 제안하는 self-clocked switching logic
Fig. 5. Proposed self-clocked switching logic.

표 2. 스위칭 디코더의 전력소비 및 면적 비교
Table 2. Comparison of power consumption and area.

Type	Power Consumption	Number of Tr.
Logic + DFF	454uW	25 ↑
Logic + GigaLatch	641uW	20 ↑
Proposed Circuit	293uW	14

또한 DCVSL의 구조와 logic을 조합 할 수 있도록 BDD (Binary Decision Diagram) 기법을 사용하여 logic을 구성하였으며, clock 신호와의 동기화를 위한 NMOS switch을 DCVSL과 logic 사이에 삽입함으로써 latch의 역할을 동시에 수행 할 수 있도록 하였다. 표 2에 나타낸 바와 같이 기존의 다른 디지털 구성에 비하여 소면적, 저 전력 동작이 가능한 것을 확인 할 수 있다.

III. 12-bit DAC의 모의실험 결과

DAC의 동작 여부를 확인하기 위하여 12-bit의 디지털 입력을 000000000000에서 111111111111 까지 순차적으로 인가하여 선형 증가하는 출력을 확인하였다. 그림 6은 선형 출력을 통한 단조 증가성을 확인한 결과이다. 그림 6에서 나타난 바와 같이 출력 전압 범위는 차동신호가 각각 1Vpp로 설계 사양에 맞는 전류 값이 출력 되고 있음을 알 수 있다.

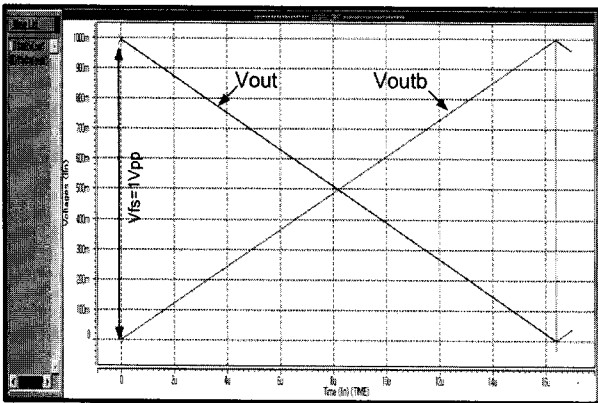


그림 6. Ramp 입력에 대한 DAC 모의실험 결과
Fig. 6. Simulation results with a ramp input.

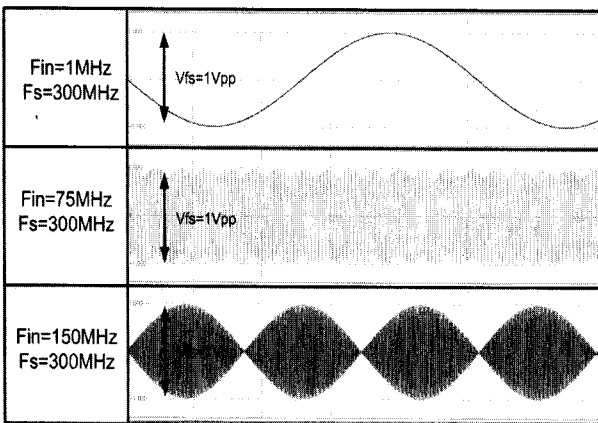


그림 7. 이상적인 ADC에 의한 DAC의 모의실험 결과
Fig. 7. DAC simulation results as sine-wave input.

표 3. DAC 모의실험 결과 정리 (FFT)

Table 3. DAC simulation summary.

Freq.	ENOB [Bit]	SFDR [dB]
1M	12.078	84
10M	10.939	70
25M	10.823	68
75M	10.628	68
150M	10.616	67

그림 7은 이상적인 ADC를 거친 코드를 인가하여 sine-wave 출력을 확인한 결과이다. 모의실험 결과 샘플링 주파수 300MHz 인 경우 저주파에서 SFDR 특성이 최대 84dB로 나타났으며, nyquist 주파수인 150MHz에서는 67dB로 나타났다. 이 결과를 바탕으로 FFT (Fast Fourier Transform) 결과를 표 3에 정리하였다. 모의실험은 측정 결과를 고려하여 10pF의 load capacitor를 가정하고 검증하였다.

IV. DAC의 칩 구현 및 측정 결과

1. DAC의 Layout 및 칩 구현

전체 DAC의 floor plan은 앞장에서 기술한 것과 같이 monitoring bias current cell 구조 사용을 위하여 그림 8. (b)와 같이 좌측 부분에 MSB, LSB 전류 셀을 모두 단일 block으로 배치하였고, 중간 부분에 cascode 트랜지스터 및 switch, 우측 부분에 디지털 블록을 배치하였다. 본 연구에서는 제안하는 회로적인 기술의 극대화와 DAC 성능 개선을 위해 다음과 같은 layout 기법을 제안, 채택하여 실행하였다.

첫째, 제안하는 bias 구조와 자동 전류 재분배 효과를 구현하기 위하여 tree 구조의 layout 기법을 이용하여 기생 저항 성분이 같아지도록 하였다. 그림 9에서 보는 것처럼 layout에서 전류원과 cascode 트랜지스터를 분리하였고 연결되는 기생성분을 같게 하기 위하여 tree 구조로 신호라인을 라우팅 하였다. 또한 MSB, LSB 간의 전류 오차 최소화를 위하여 전체 전류 셀 블록의 1/3, 2/3 지점 (43, 86 line)에 LSB 전류 셀을 배치하였다. 이 결과 자동 평준화의 효과를 이용하여 INL, DNL의 성능을 개선하였고, 더불어 기존에 문제가 되어왔던 각 단위 셀들의 mismatch에 의한 선형성 감소를 해결할 수 있었다. 즉, 최상위에 있는 전류 트

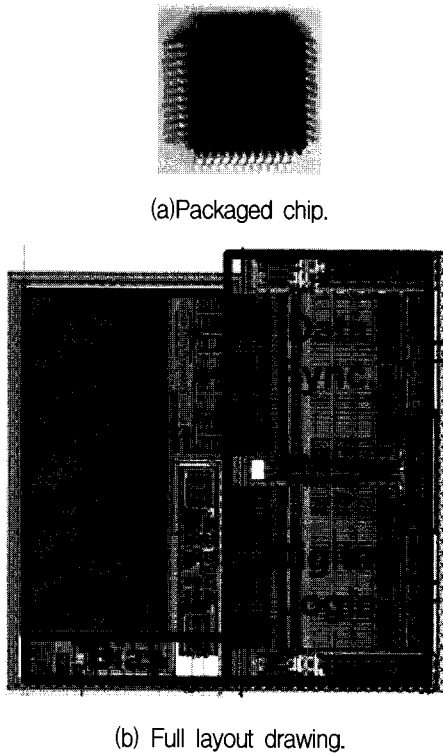


그림 8. 제작된 DAC
Fig. 8. Implementation of DAC.

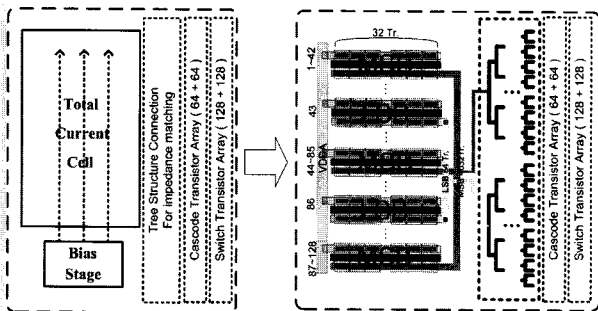


그림 9. 전류 셀의 배치
Fig. 9. Full current cell outline.

랜지스터 간의 random error는 full-scale에만 영향을 주게 되고 각 단위 전류 셀 간의 전류 값은 자동으로 평균화된다.

둘째, 전류 셀 bias 트랜지스터의 source에 연결되는 VDD을 균일화 할 수 있도록 그림 10에 나타난 바와 같이 H-beam 형태의 layout을 구현 하여 VDD 연결 과정에서 발생하는 단위 셀 간의 I-R drop 오차를 최소화 할 수 있도록 하였다^[7].

마지막으로 그림 11과 같은 정적 특성 향상을 위한 laminated layout 기법을 제안하였다. 본 기법은 단위 셀의 2n 개로 구성되는 전류 셀을 그림 11과 같이 사선으로 배치함으로써, 전류 셀의 전류 매칭 특성을 향

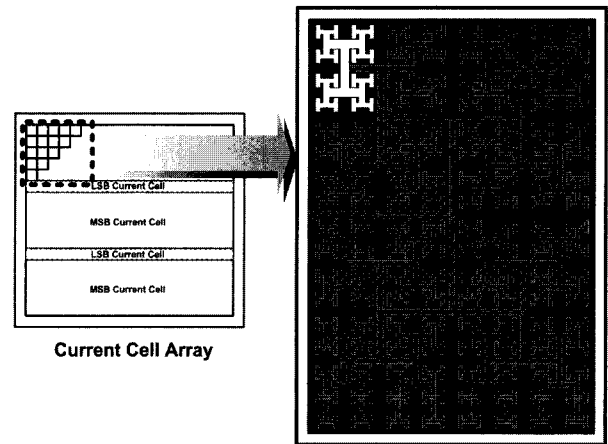


그림 10. H-beam 레이아웃
Fig. 10. H-beam layout.

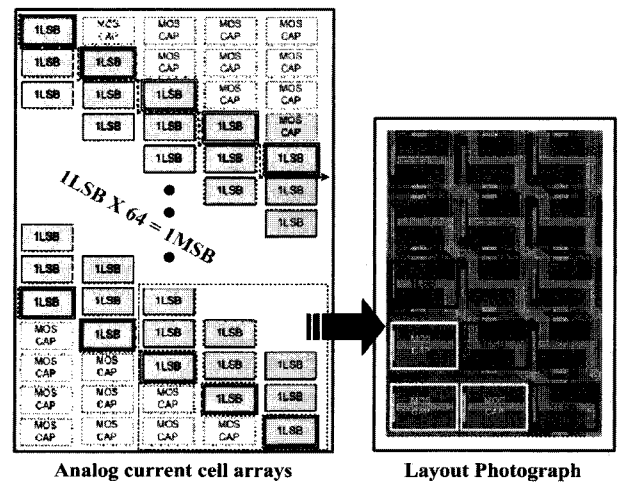


그림 11. 적층형 레이아웃
Fig. 11. Laminated layout.

상 시킬 수 있으며, 이로 인해 DAC의 경사오차를 효과적으로 최소화 할 수 있다.

2. 측정 결과

그림 12에 ramp code를 이용한 INL과 DNL의 측정 결과를 나타내었다. 측정결과 INL은 약 $\pm 3\text{LSB}$, DNL은 $\pm 1\text{LSB}$ 이하로 측정되었다. DAC의 동적 성능을 확인하기 위하여 spectrum analyzer를 사용하여 FFT를 측정하였다. 그림 13에 FFT 결과를 나타내었다. SFDR의 측정 결과 300MSPS에서 15MHz의 출력 신호 측정 시 약 70dB 정도의 결과를 보이며, 300MSPS에서 150MHz 출력 신호의 경우에는 약 40dB로 측정 되었다. 측정된 SFDR 결과를 그림 14에 요약하여 도식화 하였다.

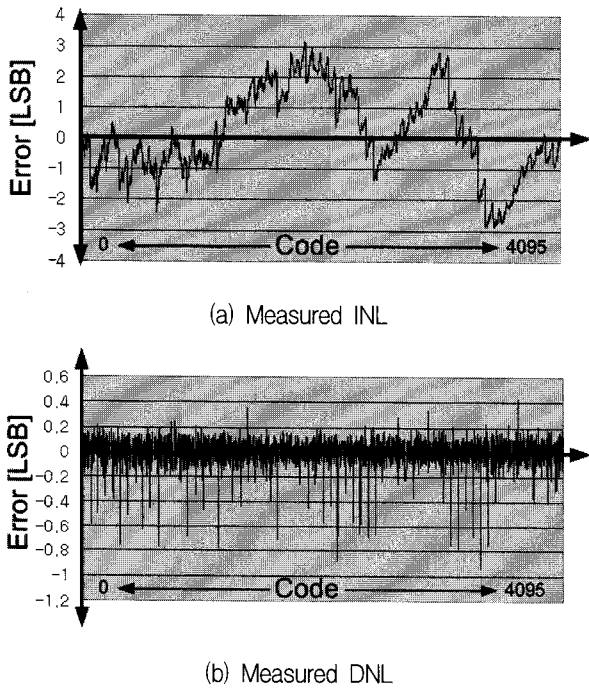


그림 12. INL과 DNL 측정 결과
Fig. 12. Measured INL and DNL.

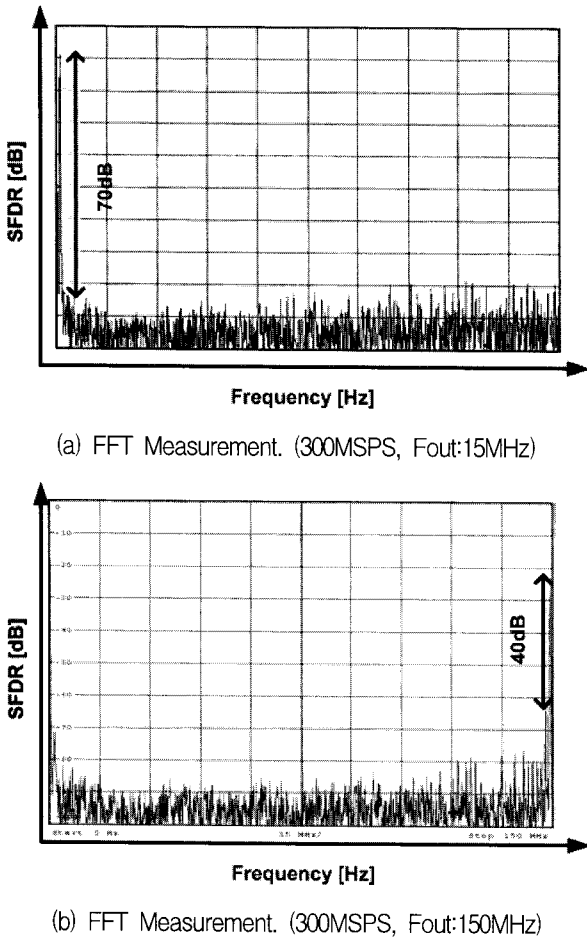


그림 13. FFT 측정결과
Fig. 13. FFT Measurement results.

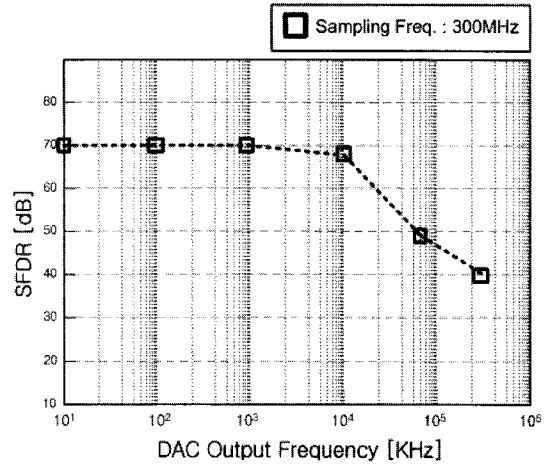


그림 14. DAC의 SFDR 측정결과
Fig. 14. SFDR measurement results.

V. 결 론

본 연구에서는 Samsung 0.13 μm thick-gate 공정을 사용하여 고성능 디스플레이 시스템에 사용되는 DAC을 설계하였다. 설계된 DAC는 12-bit의 해상도와 300MSPS의 고속 변환 속도를 갖는다. 또한 기존에 개발된 DAC에 비하여 소면적인 0.26mm²의 면적 특성을 지닌다.

전체적인 구조는 고속 동작 및 고해상도를 만족시키기 위하여 full-matrix 구조로 설계하였으며 소면적 구현을 위하여 디지털 블록의 수를 최소화 할 수 있는 MSB 6-bit + LSB 6-bit 구조로 설계하였다. 또한, 고해상도 DAC 구현을 위하여 필수적으로 요구되는 output impedance를 만족시키기 위하여 monitoring bias 구조를 제안하였다. 마지막으로 제안하는 self clocked switching logic을 사용하여 소면적, 고효율의 디지털 블록을 설계 하였다.

제작된 칩의 면적은 0.26mm²으로 기존 DAC와 비교하여 약 40% 정도 감소된 소면적으로 구현되었다. 측정 PCB 보드를 이용하여 동적, 정적 특성에 대하여 측정하였으며, 측정 결과 INL, DNL은 각각 $\pm 3\text{LSB}$, $\pm 1\text{LSB}$ 의 특성을 보이며, SFDR은 300MHz의 동작 속도에서 최대 70dB의 특성을 지닌다. 이때의 최대 전력 소비는 약 100mW로 측정 되었다. 표 4에 설계된 DAC의 전체적인 사양 및 구현된 칩의 측정 결과를 요약하였으며, 동일한 해상도를 갖는 기 발표된 DAC의 성능을 표 5에 비교하여 나타내었다.

표 4. 설계된 DAC의 사양 및 측정 결과

Table 4. Performance summary of the designed DAC.

Power Supply	3.3V (Analog & Digital)
Process	Samsung 0.13 μ m Thick Gate 1-poly 6-metal N-well CMOS
Resolution	12-bit
Conversion time	300MSPS
1 LSB (V / I)	243 μ V / 6.481 μ A
Output Range	Diff. 2Vpp
Termination Res.	37.5 Ω
INL / DNL (Measured Data)	± 3 LSB / ± 1 LSB
SFDR (fs=300M) (Measured Data)	70dB (@fin = 15M) 40dB (@fin = 150M)
Power	100mW
Area	0.26mm ² (510 μ m \times 510 μ m)

표 5. 최근 12-bit DAC의 연구동향

Table 5. Recent research of 12-bit DACs.

참고문헌	Process	Sampling freq.	SFDR	Area
본 논문	0.13 μ m CMOS	300MHz	70dB @fin:15MHz	0.26mm ²
[8]	0.35 μ m CMOS	100MHz	80dB @fin:1Hz	6.9mm ²
[9]	0.25 μ m CMOS	50MHz	81dB @fin:5MHz	1.145mm ²
[10]	0.18 μ m CMOS	320MHz	50dB @fin:20MHz	0.44mm ²
[11]	0.25 μ m BiCMOS	500MHz	70dB @1MHz	7.14mm ²
[12]	90nm CMOS	160MHz	74dB @975kHz	0.13mm ²

참고 문헌

- [1] G. Van der Plas, et al., "A 14-bit Intrinsic Accuracy Q2 Random Walk CMOS DAC," IEEE J. Solid-State Circuits, vol. 32, pp. 1708-1718, Dec. 1999.
- [2] Yonghua Cong, et al., "A 1.5V 14b 100MS/s Self Calibrated DAC," ISSCC Dig. Tech. Papers, pp 128-129, Feb., 2003.
- [3] A. Van den Bosch, et al., "SFDR Bandwidth Limitations for High Speed High Resolution Current Steering CMOS D/A Converters," Proc. ICECS, pp. 1193-1196, 1999.
- [4] Luschas S., et al., "Output impedance requirements for DACs," Proceedings of the 2003 ISCAS, Volume:1, pp. I-512-515, May, 2003.
- [5] J. Hyde et al., "A 300-MS/s 14-bit Digital-to-Analog Converter in Logic CMOS," IEEE Journal of Solid-State Circuits, vol. 38, no. 5, pp. 734-740, May, 2003.
- [6] Q. Huang et al., "A 200MS/s 14b 97mW DAC in 0.18 μ m CMOS," ISSCC Dig. Tech. Papers, pp. 364-365, Feb., 2004.
- [7] Ueno, T. et al., "A 1.2-V, 12-bit, 200M sample/s current-steering D/A converter in 90-nm CMOS," CICC, pp. 747-750, Sept., 2005.
- [8] Chun-Yueh Huang et al., "Design of 12-bit 100-MHz current-steering DAC for SOC applications," System-on-Chip for Real-Time Applications, 2005. Proceedings. Fifth International Workshop, pp. 117-122, July, 2005.
- [9] Georgi I. Radulov et al., "An on-chip self-calibration method for current mismatch in D/A Converters," ESSCIRC., pp. 169-172, Sept. 2005.
- [10] O'Sullivan, K. et al., "A 12-bit 320-MSample/s current-steering CMOS D/A converter in 0.44 mm²," IEEE Journal of Solid-State Circuits, Volume 39, Issue 7, pp. 1064-1072, July, 2004.
- [11] Van Den Bosch et al., "A 12 b 500 MSample/s current-steering CMOS D/A converter," ISSCC, pp. 366-367. Feb. 2001.
- [12] Dongwon Seo et al., "A Low-Spurious Low-Power 12-bit 160-MS/s DAC in 90-nm CMOS for Baseband Wireless Transmitter," IEEE Journal of Solid-State Circuits, Vol. 42, No. 3, pp. 486-495, Mar., 2007.

저 자 소 개



신 승 철(정회원)
 2005년 동국대학교 반도체과학과
 학사 졸업.
 2007년 동국대학교 반도체과학과
 석사 졸업.
 2007년~현재 삼성전자
 반도체총괄.

<주관심분야 : CMOS 아날로그 회로, Power
 management circuits, 고성능 데이터변환기>



문 준 호(학생회원)
 2005년 동국대학교 반도체과학과
 학사 졸업.
 2007년 동국대학교 반도체과학과
 석사 졸업.
 2007년~현재
 동국대학교 반도체과학과
 박사과정 재학.

<주관심분야 : CMOS 아날로그 회로 설계, 고성
 능 데이터 변환기, 저 전력 혼성모드 회로 설계>



송 민 규(정회원)
 1986년 서울대학교 전자공학과
 학사 졸업.
 1988년 서울대학교 전자공학과
 석사졸업.
 1993년 서울대학교 전자공학과
 박사 졸업.

1993년~1995년 동경대학교 초빙연구원.
 1995년~1997년 삼성전자 ASIC 설계팀 연구원.
 1997년~현재 동국대학교 반도체과학과 교수.
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전
 력 혼성모드 회로 설계, 데이터 변환기 설계>