

논문 2009-46SD-4-4

고온에서 Schottky Barrier SOI nMOS 및 pMOS의 전류-전압 특성

(Current-Voltage Characteristics of Schottky Barrier SOI nMOS and
pMOS at Elevated Temperature)

가 대 현*, 조 원 주***, 유 중 근**, 박 종 태**

(Dae Hyun Ka, Won Ju Cho, Chong Gun Yu, and Jong Tae Park)

요 약

본 연구에서는 고온에서 Schottky barrier SOI nMOS 및 pMOS의 전류-전압 특성을 분석하기 위해서 Er 실리사이드를 갖는 SB-SOI nMOSFET와 Pt 실리사이드를 갖는 SB-SOI pMOSFET를 제작하였다. 게이트 전압에 따른 SB-SOI nMOS 및 pMOS의 주된 전류 전도 메커니즘을 온도에 따른 드레인 전류 측정 결과를 이용하여 설명하였다. 낮은 게이트 전압에서는 온도에 따라 열전자 방출 및 터널링 전류가 증가하므로 드레인 전류가 증가하고 높은 게이트 전압에서는 드리프트 전류가 감소하여 드레인 전류가 감소하였다. 고온에서 ON 전류가 증가하지만 드레인으로부터 채널영역으로의 터널링 전류 증가로 OFF 전류가 더 많이 증가하게 되므로 ON/OFF 전류비는 감소함을 알 수 있었다. 그리고 SOI 소자나 bulk MOSFET 소자에 비해 SB-SOI nMOS 및 pMOS의 온도에 따른 문턱전압 변화는 작았고 subthreshold swing은 증가하였다.

Abstract

In this work, Er-silicided SB-SOI nMOSFET and Pt-silicided SB-SOI pMOSFET have been fabricated to investigate the current-voltage characteristics of Schottky barrier SOI nMOS and pMOS at elevated temperature. The dominant current transport mechanism of SB nMOS and pMOS is discussed using the measurement results of the temperature dependence of drain current with gate voltages. It is observed that the drain current increases with the increase of operating temperature at low gate voltage due to the increase of thermal emission and tunneling current. But the drain current is decreased at high gate voltage due to the decrease of the drift current. It is observed that the ON/OFF current ratio is decreased due to the increased tunneling current from the drain to channel region although the ON current is increased at elevated temperature. The threshold voltage variation with temperature is smaller and the subthreshold swing is larger in SB-SOI nMOS and pMOS than in SOI devices or in bulk MOSFETs.

Keywords : Schottky barrier MOSFET, SOI MOSFET, Temperature effects on SB MOSFET

I. 서 론

CMOS 소자의 크기가 나노 스케일 미터로 축소되면

* 학생회원, ** 정회원, 인천대학교 전자공학과
(Department of Electronics Engineering, University of Incheon)

*** 정회원, 광운대학교 전자재료공학과
(Department of Electronic Materials Engineering, Kwangwoon University)

※ 본 연구는 2008년도 인천대학교 교내 연구비로 수행되었음.

접수일자: 2008년11월20일, 수정완료일: 2009년3월3일

단채널 현상이 많이 일어나게 되는데 이를 줄이기 위해 ultra shallow 소스 및 드레인 접합 구조의 bulk MOSFET와 Ultra-Thin-Body (UTB) SOI MOSFET가 제안되었다. 그러나 이 소자들은 소스 및 드레인의 기생저항이 크게 되어 소자의 전달 특성이나 속도 특성이 좋지 않는 문제점이 있다^[1~2]. Bulk MOSFET에서 소스 및 드레인을 메탈 실리사이드로 하는 Schottky barrier (SB) MOSFET가 제안되어 소스 및 드레인의 저항을 줄일 수 있다는 연구가 발표되었으나 bulk MOSFET 소자는 단채널 현상이 많이 일어나므로 SOI

MOSFET의 소스 및 드레인을 Schottky barrier로 하는 연구가 많이 되고 있다. 특히 단채널 현상을 줄이고 소스 및 드레인 저항을 줄일 수 있도록 UTB SOI와 Schottky barrier를 결합하면 더 좋은 소자특성을 얻을 수 있을 것으로 기대하여 현재 Schottky SOI MOSFET (SB-SOI MOSFET)에 관한 많은 연구가 진행되고 있다^[3~5]. N-채널 SB MOSFET 소자는 쇼트키 장벽 높이가 0.27-0.36eV인 ErSi 또는 YbSi를 소스 및 드레인 물질로 하는 연구결과가 발표되고 있으며 p-채널 SB MOSFET는 전위장벽 높이가 0.15-0.27eV인 PtSi를 이용하는 연구가 많이 진행되고 있다^[6~8]. SB MOSFET에서는 소스와 채널 영역 사이의 쇼트키 장벽이 낮을수록 ON 전류 특성이 좋으며 OFF 전류가 작게 되므로 지금까지의 연구 결과를 분석하면 n-채널 소자보다 Schottky barrier가 작은 p-채널 소자 특성이 우수함을 알 수 있다. 특히 쇼트키 장벽의 높이가 클수록 소자의 OFF 전류가 크게 되므로 이를 줄이기 위하여 실리콘사이드 소스 및 드레인과 채널 영역 사이에 불순물이 많이 도핑된 층을 넣거나 절연층을 넣는 연구가 발표되기도 하였다^[9~10].

지금까지 SB MOSFET의 소자 성능을 개선하기 위한 소자 공정에 관한 연구는 많이 되고 있으나 고온에서 SB MOSFET의 소자 특성을 분석하고 이를 개선하기 위한 연구는 진행된 것이 거의 없다. 본 연구에서는 ErSi 구조의 n-채널 SOI MOSFET와 PtSi 구조의 p-채널 SOI MOSFET를 제작하고 온도에 따른 ON 및 OFF 전류 특성, 문턱전압 특성 및 subthreshold 특성을 측정 분석하였다.

II. SB SOI nMOS 및 pMOS 소자 제작

그림 1-a는 본 연구에서 제작한 N-채널 SB MOSFET 소자 구조이다. N-채널 SB 소자는 실리콘 박막과 Box의 두께가 각각 100nm와 200nm이고 보론이 $1.0 \times 10^{15} \text{cm}^{-3}$ 로 도핑된 (100) SOI 웨이퍼를 사용하였다. 게이트 산화층 두께는 열산화 공정으로 9nm의 두께로 성장하였다. 소스와 드레인을 위한 Er 증착은 스퍼터링으로 하였으며 실리콘사이드를 형성하기 위하여 RTA 열처리를 하였다. 게이트는 phosphorus가 도핑된 N-형 다결정 실리콘이며 길이는 2~20um, 폭은 20um이다. 소자 제작의 자세한 공정은 참고문헌 [6]과 유사하다.

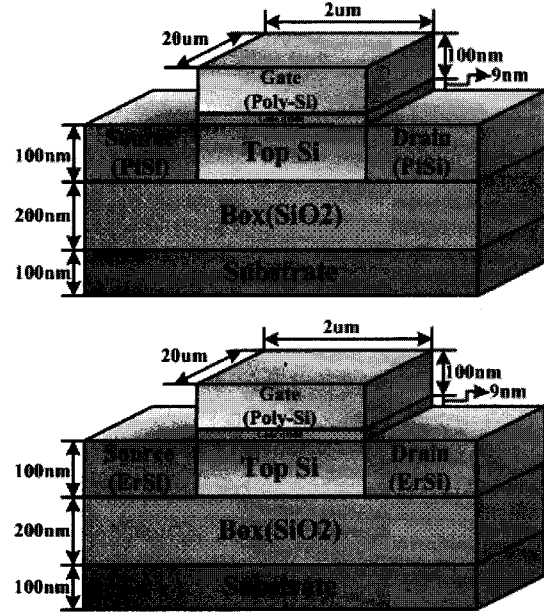


그림 1. SB-SOI nMOSFET(a) and SB-SOI pMOSFET(b)의 소자 구조

Fig. 1. Schematic view of SB-SOI nMOSFET(a) and SB-SOI pMOSFET (b).

그림 1-b는 본 연구에 사용된 P-채널 SB 소자 구조이다. P-채널 SB 소자는 실리콘 박막과 Box의 두께가 각각 100nm와 200nm이고 phosphorus가 $1.0 \times 10^{15} \text{cm}^{-3}$ 로 도핑된 (100) SOI 웨이퍼를 사용하였다. 게이트 산화층 두께는 열산화 공정으로 9nm의 두께로 성장하였다. 소스와 드레인을 위한 Pt 증착은 스퍼터링으로 하였으며 실리콘사이드를 형성하기 위하여 RTA 열처리를 하였다. 게이트는 phosphorus가 도핑된 N-형 다결정 실리콘이며 길이는 2~20um, 폭은 20um이다.

III. 측정 결과 및 고찰

1. ON전류 및 OFF 전류 특성

SB nMOSFET의 전류 전도 메커니즘은 bulk nMOSFET와는 달리 소스 및 드레인과 채널 사이의 쇼트키 장벽의 크기에 큰 영향을 받게 된다. 낮은 게이트 전압에서는 쇼트키 장벽을 넘는 전자들에 의한 열전자 방출 전류(ITH)가 주된 전류가 되며 높은 게이트 전압에서는 쇼트키 장벽의 폭이 얇게 되므로 이 전위 장벽을 통과하는 전자에 의한 터널링 전류(INE)가 주된 전류 성분이 된다. 그리고 쇼트키 전위 장벽을 넘거나 터널링 한 전자는 드레인 전계에 의하여 채널영역을 드리프트 하여 드레인으로 흐르게 된다. 그리고 소자의 누

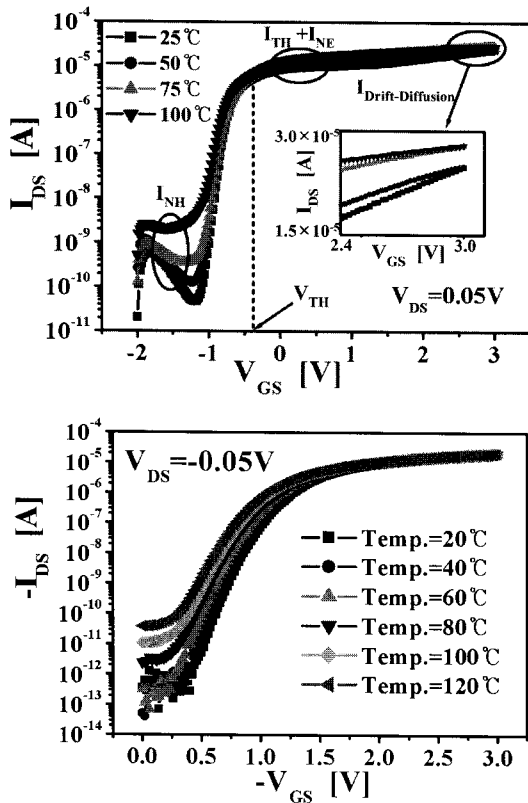


그림 2. 고온도에서 SB-SOI nMOSFET (a)와 SB-SOI pMOSFET (b)의 $I_{DS}-V_{GS}$ 특성곡선
 Fig. 2. $I_{DS}-V_{GS}$ characteristics of SB-SOI nMOSFET and SB-SOI pMOSFET at elevated temperature.

설전류는 드레인에서 채널영역으로 터널링하는 홀에 의한 홀 터널링 전류(I_{NH})가 주된 성분이 된다^[11].

그림 2는 온도에 따른 SB-SOI nMOSFET와 SB-SOI pMOSFET의 $I_{DS}-V_{GS}$ 특성곡선이다. 낮은 게이트 전압에서는 온도가 증가할수록 드레인 전류가 증가하는 것을 볼 수 있다. 그러나 게이트 전압이 약 2.5V 이상에서는 드레인 전류가 오히려 감소하는 것을 볼 수 있다.

그림의 결과로부터 드레인 전류의 메커니즘을 2.5V의 게이트 전압을 기준으로 두 가지 영역으로 나누어 볼 수 있다. 낮은 게이트 전압 즉 2.5V 이하에서는 드레인 전류가 I_{TH} 와 I_{NE} 에 의한 것임을 확인할 수 있다. 이것은 온도 증가에 따라 쇼트키 전위장벽을 넘는 열전자의 에너지가 증가하므로 I_{TH} 가 증가하게 되고 또 고온에서는 터널링 계수가 증가 하므로 I_{NE} 가 증가하게 되어 전체 드레인 전류가 증가하는 것으로 해석할 수 있다. 특히 낮은 게이트 전압에서는 소스의 접합 장벽이 두꺼워 대부분의 드레인 전류는 I_{NE} 보다 I_{TH} 가 되고 열전자 방출의 온도계수가 터널링 온도 계수보다 크기

때문에 I_{TH} 의 증가 또한 크다^[12]. 그리고 홀 터널링에 의한 누설전류 I_{NH} 도 고온에서 크게 증가하는 것을 볼 수 있다. 이 역시 온도가 증가함에 따라 터널링 전류가 증가하기 때문이다. 그러나 높은 게이트 전압 즉 2.5V 이상에서는 온도가 증가 할수록 오히려 드레인 전류가 감소하는데 이는 높은 게이트 전압에서는 채널영역에서 캐리어의 이동이 드리프트에 의한 것이기 때문이다. 온도가 증가 할수록 이동도가 감소하기 때문에 드리프트 전류는 감소하게 된다. 이 결과로부터 SB nMOS 및 pMOS의 전류전도 메커니즘이 낮은 게이트 전압에서는 I_{TH} 와 I_{NE} 가 주된 것이고 높은 게이트 전압에서는 드리프트에 의한 전류 성분이 증가함을 알 수 있다.

Bulk MOSFET에서는 온도 증가에 따라 문턱전압 이하에서의 확산 전류는 증가하게 되고 문턱전압 이상에서의 드리프트 전류는 감소하게 됨으로써 드레인 전류의 역전 현상이 일어나는 Zero-Temperature-Coefficient(ZTC)가 나타난다. 그러나 SB nMOS 및 pMOS의 온도에 변화에 따른 $I_{DS}-V_{GS}$ 특성곡선에서는

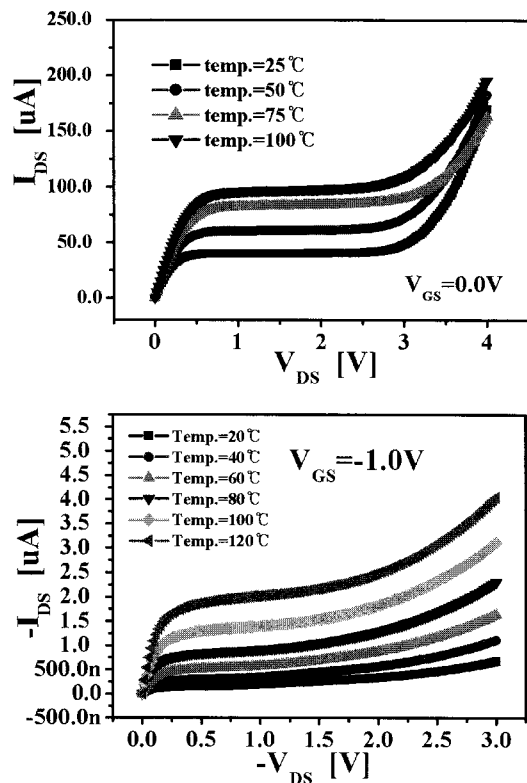


그림 3. 온도에 따른 SB-SOI nMOSFET (a) and SB-SOI pMOSFET (b)의 $I_{DS}-V_{DS}$ 특성
 Fig. 3. $I_{DS}-V_{DS}$ characteristics at operating temperature, SB-SOI nMOSFET (a) and SB-SOI pMOSFET (b).

ZTC 지점이 높은 게이트 전압인 약 2.5V에서 일어남을 확인할 수 있다. 이것은 앞에서 서술한 것과 같이 낮은 게이트 전압에서는 온도가 증가 할수록 I_{TH} 와 I_{NE} 모두가 증가하고 2.5V 이상의 높은 게이트 전압에서는 이동도 저하에 의해서 드리프트 전류가 감소하기 때문이다. 그림 3은 온도에 따른 SB-SOI nMOSFET와 SB-SOI pMOSFET의 $I_{DS}-V_{DS}$ 특성곡선이다. 그림으로부터 낮은 드레인 전압에서는 온도가 증가할수록 드레인 전류가 증가 하는 것을 확연히 볼 수 있다. 그러나 높은 드레인 전압에서는 SB-SOI pMOSFET의 드레인 전류는 계속 증가하지만 SB-SOI nMOSFET의 드레인 전류는 오히려 감소하는 경향을 보이고 있다. 이는 Er과 Pt의 쇼트키 장벽 특성이 다른 것과 관련된 것으로 사료되고 마스크 도면상의 게이트 길이가 2.0 μ m로 비교적 큰 소자이지만 SB nMOS 보다 SB pMOS에서 단채널 현상이 나타나는 원인에 관하여는 더 많은 연구가 필요하다.

그림 4는 SB-SOI nMOSFET와 SB-SOI pMOSFET의 온도 변화에 따른 I_{ON} 과 I_{MIN} , 그리고 I_{ON}/I_{MIN} 비율을 나타낸 것이다. SB nMOS의 경우 I_{ON} 는 게이트 전압이 2.0V에서 측정된 드레인 전류이며 I_{MIN} 은 $I_{DS}-V_{GS}$ 특성

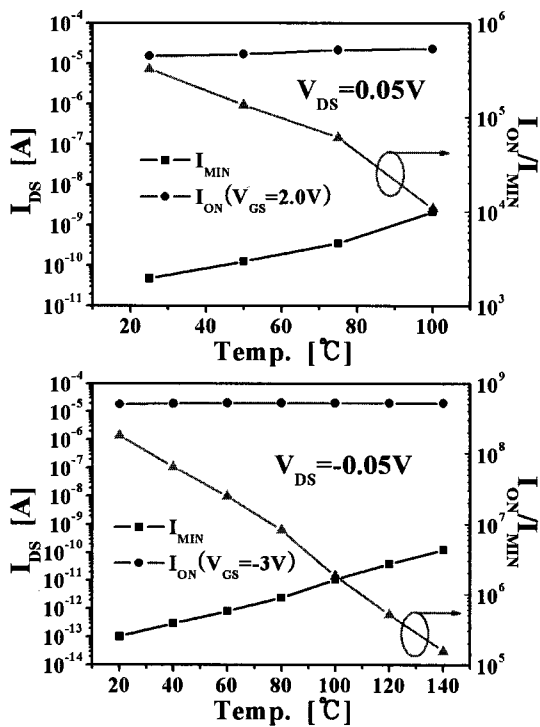


그림 4. 온도에 따른 I_{ON} , I_{MIN} 및 I_{ON}/I_{MIN} 비율, SB-SOI nMOSFET(a), SB-SOI pMOSFET (b)
 Fig. 4. I_{ON} , I_{MIN} and I_{ON}/I_{MIN} ratio versus operating temperature. SB-SOI nMOSFET(a), SB-SOI pMOSFET (b).

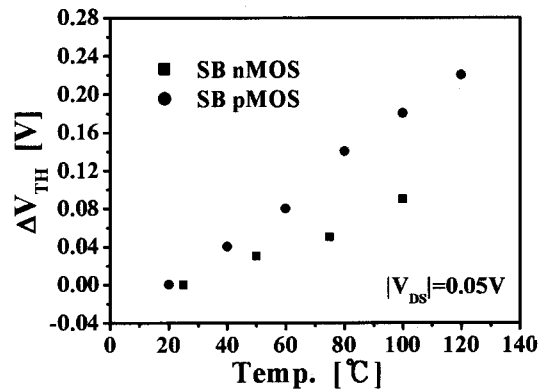


그림 5. 온도에 따른 문턱전압 변화
 Fig. 5. Threshold voltage shift versus operating temperature.

곡선에서 드레인 전류가 최소가 되는 드레인 전류로 정의 하였다. 상온에서 SB-SOI nMOSFET의 I_{ON}/I_{MIN} 비율이 약 10^5 이고 SB-SOI pMOSFET의 I_{ON}/I_{MIN} 비율이 약 10^8 으로 타 연구에 비하여 큰 것을 알 수 있다^[11]. 그러나 온도가 증가하면 I_{ON}/I_{MIN} 비율이 많이 감소하는 것을 볼 수 있다. 이는 앞에서 서술한 것과 같이 온도가 증가하면 I_{ON} 이 증가하지만 누설전류가 더 많이 증가하기 때문에 I_{ON}/I_{MIN} 비율이 고온에서 감소하는 것을 알 수 있다. SB nMOS 및 pMOS 소자를 실제 집적회로에 응용하기 위해서는 고온에서 누설전류를 줄이기 위하여 소스와 채널영역 사이의 쇼트키 장벽을 낮추거나 드레인과 채널영역 사이의 터널링 전류를 줄일 수 있는 공정 기술 개발이 요구된다.

2. 문턱전압 특성

Bulk CMOS의 문턱전압은 채널이 인버전 되는 게이트 전압으로 정의되므로 MOS구조에서 전하 밸런스와 포텐셜 밸런스 방정식을 이용하면 문턱전압을 수식으로 쉽게 정의할 수 있다. 그러나 SB nMOS 및 pMOS에서는 앞에서 서술한 것과 같이 전류 전도 메커니즘이 bulk CMOS와 다르므로 문턱전압을 간단히 수식으로 나타내기 어렵다. 지금까지 SB nMOS 및 pMOS의 문턱전압은 해석학적으로 계산한 드레인 전류 방정식을 이용하여 일정 전류가 흐르는 게이트 전압으로 정의한 연구가 있다^[13]. 특히 SB nMOS에서 열전자에 의한 전류 I_{TH} 는 쇼트키 전위장벽의 inhomogeneity에 따라 큰 영향을 받으므로 문턱전압이 공정에 따라 크게 변하게 된다^[14]. 그 결과로 문턱전압의 크기가 SOI의 박막 두께에 크게 의존하게 된다.

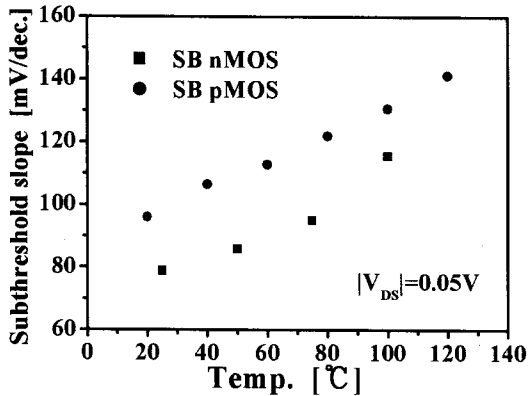


그림 6. 온도에 따른 subthreshold swing
Fig. 6. Subthreshold swing versus operating temperature.

그림 5는 온도에 따른 SB-SOI nMOSFET와 SB-SOI pMOSFET의 문턱전압 변화(ΔV_{TH})를 나타낸 것이다. 문턱전압은 $V_{DS}=0.05V$ 에서 드레인 전류 $I_{DS}=0.1 \times W/L(\mu A)$ 되는 게이트 전압으로 정의하였다. 상온에서 SB-SOI nMOSFET의 문턱전압은 약 $-0.38V$ 이었으며 $100^\circ C$ 에서는 약 $-0.3V$ 이었다. 그리고 상온에서 SB-SOI pMOSFET의 문턱전압은 약 $-1.2V$ 이었고 $100^\circ C$ 에서는 약 $-1.02V$ 이었다. 문턱전압의 감소는 온도가 증가함에 따라 I_{TH} 와 I_{NE} 가 증가하기 때문이다. 그림으로부터 SB-SOI nMOSFET의 문턱전압 변화의 기울기 $d\Delta V_{TH}/dT$ 는 $-1.2mV/K$ 이고 SB-SOI pMOSFET의 $d\Delta V_{TH}/dT$ 는 약 $-2.2mV/K$ 인 것을 알 수 있다. 이것은 실리콘 박막의 두께가 얇은 SOI 소자의 $-0.7 \sim -0.8mV/K$ 보다는 크고 박막의 두께가 비교적 큰 SOI 소자나 bulk MOSFET의 $-2.4mV/K$ 보다는 작음을 알 수 있다^[15]. 온도에 따른 SB-SOI nMOSFET의 문턱전압 변화가 SB-SOI pMOSFET보다 작은 것은 Er 실리사이드에 비해 Pt 실리사이드의 쇼트키 전압장벽이 작으므로 고온에서 열전자방출과 터널링이 더 잘 되기 때문이다.

3. Subthreshold 특성

일반적으로 p-n 접합을 이용한 MOSFET의 subthreshold 전류는 캐리어의 확산에 의하여 흐르게 되므로 온도가 증가할 때 subthreshold swing $S=n(KT/q)\ln(10)$ 는 선형적으로 증가하게 된다. 여기서 n 은 body effect coefficient로 SOI 소자는 약 1.04정도로 bulk MOSFET의 약 1.5보다 작다. SB nMOS 및 pMOS에서는 앞에서 서술한 것과 같이 문턱전압보다

낮은 게이트 전압에서 열전자(홀)방출에 의한 전류가 흐르므로 온도 증가에 따라 S 가 증가하게 된다. 그림 6은 온도에 따른 SB-SOI nMOSFET와 SB-SOI pMOSFET의 S 를 나타낸 것으로 온도에 따라 선형적으로 증가하는 것을 알 수 있다. 이것은 열전자(홀)방출 양이 인가전압과 지수함수로 비례하여 증가하기 때문이다. 그림으로부터 온도에 따른 nMOSFET와 pMOSFET의 S 변화는 비슷한 것을 알 수 있다. 이는 nMOSFET와 pMOSFET의 전류전도 메커니즘이 같은 열전자(홀)방출에 의한 것임을 의미한다. 측정된 SB pMOS의 S 가 크지만 SB nMOS에 비해 I_{MIN} 이 작아 I_{ON}/I_{MIN} 비율이 크게 나타난다. SB nMOS 및 pMOS에서의 온도와 S 의 관계식은 일반 MOSFET의 것과 다르겠지만 비교를 위하여 그림으로부터 n 을 추출하면 약 $n=2.0$ 정도로 비교적 큰 것을 알 수 있다. 이는 SB MOS 소자가 온도에 따라 특성이 많이 변하고 스위칭 특성이 좋지 않음을 의미 하는 것으로 앞으로 공정 개선을 위한 많은 연구가 필요한 부분이다.

IV. 결 론

Er 실리사이드를 갖는 SB-SOI nMOSFET와 Pt 실리사이드를 갖는 SB-SOI pMOSFET를 제작하여 온도에 따른 ON 전류, OFF 전류, 문턱전압 및 subthreshold 전류 특성을 측정 분석하였다. 게이트 전압이 약 $2.5V$ 보다 낮을 때는 온도가 증가 할수록 드레인 전류가 증가 하였는데 이는 열전자방출과 터널링이 증가하였기 때문이다. 그리고 게이트 전압이 약 $2.5V$ 보다 높을 때는 드레인 전류가 감소하였는데 이는 이동도 감소에 의한 드리프트 전류가 감소하였기 때문이다. 온도가 증가할수록 ON 전류가 증가해도 OFF 전류 증가가 더 크므로 ON/OFF 전류비는 감소함을 알 수 있었다. 그리고 온도증가에 따른 문턱전압 감소는 일반 SOI 소자나 bulk MOSFET 소자에 비해 작았고 subthreshold swing 증가는 더 큰 것을 알 수 있었다.

참 고 문 헌

- [1] G. Tsutsui, M. Saitoh, T. Hiramoto, "Impact of SOI thickness fluctuation on threshold voltage variation in ultra-thin body SOI MOSFETs," IEEE Trans. on Nanotech., vol.4, no.3, pp.369-373, 2005.

- [2] A. Xia, H. Ru, Z. Xing, W. Yangyuan, "Scaling of lowered source/drain(LSD) and raised source/drain(RSD) ultra-thin body(UTB) SOI MOSFETs," *Solid-State Electron*, vol.49, pp. 479-483, 2005.
- [3] J. Knoch, M. Zhang, S. Nantl, and J. Appenzeller, "On the performance of single-gated ultrathin-body SOI Schottky-barrier MOSFETs," *IEEE Trans. on Electron Devices*, vol.53, no.7, pp.1669-1674, 2006.
- [4] J. Knoch, M. Zhang, J. Appenzeller, and S. Nantl, "Physics of ultrathin-body silicon-on-insulator Schottky-barrier field-effect transistors," *Applied Physics*, A87, pp.351-357, 2007.
- [5] S. Xiong, T. King, and J. Bokor, "A comparison of symmetric ultrathin-body double-gate devices with metal source/drain and doped source/drain," *IEEE Trans. on Electron Devices*, vol.52, no.8, pp.1859-1867, 2005.
- [6] M. Jang, J. Oh, S. Maeng, and W. Cho, "Characteristics of Erbium-silicided n-type Schottky barrier tunnel transistors," *Applied Physics letter*, vol.83, no.13, pp.2611-2613, 2003.
- [7] Rinus T.P. Lee, A.E. Lim, K. Tan, T. Liow, G. Lo, G. Samudra, D. Chi, and Y. Yeo, "N-channel FinFETs with 25-nm gate length and Schottky-barrier source and drain featuring Ytterbium silicide," *IEEE Electron Device Letters*, vol.28, no.2, pp.164-167, 2007.
- [8] G. Larrieu, and E. Dubois, "Schottky-barrier source/drain MOSFETs on ultrathin SOI body with a tungsten metallic midgap gate," *IEEE Electron Device Letters*, vol.25, no.12, pp.908-803, 2004.
- [9] C.J. Koeneke, and W.T. Ynch, "Lightly doped Schottky MOSFET," *Tech. Dig. of IEDM*, pp.466-469, 1982.
- [10] D. Connelly, C. Fraulkner, D.E. Grupp, and J.S. Harris, "A new route zero barrier metal source/drain MOSFETs," *IEEE Trans. on Nanotech.*, vol.3, no.3, pp.98-104, 2004.
- [11] J.M. Larson, and J.P. Snyder, "Overview and status of metal S/D Schottky-barrier MOSFET technology," *IEEE Trans. on Electron Devices*, vol.53, no.5, pp.1048-1058, 2006.
- [12] B.T. Tsui, and C.P. Lu, "Current transport mechanism of Schottky-barrier and modified Schottky-barrier MOSFETs," *Proc. of ESSDERC*, pp.307-310, 2007.
- [13] M. Zhang, J. Knoch, S. Zhang, S. Feste, M. Schroter, and S. Mantl, "Threshold voltage variation in SOI Schottky-barrier MOSFETs," *IEEE Trans. on Electron Devices*, vol.55, no.3, pp.858-865, 2008.
- [14] L.E. Calvet, R.G. Wheeler, and M.A. Reed, "Electron transport measurements of Schottky barrier inhomogeneities," *Applied Physics Letters*, vol.80, no.10, pp.1761-1763, 2002.
- [15] G. Groesenken, J.P. Colinge, H.E. Maes, and J.C. Alderman, and S. Holt, "Temperature dependence of threshold voltage in thin-film SOI MOSFET's," *IEEE Electron Device Letters*, vol.11, no.8, pp.329-331, 1990.

저 자 소 개



가 대 현(학생회원)
 2007년 인천대학교 전자공학과
 학사 졸업.
 2009년 인천대학교 전자공학과
 석사 졸업.
 <주관심분야 : SOI MOSFET,
 나노전자소자>



조 원 주(정회원)
 1989년 경북대학교 전자공학과
 학사 졸업
 1991년 일본 게이오대학교 전기
 전자공학과 석사 졸업.
 1994년 일본 게이오대학교 전기
 전자공학과 박사 졸업.
 1994년~2000년 하이닉스반도체 메모리연구소
 책임 연구원
 2000년~2005년 한국전자통신연구원 미래기술
 연구본부 책임연구원
 현재 광운대학교 전자재료공학과 교수
 <주관심분야 : 나노전자소자, SOI 재료 및 응용,
 비휘발성 메모리, 바이오 센서>

유 종 근(정회원)
 대한전자공학회 논문지
 제40권 SD편 제9호 참조

박 종 태(정회원)
 대한전자공학회 논문지
 제40권 SD편 제9호 참조