

논문 2009-46SD-10-1

# 온도 변화에 무관한 출력 특성을 갖는 파워-업 검출기의 설계

( Design of Temperature-Compensated Power-Up Detector )

고 태 영\*, 전 영 현\*\*, 공 배 선\*\*\*

( Tai-Young Ko, Young-Hyun Jun, and Bai-Sun Kong )

## 요 약

본 논문에서는 아날로그 및 디지털 집적시스템에서 사용될 수 있는 온도변화에 무관한 파워-업 검출기 회로를 제안하였다. 제안된 파워-업 검출기는 트랜지스터의 문턱전압과 이동도의 상호 온도보상 기술을 이용하여 nMOS 분압기와 pMOS 분압기의 출력 전압이 온도에 무관한 특성을 갖도록 하여 온도 변화에 따른 파워-업 전압의 변화량을 최소화하였다. 68-nm CMOS 공정을 이용한 시뮬레이션 결과, 제안된 파워-업 검출기는 파워-업 전압 1.0V 기준으로 -30 °C에서 90 °C의 온도변화 조건에서 4 mV의 매우 작은 파워-업 감지 전압 변화량을 갖는 출력 특성을 보였고, 기존 회로에 비해 92.6%의 파워-업 감지 전압 변화량 감소를 확인하였다.

## Abstract

In this paper, a temperature variation-insensitive power-up detector for use in analog and digital integrated systems has been proposed. To provide temperature-insensitive characteristic, nMOS and pMOS voltage dividers in the proposed power-up detector are made to have zero temperature coefficient by exploiting the fact that the effective gate-source voltage of a MOS transistor can result in mutual compensation of mobility and threshold voltage for temperature independency. Comparison results using a 68-nm CMOS process indicate that the proposed power-up detector achieves as small as 4 mV voltage variation at 1.0 V power-up voltage over a temperature range of -30 °C to 90 °C, resulting in 92.6% reduction on power-up voltage variations over conventional power-up detectors.

**Keywords :** power-up, temperature Compensation, voltage divider, detector, temperature coefficient

## I. 서 론

최근 모바일 멀티미디어 단말기는 양질의 서비스를 제공하기 위하여 고 성능 및 저 전력 특성이 동시에 요구되고 있다. 이러한 요구 사항을 만족시키기 위하여 최근에는 낮은 문턱전압을 갖는 트랜지스터와 높은 문턱전압을 갖는 트랜지스터를 동시에 사용하는 방법<sup>[1~2]</sup>이 사용되고 있다. 공급 전압의 일반적인 하향 추세에도 불구하고 높은 문턱전압을 필요로 하는 이와 같은

설계 환경은 집적시스템이 웨이크-업 (wake-up) 할 수 있는 공급 전압 즉, 파워-업 (power-up) 전압이 선택할 수 있는 전압 윈도우(window)의 크기를 줄이는 부작용을 일으킨다. 이에 따라, sub-1.2-V 전원 전압에서 온도 변화에 관계없이 일정한 파워-업 전압 검출 특성을 갖는 파워-업 검출기는 집적시스템 설계에 있어서 매우 중요한 부분을 차지하고 있다. 본 논문에서는 MOS 트랜지스터로 구성된 전압 분압기(voltage divider)의 온도보상 특성을 이용하여, 온도계수가 매우 낮은 출력 특성을 갖는 파워-업 검출기를 제안한다.

## II. 파워-업 검출기의 동작 및 제약요소

그림 1은 파워-업 검출기의 개념적인 동작을 나타내

\* 학생회원, \*\*\* 평생회원, 성균관대학교 전자전기공학과 (Department of Electronics and Electrical Engineering, Sungkyunkwan University)

\*\* 평생회원, 삼성전자(주) 반도체 총괄 (Semiconductor Division, Samsung Electronics)

접수일자: 2009년6월16일, 수정완료일: 2009년9월29일

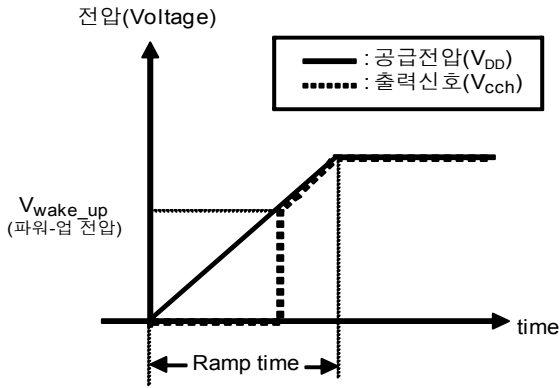


그림 1. 파워-업 검출기의 동작  
Fig. 1. The operation of power-up detector.

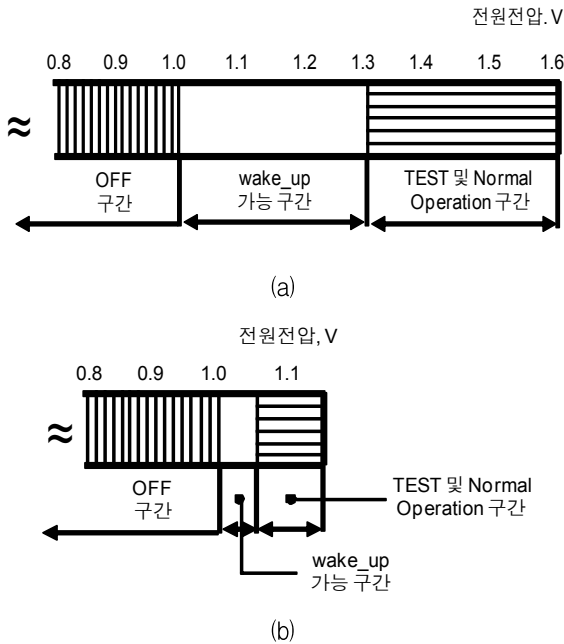


그림 2. 집적시스템의 공급 전압 구간 별 동작 특성  
(a) 1.5 V 전원 전압 (b) 1.1 V 전원 전압  
Fig. 2. Operating characteristic of supply regions.  
(a) 1.5 V supply, (b) 1.1 V supply.

고 있다. 그림에서 보는 바와 같이, 공급 전원의 준위가 파워-업 전압( $V_{wake\_up}$ )이 될 때, 파워-업 검출기의 출력 신호( $V_{cch}$ )는 공급 전원과 동일 전압으로 활성화 된다.

그림 2-(a)는 현재 범용적으로 사용되는 1.5 V 전압을 갖는 집적시스템의 공급 전압 구간 별 동작 특성을 보여주고 있다. 그림의 가장 왼쪽에 수직 실선 부분은 오프(off) 구간으로, 공급 전원 레벨이 매우 낮기 때문에 내부 회로의 동작이 불가능한 영역이다. 한편, 그림의 가장 오른쪽의 수평 실선 부분은 정격 전압 구간으로, 웨이퍼(wafer)와 패키지(package) 테스트 환경을 포함하여 집적시스템이 정상적인 기능을 수행하는 영역을

나타낸다. 이제, 집적시스템의 파워-업 검출은 내부 회로가 원활하게 동작하는 상태에서 정격 전압 구간에 도달하기 전에 완료되어야 하므로, 그림의 wake\_up 가능 구간에서 이루어져야 한다. 이 경우, 오프 구간과 정격 전압 구간 사이의 전압 영역이 비교적 넓기 때문에, 온도 등의 동작 환경이 변하더라도 파워-업 전압 검출에는 큰 어려움이 없다. 그러나 ITRS에서는 2010년까지 집적시스템의 공급전압이 약 1.1 V<sup>[3]</sup>까지 내려갈 것으로 예상하고 있으며, 이를 반영한 동작 특성이 그림 2-(b)에 나타나 있다. 이 경우, 오프 구간과 정격 전압 구간 사이의 전압 영역이 좁아지기 때문에 파워-업 전압 검출이 매우 어려울 것으로 예상된다. 이와 같은 문제점을 개선하기 위해서는, 파워-업 검출기에 대한 온도보상 설계를 구현하여  $V_{wake\_up}$ 의 변화량을 최소화하고 이로 부터 전압 윈도우 마진(margin)을 확보하는 것이 절실히 필요하다.

### III. 기존의 파워-업 검출기

기존 파워-업 검출기에는 nMOS Comparator with nMOS Diode Voltage Reference (NCND)<sup>[4]</sup>, pMOS Comparator with pMOS Diode Voltage Reference (PCPD)<sup>[5]</sup>, 및 cascade 구조<sup>[6]</sup>가 있다. NCND 형 파워-업 검출기는 nMOS 다이오드에서 발생하는 기준 전압과 분압기의 출력전압을 nMOS 차동 증폭기가 비교하여 파워-업 출력 신호를 발생시킨다. PCPD 형 파워-업 검출기는 pMOS 다이오드에서 생성되는 기준 전압과 translator의 출력 전압 차이를 pMOS 비교기가 증폭하여 파워-업 전압을 감지한다. 이들 기존 파워-업 검출

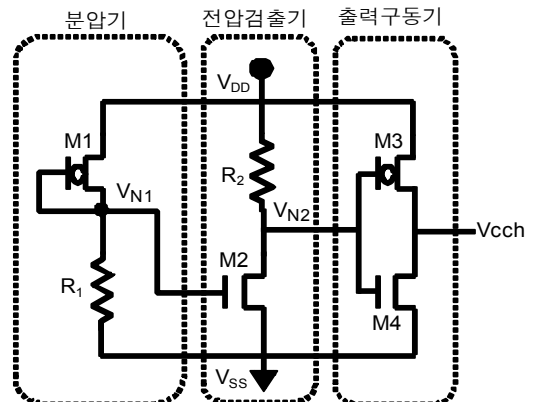


그림 3. 기존의 cascade 형 파워-업 검출기  
Fig. 3. Conventional cascade power-up detector.

기<sup>[4~5]</sup>는 낮은 공급 전압에서 온도에 대한 파워-업 전압 변화량이 큰 단점이 있다. 이는 차동 증폭기의 두 입력 전압이 서로 다른 온도 특성을 가지므로 온도에 대한 상호 보상을 할 수 없기 때문이다.

기존 cascade 방식의 파워-업 검출기를 그림 3에 나타내었다<sup>[6]</sup>. 이는 공급 전압에서 일정한 전압을 추출하기 위한 전압 분압기와 파워-업 전압을 검출하기 위한 전압 검출기, 그리고 출력 부하를 구동하기 위한 출력 구동기로 구성되어 있다. 기존의 cascade 방식의 파워-업 검출기도 기존의 다른 파워-업 검출기처럼 온도 변화에 관계없이 일정한 파워-업 전압에서 활성화되는 출력 신호를 발생시키기에 취약한 구조로 되어 있다. 이는 낮은 공급 전압에서 분압기의 출력 전압이 절대온도에 비례(proportional to absolute temperature, PTAT)하는 특성을 갖기 때문이다. 이러한 특성을 확인하기 위하여, 트랜지스터의 이동도 및 문턱전압의 수학적 모델을 이용하여 기존 파워-업 검출기의 온도 특성을 분석하면 다음과 같다.

그림 3에 나타난 전압 분압기의 출력 전압  $V_{N1}(T)$ 는 식 (1)과 같이 나타낼 수 있으며, 여기서, M1의 게이트-소스 전압  $V_{GS1}(T)$ 는 전원 전압  $V_{DD}$ 가 충분히 낮고 저항  $R_1$ 이 충분히 클 경우,  $V_{N1}(T)$ 는 문턱전압  $V_{TP1}(T)$ 으로 근사화 될 수 있다.

$$\begin{aligned} V_{N1}(T) &= V_{DD} - |V_{GS1}(T)| \\ &\approx V_{DD} - |V_{TP1}(T)| \end{aligned} \quad (1)$$

여기서,  $V_{TP1}(T)$ 의 온도에 대한 관계식은 식 (2)으로 표현된다<sup>[7~8]</sup>.

$$V_{TP1}(T) \approx V_{TP1}(T_0) + \alpha_{VTP}(T - T_0) \quad (2)$$

위 식에서,  $\alpha_{VTP}$ 는 pMOS 트랜지스터의 문턱전압에 대한 온도계수이고 주로 양의 상수값을 갖는다. 또한,  $T_0$ 는 기준 온도이고  $V_{TP1}(T_0)$ 는 기준온도에서 pMOS 트랜지스터 M1의 문턱전압이다. 위의 식 (2)를 식 (1)에 대입하면, 분압기의 출력 전압  $V_{N1}(T)$ 는 다음과 같이 표현될 수 있다.

$$V_{N1}(T) \approx V_{DD} + V_{TP1}(T_0) + \alpha_{VTP}(T - T_0) \quad (3)$$

이제, 분압기의 출력 전압에 대한 온도 특성을 분석하기 위하여 식 (3)을 온도에 대하여 미분하면, 아래 식 (4)을 얻는다.

$$\frac{\partial V_{N1}(T)}{\partial T} \approx \alpha_{VTP} \quad (4)$$

즉, 전압 분압기의 출력 전압은 온도에 비례하는 PTAT 특성을 가지고 있음을 알 수 있다.

한편, 그림 3에 나타난 전압 검출기의 출력 전압  $V_{N2}$ 은, M2가 포화영역에서 동작한다고 가정하고 channel length modulation을 무시하면, 식 (5)과 같이 표현될 수 있다.

$$\begin{aligned} V_{N2}(T) &= V_{DD} - I_{D2}(T)R_2 \\ &= V_{DD} - \frac{1}{2}\mu_N(T)C_{OX}\left(\frac{W}{L}\right)_2 \times \\ &\quad (V_{N1}(T) - V_{TN2}(T))^2 R_2 \end{aligned} \quad (5)$$

식 (5)에서  $I_{D2}(T)$ 와  $V_{TN2}(T)$ 은 각각 M2의 드레인 전류와 문턱전압이다. 여기서, 전압 검출기의 출력 전압  $V_{N2}(T)$ 이  $0.5V_{DD}$ 가 되는 입력 전압  $V_{N1}(T)$ 을 전압 검출기의 스위칭 문턱전압 (switching threshold voltage)  $V_{NLS}(T)$ 으로 정의하면, 이는 식 (6)처럼 표현될 수 있다. 또한,  $V_{NLS}(T)$ 은 저항  $R_2$ 가 충분히 크고 전원 전압  $V_{DD}$ 가 충분히 낮을 때, 트랜지스터 M2의 문턱전압으로 근사화 될 수 있다.

$$\begin{aligned} V_{NLS}(T) &= V_{TN2}(T) + \sqrt{\frac{V_{DD}}{\mu_N(T)C_{OX}\left(\frac{W}{L}\right)_2 R_2}} \\ &\approx V_{TN2}(T) \\ &\approx V_{TN2}(T_0) + \alpha_{VTN}(T - T_0) \end{aligned} \quad (6)$$

식 (6)에서,  $V_{TN2}(T_0)$ 는 기준온도에서 nMOS 트랜지스터 M2의 문턱전압이다.  $\alpha_{VTN}$ 는 nMOS 트랜지스터의 문턱전압에 대한 온도계수로 주로 음의 상수값을 갖는다. 따라서 전압 검출기의 스위칭 문턱전압은 식 (7)에 나타난 바와 같이 온도가 높아질수록 낮아지는 complementary to absolute temperature (CTAT) 특성을 가짐을 알 수 있다.

$$\frac{\partial V_{NLS}(T)}{\partial T} \approx \alpha_{VTN} \quad (7)$$

이제, 위의 분석 결과를 바탕으로 기존의 cascade 형 파워-업 검출기의 온도 특성을 설명하면 아래와 같다. 즉, 기존 파워-업 검출기가 온도 변화에 무관한 출력 특성을 갖기 위해서는 온도 변화에 따른 분압기의 출력 전압  $V_{N1}(T)$ 의 변화량과 전압 검출기의 스위칭 문턱전

압  $V_{NLS}(T)$ 의 변화량이 서로 상쇄되어야 한다. 하지만, 식 (4)와 (7)에 나타난 바와 같이,  $V_{NI}(T)$ 은 온도 변화에 대하여 PTAT 특성을 갖고  $V_{NLS}(T)$ 은 온도 변화에 대하여 CTAT 특성을 갖기 때문에, 분압기의 출력 전압은 전압 검출기의 스위칭 문턱전압과 연동되어 변할 수 없다. 따라서 기존 파워-업 검출기의 구조로는 온도에 관계없이 일정한 파워-업 전압을 얻을 수 없음을 알 수 있다.

#### IV. 제안된 파워-업 검출기

앞에서 서술한 기존 파워-업 검출기의 문제점을 개선하기 위하여 본 논문에서 제안하는 파워-업 검출기가 그림 4에 나타나 있다. 제안된 파워-업 검출기는 nMOS 분압기와 pMOS 분압기 및 각각의 분압기 출력 전압을 입력 단자로 전달받는 차동 증폭기로 구성되어 있다. nMOS 분압기에 포함된 트랜지스터 M1의 게이트-소스 전압  $V_A$ 는 공급 전압  $V_{DD}$ 에 대한 저항  $R_1$ 과  $R_2$ 의 비율로 결정된다. 그리고, 이 전압에 의해 결정된 전류  $I_{D1}$ 을 nMOS 분압기의 출력 전압  $V_N$ 으로 변환하는 저항  $R_3$ 이 M1의 드레인에 연결되어 있다. pMOS 분압기는 트랜지스터 M2의 게이트-소스 전압  $V_B$ 를 결정하는 저항  $R_4$ ,  $R_5$ 와 출력 전압  $V_P$ 를 발생시키는 저항  $R_6$ 으로 구성되어 있다. 한편, 차동 증폭기는 nMOS 분압기와 pMOS 분압기의 출력 전압을 각각 두 입력 단자로 전달받고, 두 입력 간의 전압 차이를 감지하여 출력 신호  $V_{cch}$ 를 생성한다.

이제, 공급 전원이 목표 전압으로 파워-업 할 경우, 제안된 파워-업 검출기의 동작을 살펴보면 다음과 같다. 파워-업 전압보다 낮은 공급 전압 구간에서는 트랜지스터 M1과 M2의 게이트-소스 전압이 낮고 전류  $I_{D1}$ 과  $I_{D2}$ 이 작기 때문에, nMOS 분압기의 출력 전압  $V_N$ 은 pMOS 분압기의 출력 전압  $V_P$ 보다 높게 된다. 따라서, 각각의 분압기의 출력 전압을 입력으로 받는 차동증폭기의 출력 신호  $V_{cch}$ 는 'low'가 된다. 이제, 공급 전원의 준위가 파워-업 전압보다 높아지면  $V_P$ 가  $V_N$ 보다 높아지게 되어 차동증폭기의 출력 신호  $V_{cch}$ 는 'high'로 천이한다.

본 논문에서 제안된 파워-업 검출기의 가장 큰 장점은 온도 변화에 관계없이 일정한 파워-업 전압을 검출할 수 있다는 점이다. 이는 nMOS 분압기와 pMOS 분압기에 포함된 트랜지스터 M1과 M2의 이동도와 문턱

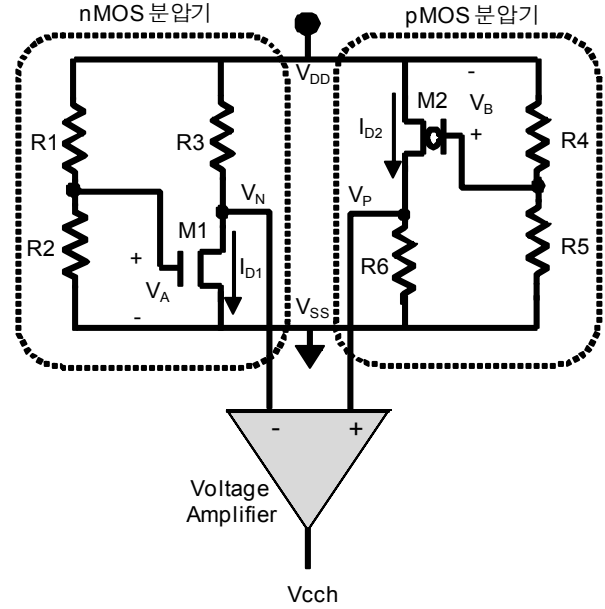


그림 4. 제안된 파워-업 검출기

Fig. 4. The proposed power-up detector.

전압의 상호 온도 보상기술을 적용함으로써 얻을 수 있다. 즉, 파워-업 전압에서 nMOS 분압기와 pMOS 분압기의 출력 전압이 동일하고 각각의 출력 전압의 온도계수가 제로(zero temperature coefficient, ZTC)인 특성을 구현함으로써 차동증폭기의 출력 신호  $V_{cch}$ 는 온도에 무관한 특성을 얻는다. 이제, 제안된 파워-업 검출기에 적용된 온도 보상 기술을 수식을 통하여 좀 더 자세히 설명하고자 한다.

#### V. 제안된 파워-업 검출기의 온도보상 설계

##### 1. nMOS 분압기의 온도보상 설계

그림 4에서 nMOS 트랜지스터 M1이 포화 영역에서 동작하고 channel length modulation을 무시하면, 드레인 전류  $I_{D1}$ 은 식 (8)로 표현된다.

$$I_{D1}(T) = \frac{1}{2} \mu_N(T) C_{OX} \left( \frac{W}{L} \right)_1 (V_{GS} - V_{TN}(T))^2 \quad (8)$$

여기서,  $\mu_N(T)$ 는  $\mu_N(T_0)(T/T_0)^{\alpha_{\mu N}}$ 와 같으며[8],  $\mu_N(T_0)$ 은 기준 온도에서 nMOS 트랜지스터의 이동도이고,  $\alpha_{\mu N}$ 은 nMOS 트랜지스터의 이동도에 대한 온도 상수이다. 한편,  $V_{TN}(T)$ 은  $V_{TN}(T_0) + \alpha_{VTN}(T - T_0)$ 로 표현된다. 이를 이용하여 식 (8)을 다시 전개하면 식

(9)를 얻는다.

$$\begin{aligned} I_{D1}(T) &= \frac{1}{2} \mu_N(T_0) T_0^{-\alpha_{\mu N}} C_{OX} \left( \frac{W}{L} \right)_1 T^{\alpha_{\mu N}} (V_{DD} \times \\ &\quad \frac{R_2}{R_1 + R_2} - (V_{TN}(T_0) + \alpha_{VTN}(T - T_0)))^2 \\ &= \frac{1}{2} \beta_{0N} T^{\alpha_{\mu N}} (V_{DD} \frac{R_2}{R_1 + R_2} \\ &\quad - (V_{TN}(T_0) + \alpha_{VTN}(T - T_0)))^2 \end{aligned} \quad (9)$$

식 (9)에서,  $\beta_{0N}$ 은  $\mu_N(T_0) T_0^{-\alpha_{\mu N}} C_{OX} (W/L)_1$ 와 같다. 이제, 식 (9)를 이용하여 nMOS 분압기의 출력 전압  $V_N$ 을 구할 수 있고, 이는 식 (10)과 같이 표현된다.

$$\begin{aligned} V_N(T) &= V_{DD} - R_3 \times I_{D1}(T) \quad (10) \\ &= V_{DD} - \frac{1}{2} R_3 \beta_{0N} T^{\alpha_{\mu N}} (V_{DD} \frac{R_2}{R_1 + R_2} \\ &\quad - (V_{TN}(T_0) + \alpha_{VTN}(T - T_0)))^2 \end{aligned}$$

위 식에서, nMOS 트랜지스터의 채널 도핑 (channel doping) 이  $10^{15} \sim 10^{16} \text{cm}^{-3}$ 인 공정 조건에서, nMOS 트랜지스터 이동도의 온도계수인  $\alpha_{\mu N}$ 은 -2에 근접한다 [8].

이제, nMOS 분압기가 ZTC 특성의 출력 전압을 갖도록 하는 공급 전압을  $V_{DDN(ZTC)}$ 로 정의하고,  $\alpha_{\mu N}$ 이 -2인 경우 식 (10)를 온도에 대하여 미분하여  $V_{DDN(ZTC)}$ 를 구하면 다음과 같이 표현될 수 있다.

$$V_{DDN(ZTC)} = \frac{R_1 + R_2}{R_2} (V_{TN}(T_0) - \alpha_{VTN} T_0) \quad (11)$$

이제, 식 (11)을 식 (9)와 식 (10)에 대입한 후 전개하면, ZTC 특성을 갖는  $V_N$ 을 얻을 수 있고, 이를  $V_{N(ZTC)}$ 로 정의하면 아래의 식 (12)로 나타낼 수 있다.

$$\begin{aligned} V_{N(ZTC)} &= \frac{R_1 + R_2}{R_2} (V_{TN}(T_0) - \alpha_{VTN} T_0) \\ &\quad - \frac{1}{2} R_3 \mu_N(T_0) T_0^2 C_{OX} (W/L)_1 \alpha_{VTN}^2 \end{aligned} \quad (12)$$

위의 식에서 보는 바와 같이, 제안된 nMOS 분압기의 출력 전압은 공급 전압이  $V_{DDN(ZTC)}$ 인 점에서 온도 변화에 무관한 특성을 가진다. 즉, ZTC를 갖게 하는 주어진 M1의 게이트 전압에 대하여  $R_1, R_2$ 의 값을 조절함으로써  $V_{DD}$ 이  $V_{DDN(ZTC)}$ 로 구현 될 수 있고, 이 때의 nMOS 분압기의 출력 전압  $V_{N(ZTC)}$ 은 트랜지스터 M1의 width

와 length 비율과  $R_3$ 을 선택함으로써 결정된다.

## 2. pMOS 분압기의 온도보상 설계

그림 4에서 pMOS 분압기의 출력 전압  $V_P(T)$ 이 온도 변화에 무관한 특성을 갖는 공급 전압  $V_{DDP(ZTC)}$ 와 이 때의 출력 전압  $V_{P(ZTC)}$ 은 앞에서 설명한 V-1 절의 nMOS 분압기와 동일한 방법으로 구할 수 있다. 즉, pMOS 트랜지스터 M2가 포화 영역에서 동작하고 channel length modulation을 무시한 조건에서, pMOS 트랜지스터 M2의 이동도에 대한 온도계수  $\alpha_{\mu P}$ 이 -2에 근접할 때,  $V_{DDP(ZTC)}$ 는 아래와 같이 구할 수 있다.

$$V_{DDP(ZTC)} = \frac{R_4 + R_5}{R_4} (\alpha_{VTP} T_0 - V_{TP}(T_0)) \quad (13)$$

이제, 식 (13)를 이용하여 ZTC 특성을 갖는 분압기의 출력 전압을 식 (14)와 같이 얻을 수 있다.

$$\begin{aligned} V_{P(ZTC)} &= \frac{1}{2} \beta_{0P} \alpha_{VTP}^2 R_6 \\ &= \frac{1}{2} \mu_P(T_0) T_0^2 C_{OX} (W/L)_2 \alpha_{VTP}^2 R_6 \end{aligned} \quad (14)$$

위 식에서,  $\mu_P(T_0)$ 와  $V_{TP}(T_0)$ 은 기준 온도에서 각각 pMOS 트랜지스터의 이동도와 문턱전압이다. 식 (13)와 식 (14)에 나타난 바와 같이, 저항  $R_4, R_5, R_6$  및 pMOS 트랜지스터 M2의 width와 length 비율을 조절하면, pMOS 분압기는 목표로 하는  $V_{DDP(ZTC)}$ 와  $V_{P(ZTC)}$ 의 전압 레벨을 얻는다.

## 3. 파워-업 검출기의 온도보상 설계

제안된 파워-업 검출기는 온도 변화에 무관하게 파워-업 전압에서 활성화되는  $V_{ch}$ 를 출력하기 위하여 다음의 조건들을 만족하여야 한다. 즉, nMOS 분압기의  $V_{DDN(ZTC)}$ 와 pMOS 분압기의  $V_{DDP(ZTC)}$ 가 동일해야 하며, nMOS 분압기의 출력 전압  $V_{N(ZTC)}$ 과 pMOS 분압기의 출력 전압  $V_{P(ZTC)}$ 가 일치하여야 한다. 먼저, 위의 첫 번째 조건을 만족시키기 위한 저항  $R_1, R_2$ 와  $R_4, R_5$ 의 관계식은 식 (11)과 식 (13)를 이용하여 다음과 같이 구할 수 있다.

$$\begin{aligned} \frac{R_1}{R_2} &= \frac{|V_{TP}(T_0)| - V_{TN}(T_0) + (\alpha_{VTP} + \alpha_{VTN}) T_0}{V_{TN}(T_0) - \alpha_{VTN} T_0} \\ &\quad + \frac{R_5}{R_4} \frac{|V_{TP}(T_0)| + \alpha_{VTP} T_0}{V_{TN}(T_0) - \alpha_{VTN} T_0} \end{aligned} \quad (15)$$

다음으로, 위의 두 번째 조건을 만족시키기 위해서는 앞의 식 (12)와 식 (14)를 일치시켜야 하며, 이로부터 식 (16)를 얻는다.

$$\left(\frac{W}{L}\right)_1 = 2\left(1 + \frac{R_1}{R_2}\right) \frac{V_{TN}(T_0) - \alpha_{VTN}T_0}{R_3\mu_N(T_0)T_0^2 C_{OX}\alpha_{VTN}^2} \quad (16)$$

$$-\left(\frac{W}{L}\right)_2 \frac{R_6}{R_3} \frac{\mu_P(T_0)\alpha_{VTP}^2}{\mu_N(T_0)\alpha_{VTN}^2}$$

이제, 식 (15)과 식 (16)을 만족시키기 위한 저항  $R_1, R_2, R_3, R_4, R_5, R_6$  및 트랜지스터 M1과 M2의 width와 length의 비율을 조절하여 온도 변화에 무관한 출력 특성을 갖는 파워-업 검출 회로를 얻을 수 있다.

### VI. 결과 및 고찰

본 논문에서 제안된 파워-업 검출기를 68-nm CMOS 공정을 이용하여 설계하였으며, 이에 대한 layout 도면이 그림 5에 나타나 있다. 제안된 회로는 device mismatch에 의한 영향을 최소화하기 위하여 좌우 대칭 구조를 활용하여 차동 증폭기를 중심으로 좌우에 각각 nMOS 분압기와 pMOS 분압기를 배치하였다.

제안된 파워-업 검출기의 성능을 기존 회로와 비교하기 위하여  $-30^{\circ}\text{C}$ 부터  $90^{\circ}\text{C}$ 의 온도 범위에서 HSPICE Simulation을 진행하였다. 그림 6은 제안된 파워-업 검출기에 포함된 분압기의 출력 파형을 보여주고 있다. 그림에서 보듯이, 제안된 nMOS 분압기와 pMOS 분압기의 출력 전압은 공급 전압이 1.0 V일 때 각각 0.46 V로 일치했다. 또한, 이 점에서 출력 전압의 온도계수가 거의 제로임을 확인하였다.

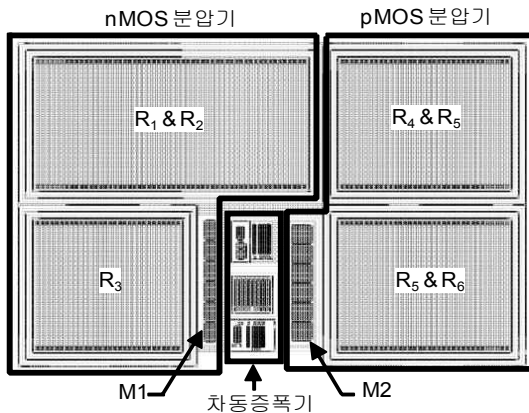


그림 5. 제안된 파워-업 검출기의 레이아웃  
Fig. 5. The layout of the proposed power-up detector.

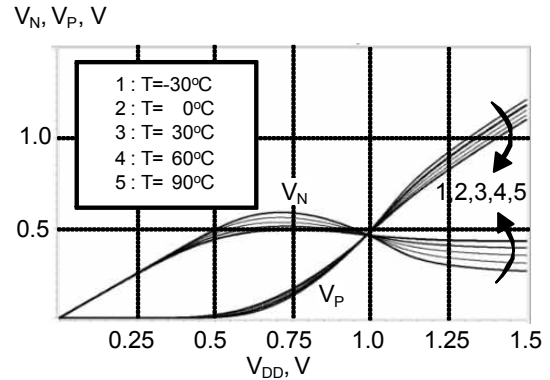
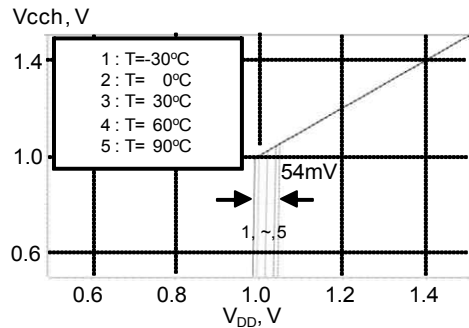
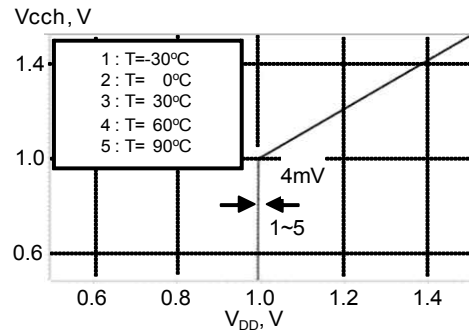


그림 6. 제안된 분압기의 출력 특성  
Fig. 6. Output characteristics of proposed voltage divider.



(a)



(b)

그림 7. 파워-업 검출기의 출력 특성 비교  
(a) 기존회로 [6] (b) 제안회로  
Fig. 7. Comparison of output characteristics of power-up detector: (a) conventional [6], (b) proposed.

그림 7은 기존 파워-업 검출기<sup>[6]</sup>와 제안된 파워-업 검출기의 출력 파형에 대한 비교 결과이다. 그림에서 파워-업 전압  $V_{wake\_up}$ 의 레벨은  $V_{cch}$  신호가 트리거링하는 공급 전압과 일치한다. 주어진 온도 변화에 대한  $V_{wake\_up}$ 의 변화량이 기존 파워-업 검출기는 54 mV인 반면, 제안된 파워-업 검출기는 4 mV이다. 이는 기존

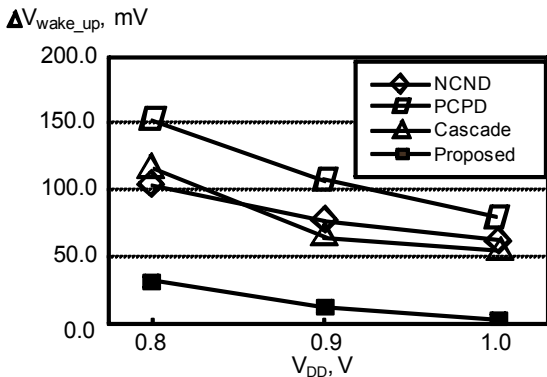


그림 8. VDD 변화에 따른 파워-업 전압 변화량 비교  
Fig. 8. Power-up voltage variation versus supply voltage.

회로의 파워-업 전압 변화량을 92.6% 줄인 결과이다.

그림 8은 sub-1.0-V 파워-업 전압 조건에서 -30°C ~90°C의 온도 변화에 대한 V<sub>wake\_up</sub>의 변화량을 비교한 결과이다. 그림에서 보는 바와 같이, 파워-업 전압 레벨이 0.8 V인 조건에서 기존 파워-업 검출기들<sup>[4~6]</sup>은 온도에 대한 파워-업 전압 변화량이 100 mV를 넘는 반면, 제안된 파워-업 검출기는 29 mV로 비교적 안정된 파워-업 전압 검출 특성을 보이고 있다.

기존의 파워-업 검출기 및 제안된 파워-업 검출기의 특성이 표 1에 요약되어 있다. 기존 파워-업 검출기들은 120°C 온도 변화에서 파워-업 전압 1.0 V 기준으로 최대 74 mV의 매우 큰 파워-업 감지 전압 변화량을 보인 반면, 제안된 파워-업 검출기는 4 mV로 92.6% 향상된 파워-업 검출 특성을 보였다. 또한, 공정 변화 20%를 포함한 120°C 온도 변화 조건에서 파워-업 전압 변화량을 비교한 결과, 제안된 파워-업 검출기는 기존의 회로들과 비교하여 최대 29%의 향상을 가져왔다.

표 1. 파워-업 검출기들의 성능 비교  
Table 1. Performance summary of power-up detectors.

| 회로 \ 항목                          | NCND[4] | PCPD[5] | Cascade[6] | 제안 회로 |
|----------------------------------|---------|---------|------------|-------|
| ΔV <sub>wake_up</sub> [mV]@1.0V  | 58      | 74      | 54         | 4     |
| ΔV <sub>wake_up</sub> [mV]@PV20% | 246     | 258     | 242        | 183   |
| Power[uW] @1.5V, 30°C            | 29      | 26      | 17         | 27    |
| Chip area [μm <sup>2</sup> ]     | -       | -       | 5141       | 5460  |

## VII. 결 론

본 논문에서는 온도계수가 매우 낮은 출력 특성을 갖는 파워-업 검출기를 제안하였다. 즉, nMOS 분압기와 pMOS 분압기의 동작 특성을 이용함으로써 온도에 관계없이 일정한 출력 전압을 구현했고, 이를 입력으로 사용하는 차동 증폭기는 파워-업 전압의 온도 변화량을 최소화하였다. 제안된 파워-업 검출기는 시뮬레이션 결과, 기존 회로에 비하여 온도에 대한 파워-업 전압의 변화량이 현저히 줄어들음을 확인하였다.

## 참 고 문 헌

- [1] S. Mutoh, S. Shigematsu, Y. Matsuya, "A 1 V multi-threshold voltage CMOS DSP with an efficient power management technique for mobile phone applications," in IEEE Int. Solid-State Circuits Conf., Vol. 39, pp. 168-169, Feb 1996.
- [2] T. Kuroda, T. Fujita, S. Mita, "A 0.9 V 150 MHz 10 mW 4 mm<sup>2</sup> 2-D discrete cosine transform core processor with variable-threshold voltage scheme," in IEEE Int. Solid-State Circuits Conf., pp. 166-167, Feb 1996.
- [3] International Technology Roadmap for Semiconductors(ITRS). Makuhari Messe, Japan, 2007.
- [4] N. Kokubo and K. Ikeda, "Voltage level detecting circuit," U.S. Patent 5 378 936, Jan. 1995.
- [5] C. J. Chevallier, "Power level detection circuit," U.S. Patent 5 581 206, Dec. 1996.
- [6] S. Tanimoto, "Power on reset circuit with accurate detection at low voltages," U.S. Patent 5 485 111, Jan. 1996.
- [7] I. M. Filanovsky and A. Allam, "Mutual temperature effects with applications in CMOS circuits," IEEE Trans. Circuits Syst. I, Fundam. Theory Appl., vol. 48, no.7, pp. 876-883, Jul. 2001.
- [8] A. Bendali and Y. Audet, "A 1-V CMOS current reference with temperature and process compensation, IEEE Trans. Circuits Syst. I, vol. 54, no.7, pp. 1424-1429, Jul. 2007.

## 저 자 소 개



고 태 영(학생회원)  
1997년 중앙대학교 전자공학과  
학사 졸업.  
1998년~현재 삼성전자 반도체 총  
괄 메모리 사업부 DRAM  
설계팀 책임 연구원 재직.  
2008년~현재 성균관대학교 정보  
통신공학부 반도체디스플  
레이공학과 석사 과정.

<주관심분야 : 아날로그 집적회로 설계, Mixed  
Signal 회로 설계>



공 배 선(평생회원)  
1990년 연세대학교 전자공학과  
공학사.  
1992년 한국과학기술원(KAIST)  
전기 및 전자공학과  
공학석사.  
1996년 한국과학기술원(KAIST)  
전기 및 전자공학과  
공학박사.

1996년~1999년 LG반도체 중앙연구소 선임  
연구원.  
2000년~2005년 한국항공대학교 항공전자공학과  
부교수.  
2009년 현재 성균관대학교 정보통신공학부 전자  
전기공학과 부교수.  
<주관심분야 : 디지털 및 혼성모드 집적회로설계,  
저전력 메모리 설계>



전 영 현(평생회원)  
1984년 한양대학교 전자공학과  
공학사.  
1986년 한국과학기술원(KAIST)  
전기 및 전자공학과  
공학석사.  
1989년 한국과학기술원(KAIST)  
전기 및 전자공학과  
공학박사.

1990년~1991년 미국 University of Illinois,  
Coordinated Science Lab. 연구원.  
2009년 현재 삼성전자(주) 반도체총괄 DRAM  
개발실장  
<주관심분야 : 초고속 메모리 설계, 고속 I/O  
Interface 설계>