

논문 2009-46SD-10-3

Independent-Gate-Mode Double-Gate MOSFET을 이용한 RF Receiver 설계

(Design of RF Receiver using Independent-Gate-Mode Double-Gate MOSFET)

정 나 래*, 김 유 진*, 윤 지 숙*, 박 성 민**, 신 형 순**

(Narae Jeong, Yujin Kim, Jisook Yun, Sung Min Park, and Hyungsoon Shin)

요 약

Independent-Gate-Mode Double-Gate(IGM-DG) MOSFET는 기존의 DG-MOSFET의 3-terminal 소자구조가 갖고 있는 한계에서 벗어나 front-gate와 back-gate를 서로 다른 전압으로 구동하는 것이 가능하다. IGM-DG를 이용함으로써 4번째 단자의 자유도에 의해 회로설계가 간단해 질 뿐 아니라, 집적도를 향상시킬 수 있는 장점을 가진다. 본 논문에서는 IGM-DG MOSFET를 사용하여 RF 수신단을 설계하였고, HSPICE 시뮬레이션을 통해 회로성능을 검증하고 소자의 특성변화에 따른 최적의 회로설계 방향을 제시하였다.

Abstract

Independent-gate-mode double-gate(IGM-DG) MOSFET overcomes the limitation of 3-terminal device structure, and enables to operate with different voltages for front-gate and back-gate. Therefore, circuit designs becomes not only simple, but also area-efficient due to the controllability of the 4th terminal provided by IGM-DG MOSFETs. In this paper, an RF receiver utilizing IGM-DG MOSFETs is presented and also, the circuit performance is verified by the HSPICE simulations. Besides, the circuit analysis and optimization are performed for various IGM-DG characteristics.

Keywords : IGM-DG MOSFET, Double-Gate, LNA, Mixer, Oscillator, RF Receiver

I. 서 론

집적회로의 동작속도와 집적도 향상을 위해 MOSFET의 크기는 지속적으로 감소되어왔다. 이러한 소자의 축소화로 인해 short channel effect(SCE) 제어가 어려워졌고, 이에 대한 대안으로 소자특성 개선에 관한 내용이 집중적으로 연구되고 있다. 특히 차세대

소자로 적용 가능성이 가장 높게 평가되고 있는 Double-gate MOSFET(DG MOSFET)의 경우, 양쪽의 게이트로 효율적인 채널의 제어가 가능해짐에 따라 이상적인 subthreshold slope(SS)을 얻는 것이 가능하고, 전류구동능력을 높일 수 있으며, 높은 transconductance 값을 얻을 수 있다. 또한 게이트 workfunction에 의한 threshold voltage(V_{th}) 조절로 body doping을 낮게 유지할 수 있어 dopant fluctuation effect를 피할 수 있다^[1~3]. 그러나 DG MOSFET은 기본적으로 front-게이트와 back-게이트에 동일한 전압이 인가되는 3-terminal 소자구조의 제한을 가지고 있으므로, bulk MOSFET에 기반한 회로에서 크게 벗어나지 못하는 제한점을 가지고 있다.

* 학생회원, ** 평생회원, 이화여자대학교 전자공학과
(Department of Electronic Engineering,
Ewha Womans University)

※ 본 연구는 서울시 산학협력과제(NT080509)의 지원으로 수행되었음.

접수일자: 2009년8월10일, 수정완료일: 2009년9월14일

본 논문에서는 기존의 3-terminal 소자구조의 제한에서 벗어나 front-게이트와 back-게이트의 일함수 및 산화막 두께가 상이하면서 서로 다른 전압이 인가되는 Independent-gate-mode double-gate(IGM-DG) MOS로 동작하는 소자를 기반으로 회로를 설계하였다. IGM-DG MOS 소자는 4번째 단자의 자유도로 인하여 회로설계가 간단해 질 수 있고 기존의 회로 및 시스템을 업그레이드 할 수 있으며 더 나아가 회로의 집적도 향상에도 기여한다.

특히, 본 논문에서는 wireless RF receiver단의 설계를 통해 신개념 집적회로 설계 방법에 대해 접근하고자 한다. II장에서 IGM-DG 소자 특성을 설명하고 III장에서는 IGM-DG MOSFET를 이용하여 Mixer와 Low noise amplifier(LNA), 및 Oscillator 구현을 통해 RF 수신단을 설계한다. 그리고 HSPICE 시뮬레이션 결과를 통해 각 단의 회로 성능검증 및 소자의 특성변화에 따른 최적의 회로설계 방향을 제시한다.

II. Independent-Gate-Mode Double-Gate (IGM-DG) MOSFET 특성

그림 1은 본 연구에서 사용하는 IGM-DG MOSFET의 단면도이다. 그림에서 보는 바와 같이 기존의 Common-mode DG MOSFET과 다르게 V_{fg} 와 V_{bg} 를 이용하여 양단의 게이트 전압을 따로 제어하는 것이 가능하며, 게이트 산화막 두께와 일함수의 변화에 따라 소자의 특성을 변화시킬 수 있다. 여기서 x 좌표와 y 좌표는 각각 채널의 길이와 채널의 수직방향을 보이고 있고, T_{si} 는 실리콘 film의 두께, T_{ox1} 와 T_{ox2} 는 front- 및 back-게이트의 산화막 두께를 나타낸다.

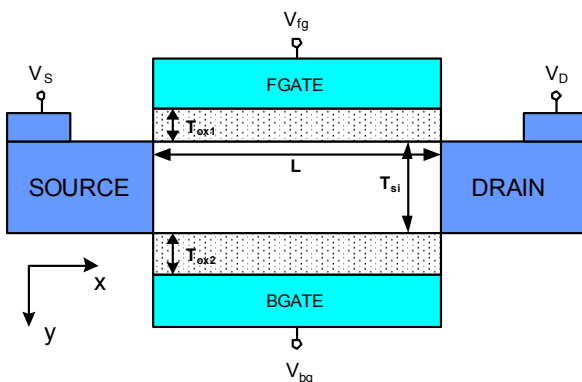


그림 1. IGM-DG MOSFET의 단면도
Fig. 1. Cross sectional view of IGM-DG MOSFET.

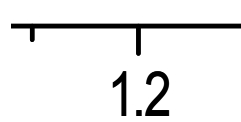
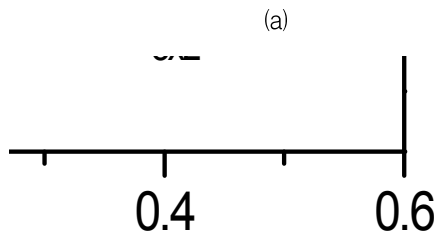


그림 2. Back 게이트 전압변화에 따른 I_{DS} vs. V_{fg} 특성
Fig. 2. I_{DS} vs. V_{fg} characteristics for various back-gate voltage.

그림 2는 back-게이트 전압을 $-1.0V$ 부터 $0.5V$ 까지 $0.25V$ 간격으로 변화시켰을 때의 I_{DS} - V_{fg} 그래프로서, 이를 통해 back-게이트 전압에 따라 V_{th} 가 달라지고 있음을 확인할 수 있다^[4]. 이는 고정된 back-게이트의 surface potential로 인하여 front-게이트의 surface potential의 변화가 제한되기 때문이다. 즉, back-게이트 쪽의 채널상태가 accumulation이나 depletion 영역에 고정되어 있으면 front-게이트 쪽의 채널은 Common-mode DG MOSFET의 채널에 비해 inversion 되기 힘들어 지기 때문에 V_{th} 는 보다 큰 값을 가지고, 반대로 back-게이트 쪽의 채널이 inversion 영역에 존재하면 V_{th} 값은 낮아질 것이다. 이를 통해 IGM-DG MOSFET은 back-게이트의 전압조절로 V_{th} 를 변화시킬 수 있는 특성을 가지고 있다는 것을 확인할 수 있다.

그림 3(a)는 T_{ox2} 의 변화에 따른 subthreshold swing(SS)값을 보이고 있고, (b)는 T_{ox2} 의 변화에 따른 $G_{m,max}$ 의 값을 나타내고 있다. 그림에서 보는 바와 같이 V_{bg} 가 감소하거나 T_{ox2} 가 증가할수록 SS는 좋아지고 $G_{m,max}$ 값도 향상된다. 이는 V_{bg} 의 값이 작아질수록 back 게이트 쪽의 charge가 적게 형성되므로 leakage current가 감소하고, 이로 인해 향상된 I_{on} - I_{off} ratio를 얻을 수 있기 때문이다. 또한 T_{ox2} 가 두꺼워질수록 back 게이트 쪽의 potential 변화에 따른 front-게이트 쪽의 surface potential 변화에 미치는 영향이 작아지기 때문에 이와 같은 현상이 나타난다.

V_L V_T V_U



(a)

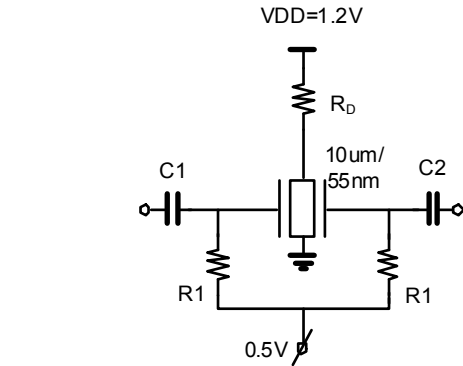
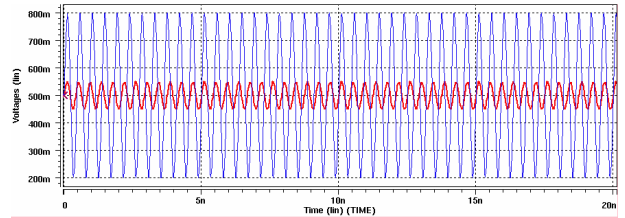
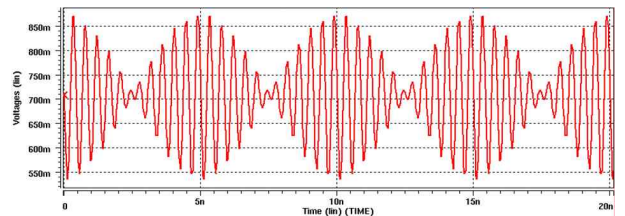


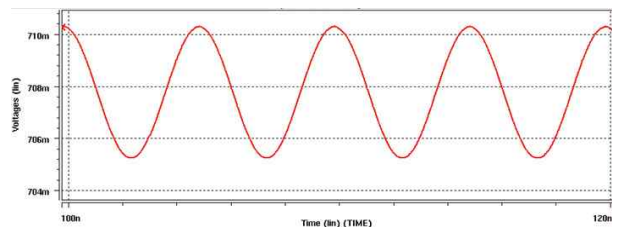
그림 4. IGM-DG MOSFET를 이용한 Mixer 회로
Fig. 4. Schematic diagram of the Mixer using IGM-DG MOSFET.



(a)



(b)



(c)

그림 5. (a) Front-게이트와 back-게이트의 입력신호
(b) LPF 통과전의 Mixer drain 전압신호, 및
(c) LPF 통과후의 출력신호 파형
Fig. 5. Simulation results: (a) input signals of front-gate and back-gate, (b) Mixer drain voltage signal before LPF, and (c) output waveform after LPF.

를 보여준다.

그림 5(c)는 2차 LC필터로 구현한 Low-pass filter(LPF)를 통과시킨 후의 신호를 보여주고 있으며, 이는 두 신호의 차 주파수인 200MHz의 파형이다. 여기서 front-게이트 및 back-게이트에서 들어오는 신호를

그림 3. T_{ox2} 변화에 따른 (a) SS vs. V_{bg} 와 (b) G_{m,max} vs. V_{bg}
Fig. 3. (a) SS vs. V_{bg} and (b) G_{m,max} vs. V_{bg} for various T_{ox2}.

III. IGM-DG MOSFET를 이용한 수신기 설계

1. MIXER 회로

두 개 이상의 신호를 섞어 그 신호의 합과 차 주파수를 얻어 내는 Mixer 회로에서 IGM-DG MOSFET를 사용하면 양단의 게이트 전압을 상이하게 줄 수 있는 소자의 특성을 이용하여 그림 4와 같이 한 개의 소자로도 Mixer 회로를 구현할 수 있다. 본 설계에는 L_g=55nm, T_{ox1}=0.8nm, T_{ox2}=4nm, Φ_{ms(fg)}(front-gate workfunction)=4.15eV, Φ_{ms(bg)}(back-gate workfunction)=5.17eV 인 IGM-DG MOSFET를 사용하였다.

그림 5는 2.4GHz 0.1V_{p-p}를 가지는 front-게이트 입력신호와 2.2GHz 0.6V_{p-p}를 가지는 back-게이트 입력신호의 시간에 따른 전압변화와 그 때의 drain에서의 결

각각 v_{fg} , v_{bg} 로 표시하면, 식 (1) 및 (2)와 같이 표현할 수 있고, 소자의 drain에 흐르는 전류는 식 (3)과 같다.

$$v_{fg} = a_1 \cos w_1 t \tag{1}$$

$$v_{bg} = a_2 \cos w_2 t \tag{2}$$

$$i_d = g_m(v_{fg}, v_{bg}) \cdot v_{fg} \tag{3}$$

이때, $g_m(v_{fg}, v_{bg})$ 는 게이트의 transconductance로 front-게이트와 back-게이트에 들어오는 신호에 대한 함수이다.

본 논문에서는 back-게이트에 p+poly를 사용하였고 Mixer의 입력신호로 DC 전압 0.5V를 기준으로 $0.6V_{p-p}$ 의 AC-신호를 가해주고 있으므로 inversion 영역에 접어들지 않도록 하였다. 따라서 back쪽의 신호크기 영향은 매우 작고, 결과적으로 Mixer를 거쳐 나오는 합과 차 주파수를 가지는 신호의 진폭 값은 작게 나온다.

본 논문에서 설계한 Mixer 회로의 Gain은 3.5dB, NF는 4dB, IIP3는 12dBm, power dissipation은 6mW값을 가진다. 그리고 Mixer회로는 T_{ox2} 와 workfunction의 변화를 통해 성능을 조절하는 것이 가능하고, 이는 출력 파형의 진폭을 통해 검증할 수 있다. 그림 6은 T_{ox2} 의 두께변화에 따른 신호의 진폭크기를 보인 그래프이고, 그림에서 보는 바와 같이 T_{ox2} 가 두꺼워질수록 차 주파수의 신호크기가 작아진다. 이는 T_{ox2} 가 증가하면 back-게이트 쪽의 신호가 front에 들어오는 신호에 미치는 영향이 작아지기 때문에 생기는 현상이다. 즉

3.5 4.0

그림 6. T_{ox2} 변화에 따른 V_{p-p} 특성
Fig. 6. Characteristic of V_{p-p} for various T_{ox2} .

back-게이트의 산화막 두께가 얇아질수록 Mixer 회로의 성능이 향상된다.

그림 7은 back-게이트의 workfunction을 증가시키면서 $\Phi_{ms(bg)} - \Phi_{ms(fg)}$ 의 변화에 따른 Mixer 신호 진폭의 변화를 보여준다. 그림 7(a)에서 보는 바와 같이 front-게이트에 인가되는 신호의 진폭이 $0.1V_{p-p}$ 일 때 back-게이트 workfunction이 증가함에 따라 차 주파수의 신호가 잘 나타나고 있음을 알 수 있다. 이는 back쪽의 charge가 적게 형성될수록 Mixer의 성능이 향상된다는 것으로 T_{ox2} 를 변화 시켰을 때의 시뮬레이션 결과와 반대의 경향성을 보이고 있다. 이를 분석하기 위해 front-게이트에 인가하는 신호의 진폭을 $0.2V_{p-p}$ 로

1.00

(a)

(b)

그림 7. $\Phi_{ms(bg)} - \Phi_{ms(fg)}$ 에 대한 V_{p-p} 변화 그래프 :
(a) $V_{p-p(fg)}=0.1V$ 및 (b) $V_{p-p(fg)}=0.2V$
Fig. 7. Variation of V_{p-p} for $\Phi_{ms(bg)} - \Phi_{ms(fg)}$:
(a) $V_{p-p(fg)}=0.1V$ and (b) $V_{p-p(fg)}=0.2V$.

증가시켰고 이때의 결과는 그림 7(b)에서 확인할 수 있다. 즉, 차주파수의 진폭크기가 $\Phi_{ms(bg)} - \Phi_{ms(fg)} = 0.9\text{eV}$ 까지 T_{ox2} 를 변화 시킬 때와 동일한 경향성을 가지며 감소하다가 0.9eV 이후에서 다시 증가하는 형태를 보인다. 이와 같이 입력신호의 진폭에 따라 시뮬레이션 결과의 경향성이 다르게 나타나는데, 이러한 현상은 한 개의 소자로 구현한 Mixer 회로의 특성상 IGM-DG MOSFET 소자 안에서 두 신호의 correlation이 발생하여 나타나는 현상으로 해석된다.

2. Low-Noise Amplifier(LNA) 회로

본 논문에서 설계한 LNA 회로는 그림 8과 같이 Feedback 저항을 사용한 Cascode 증폭기 구조로 서브 샘플링용 수신기용 LNA를 설계하였다^[5]. 최대 이득값 (gain)을 얻기 위해 Independent-mode 보다 큰 $G_{m,max}$

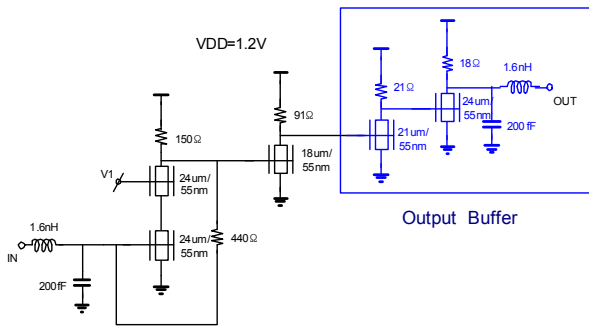


그림 8. LNA(low-noise amplifier) 회로
Fig. 8. Schematic diagram of the LNA. (low-noise amplifier)

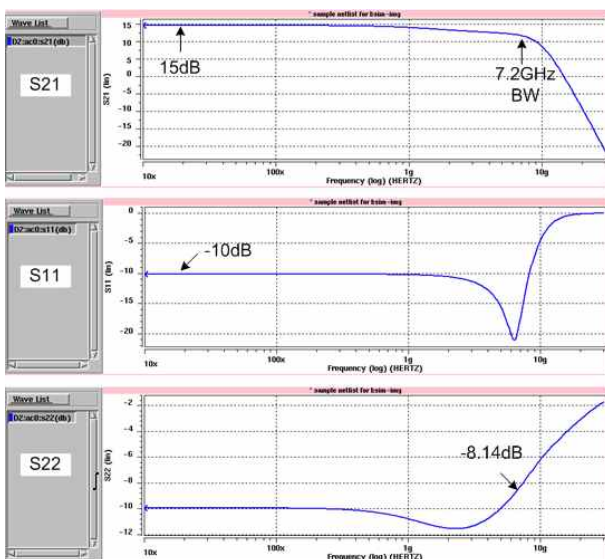


그림 9. LNA의 S-파라미터 시뮬레이션 결과
Fig. 9. Simulated S-parameters results of the LNA.

값을 가지는 Common-mode DG MOSFET를 이용하여 설계하였고 bondwire inductor를 모델링하여 시뮬레이션 하였다^[6]. 그림에서 보는 바와 같이 M1, M2는 Miller effect를 최소화하기 위한 Cascode 형태로 구현하였고, R1을 이용하여 부가적인 voltage source 없이 M1과 M3 소자의 입력노드에 DC 전압이 정해지도록 구성하였다. 또한 소신호 이득(gain) 향상을 위해 M3 소자를 이용한 Common-source type 버퍼회로를 설계하였다. M4 & M5는 출력임피던스 매칭을 위해 추가한 소자로 M4는 buffer 역할, M5는 회로의 isolation을 위한 역할을 하고 수신기 core 회로에서는 제외하도록 한다.

그림 9는 위에서 설계한 LNA 회로의 S-파라미터 시뮬레이션 결과이다. Gain(S_{21})은 15dB, Bandwidth는 7.2GHz이며, 대역폭 내에서 $S_{11} < -10\text{dB}$ 및 $S_{22} < -8\text{dB}$ 로서 50Ω input/output impedance matching이 되고 있음을 확인할 수 있으며 power dissipation은 12.3mW이다.

그림 10은 LNA회로의 noise figure를 시뮬레이션한 결과이다. 회로의 저항에서 발생하는 thermal noise와 소자 내부에서 발생하는 drain current noise 및 gate noise를 고려하여 시뮬레이션 하였다^[6]. 그림에서 보는 바와 같이 대역폭 내의 noise figure는 5dB 이하의 값을 갖는다.

그림 11은 설계한 LNA의 linearity 특성을 시뮬레이션 한 결과로서, 입력과 출력 대비 출력과 출력의 그래프를 나타낸다. 설계한 회로의 P_{1dB} (1dB compression point)는 -12dBm이며, 이로써 입력 IP3가 약 -2dBm임을 예측할 수 있다.

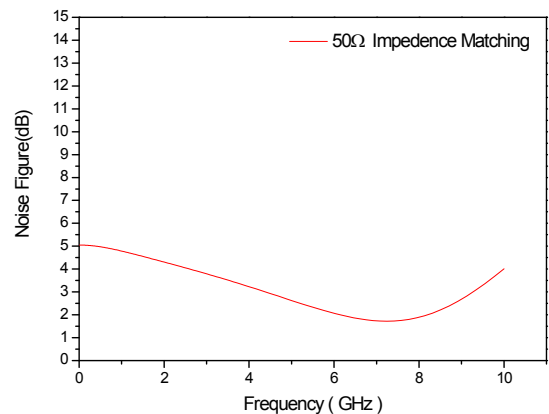


그림 10. LNA의 noise figure simulation 시뮬레이션 결과
Fig. 10. Simulated noise figure results of the LNA.

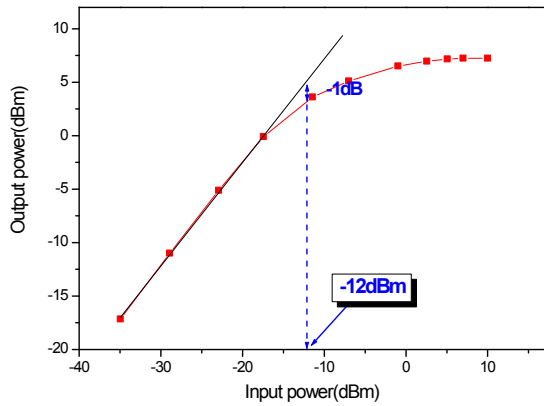


그림 11. LNA의 linearity 특성: P_{1dB} .
(1dB gain compression point)

Fig. 11. Linearity characteristics of the LNA: P_{1dB} .
(1dB gain compression point).

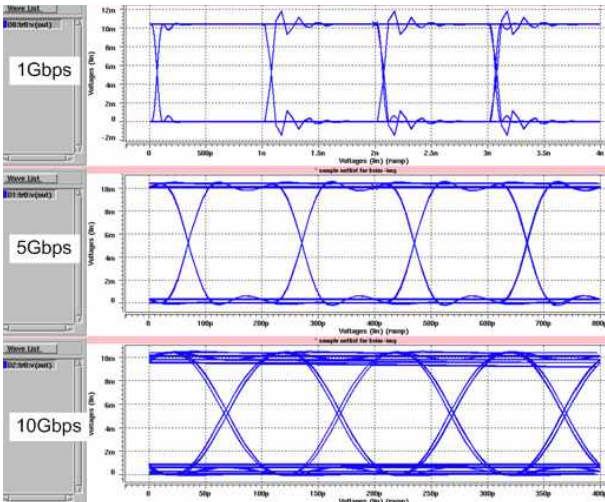


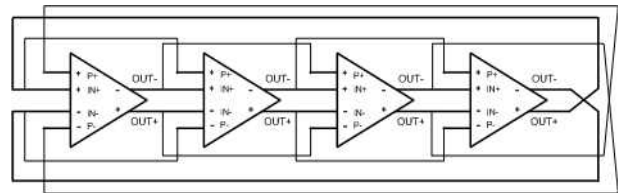
그림 12 LNA회로의 eye-diagram 시뮬레이션 결과

Fig. 12. Simulated eye-diagrams of the LNA for $2^{31}-1$ PRBS inputs.

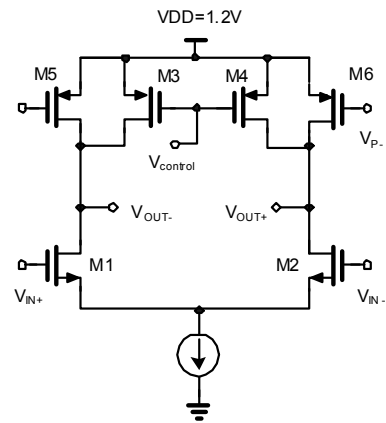
그림 12는 LNA의 transient 시뮬레이션 (eye-diagram) 결과 파형이다. 회로의 대역폭이 7.2GHz이므로 1Gb/s, 5Gb/s, 10Gb/s의 동작속도를 갖는 입력신호 ($2^{31}-1$ PRBS)에 따른 출력 eye-diagram을 시뮬레이션 하였고, 10Gb/s 동작속도까지 eye-diagram이 매우 양호하게 나오고 있음을 확인할 수 있다.

3. Oscillator 회로

본 절에서는 IGM-DG MOSFET을 이용하여 4단의 차동구조 Ring oscillator를 구현하였다. 특히, Single-loop oscillator의 동작속도 한계를 벗어나기 위해 Feed-forward 회로기법을 이용하여 설계하였다.



(a)



(b)

그림 13. Feed-forward ring oscillator의 (a) 블록다이어그램 및 (b) delay cell

Fig. 13. (a) Block diagram and (b) delay cell of the feed-forward ring oscillator.

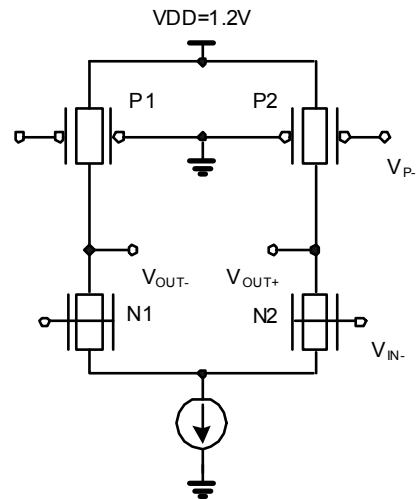


그림 14. IGM-DG MOSFET을 사용한 feed-forward oscillator의 delay cell

Fig. 14. Delay cell of the feed-forward oscillator using IGM-DG MOSFET.

그림 13은 Feed-forward를 사용한 Ring oscillator의 블록다이어그램과 Bulk MOSFET를 사용하여 Oscillator의 Delay cell을 구현한 회로를 보여준다. 기본적인 delay cell에 M5, M6 소자를 추가시킴으로써 oscillator의 2차 루프가 형성되고 이로 인해 입력력 단

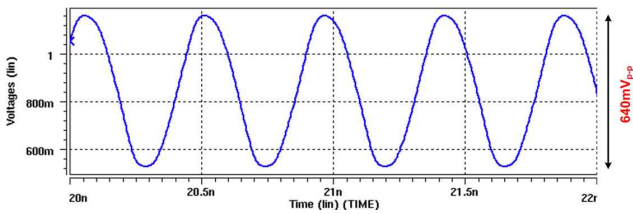


그림 15. Feed-forward oscillator의 출력 시뮬레이션 결과 파형

Fig. 15. Simulated output waveform of the feed-forward oscillator.

에 부가적인 입력단이 생성되어 slew time이 변화하게 된다.

이는 V_{P+} 의 입력전압이 V_{IN+} 의 입력전압보다 먼저 인가되기 때문에 생기는 현상으로 V_{IN+} 가 V_{th} 보다 작을 경우 M1은 꺼지게 되지만, V_{P+} 로 입력이 들어오는 2차 루프의 소자들은 이미 전류를 흐르는 상태가 되기 때문에 feed-forward를 구현하면 출력단의 상승시간이 좀더 짧아지게 되는 효과를 얻을 수 있다^[7~8].

그림 14는 IGM-DG MOSFET을 이용하여 oscillator의 feed-forward를 구성한 회로를 보이고 있다. Delay cell에서 N1, N2는 양단에 같은 전압을 가해주는 Common-mode DG MOSFET으로 동작하고 있고, P1, P2는 IGM-DG MOSFET으로 동작하고 있다. P1, P2에 IGM-DG MOSFET를 사용함으로써 한 개의 소자로 양단의 게이트에 서로 다른 전압을 인가하여 한쪽은 load 역할을, 다른 한쪽은 feed-forward 역할을 하는 회로를 구성하는 것이 가능하다. 이로써 회로의 집적도를 향상시키는 효과를 얻을 수 있다.

그림 15는 출력 버퍼를 연결했을 때의 출력전압에 대한 시뮬레이션 결과이다. 출력전압 스윙 폭은 1.2V 전원전압에서 $640mV_{pp}$ 으로써, 약 $V_{DD}/2$ swing을 하고 있음을 확인 할 수 있고, 이때 전력소모는 13mW이다.

4. RF Receiver 설계

앞 절에서 구성한 Mixer, LNA, Ring oscillator를 이용하여 구현한 RF receiver 회로는 그림 16과 같다.

LNA 입력신호로 2.4GHz의 $4mV_{pp}$ 신호를 인가함으로써 수신기 출력 단에 $100mV_{pp}$ 의 2.4GHz가 발생할 수 있도록 구성하였다. 또한, Oscillator단에는 2.2GHz의 약 $600mV_{pp}$ 의 신호가 생성되게 구성하여 각각 Mixer의 입력단에 인가됨으로써 그림 17과 같은 신호가 나오고 있음을 확인할 수 있다. 표 1은 RF 수신기의 성능 요약 및 비교를 나타낸다.

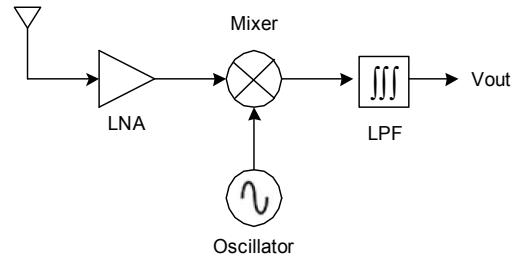


그림 16. RF 수신기 블록 다이어그램

Fig. 16. Block diagram of the RF receiver.

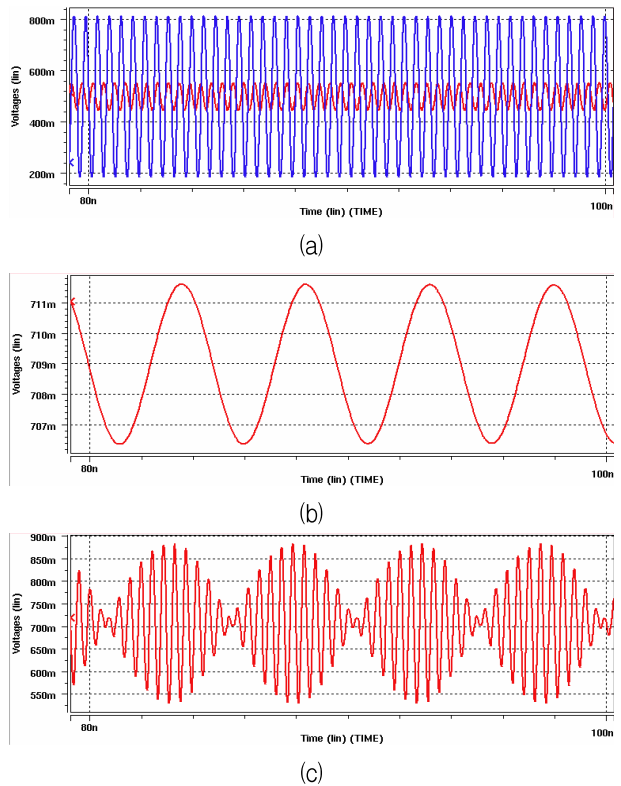


그림 17. 시뮬레이션 결과 (a) Mixer의 front-게이트와 back 게이트 입력신호 (b) LPF 통과전의 Mixer drain의 결과 파형, 및 (c) LPF 통과후의 출력신호 파형

Fig. 17. Simulated output results : (a) input signal of front-gate and back-gate of the mixer, (b) Mixer drain voltage signal before LPF, and (c) output waveform after LPF.

표 1. RF 수신기의 성능요약 및 비교

Table 1. Performance summary and comparison of RF receiver.

Ref.	[9]	[10]	This work
Gain(dB)	12.5	41	21
NF(dB)	28	8.5	11
IIP3(dBm)	-21	-18.3	-4
Power(mW)	N/A	106	32

IV. 결 론

IGM-DG 소자는 back-게이트에 인가되는 전압에 따라 V_{th} 의 조절이 가능하고 소자의 구조에 따라 회로의 성능을 향상시킬 수 있다. 본 논문에서는 기존의 3-terminal 소자구조의 제한에서 벗어나 front-게이트와 back-게이트의 일함수 및 산화막 두께가 상이하더라도 서로 다른 전압이 인가되는 IGM-DG MOSFET를 기반으로 RF 수신기 회로를 설계하였다. 기존의 bulk MOSFET을 IGM-DG MOSFET으로 대체함으로써 한 개의 소자만으로도 Mixer 회로설계가 가능함을 확인하였으며, Feed-forward ring oscillator 회로설계를 통해 추가되는 소자 없이 2차 루프가 형성됨을 보였다. 또한 소자의 T_{ox2} 와 workfunction의 변화에 따라 회로의 성능을 조절할 수 있음을 검증하였다. 이를 통해 IGM-DG MOSFET를 적용한 회로설계는 3-terminal 소자를 이용한 회로설계에 비해 집적도를 높이고 소자의 구조변화에 따라서 회로의 성능을 향상시킬 수 있다는 것을 확인할 수 있었다. 즉, 기존의 회로 및 시스템을 한층 더 업그레이드 할 수 있는 가능성을 보였고 이와 같은 측면에서 신기능 응용 회로 설계뿐만이 아니라 저전력 및 저전압 회로를 응용하는 모든 기술 분야에 4-terminal 소자 적용 가능성을 보였다.

참 고 문 헌

- [1] B. Majkusiak, "Semiconductor Thickness Effects in the Double-Gate SOI MOSFET", IEEE Trans. Electron devices, vol. 45, no. 5, p. 1127, 1998.
- [2] H. S. Wong et al., "Design and Performance Considerations for Sub-0.1um Double-Gate SOI MOSFET's", in IEDM Tech. Deg, p. 747, 1994.
- [3] Y. Taur "An Analytical Solution to a Double-Gate MOSFET with Undoped Body", IEEE Electron Device Lett, vol. 21, no. 5, p. 245, 2000.
- [4] S. Kaya, H. F. A. Hamed, and J.A. Starzyk, "Low-Power Tunable Analog Circuit Blocks Based on Nanoscale Double-Gate MOSFETs", IEEE Trans. Circuits and Systems, vol. 54, no. 7, 2007.
- [5] 박정민 et al., "서브샘플링 직접변환 수신기용 광대역 증폭기 및 High-Q 대역통과 필터", 대한전자공학회지, 제 45권 SD편, 제 11호, p. 89, 2008년.
- [6] T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge, 1998.
- [7] H. Q. Liu, W. L. Goh and L. Siek, "Design and frequency/phase-noise analysis of 10-GHz CMOS ring oscillator with coarse and fine frequency tuning", Analog Integrated Circuits and Signal Processing, vol. 48, p.85, 2006.
- [8] H. Q. Liu, W. L. Goh and L. Siek, "A 0.18-um 10-GHz CMOS Ring Oscillator for Optical Transceivers", IEEE Proc. of ISCAS, vol. 2, p. 1525, 2005.
- [9] J. A. M. Jarvinen et al. "2.4-GHz Receiver for Sensor Applications", IEEE J. of Solid-state circuits, vol. 40, p.1426, 2005.
- [10] D. Yee et al., "A 2-GHz low-power single-chip CMOS receiver for WCDMA applications", IEEE Solid-state circuits conf., p. 57, 2000.

저 자 소 개



정 나 래(학생회원)
 2008년 이화여자대학교
 정보통신학과 학사졸업.
 2009년 현재 이화여자대학교
 전자공학과 석사 2년차.
 <주관심분야 : 메모리 설계, 반도체 소자>



김 유 진(학생회원)
 2009년 이화여자대학교
 정보통신학과 학사졸업.
 2009년 현재 이화여자대학교
 전자공학과 석사 1년차.
 <주관심분야 : 메모리 설계, 반도체 소자>



윤 지 숙(학생회원)
 2008년 이화여자대학교
 정보통신학과 학사졸업.
 2009년 현재 이화여자대학교
 전자공학과 석사 2년차.
 <주관심분야 : RF 및 광통신용 초고속 아날로그 회로 설계>



박 성 민(평생회원)
 1993년 한국과학기술원 전기및 전자공학과 학사졸업
 1994년 런던대학교 전자공학과 석사졸업.
 2000년 임페리얼 공대 전자공학과 박사졸업.
 2004년~현재 이화여자대학교 공과대학 전자공학과 부교수.
 <주관심분야 : RF 및 광통신용 초고속 아날로그 회로 설계>



신 형 순(정회원)
 1982년 서울대학교 전자공학과 학사졸업.
 1984년 University of Texas at Austin 석사졸업.
 1990년 University of Texas at Austin 박사졸업.
 1990년~1994년 LG 반도체 근무.
 1995년~현재 이화여자대학교 공과대학 전자공학과 교수.
 <주관심분야 : 반도체 소자구조, 모델링.>