

논문 2009-46SD-10-8

대기상태인 논리 회로에서의 누설전류 최소화 입력 탐색 방법

(Low Leakage Input Vector Searching Techniques for Logic Circuits at Standby States)

이 성 철*, 신 현 철**

(Sungchul Lee and Hyunchul Shin)

요 약

반도체 공정의 발달로 집적도가 증가하고 문턱전압이 감소하면서, 반도체 집적회로 소모 전력에서 누설전류(leakage current)의 비중이 점차 증가하고 있다. 대기 상태에서 CMOS 조합 회로(combinational circuit)는 입력 값에 따라 누설전류가 크게 달라진다. 본 연구에서는 누설전류로 인한 소모전력을 줄이기 위해 대기 상태 (standby state) 회로의 입력 신호를 제어 하며, 작은 누설전류를 갖는 입력 신호를 찾기 위한 새로운 효율적인 알고리즘을 개발하였다. 이 방법을 벤치마크 예제에 실험 적으로 적용하여 누설전류 평균값에 비해 15.7%, simulated evolution 방법에 비해 6.7% 누설전류를 줄일 수 있음을 보였다. 또한 순차 회로에서도 idle 입력을 이용하여 누설전류 평균값에 비해 6.8%, simulated evolution 방법에 비해 3.2% 누설전류를 줄일 수 있었다.

Abstract

Due to increased integration density and reduced threshold voltages, leakage current reduction becomes important in the semiconductor IC design for low power consumption. In a combinational logic circuit, the leakage current in the standby state depends on the values of the input. In this research, we developed a new input vector control method to minimize the leakage power. A new efficient algorithm is developed to find the minimal leakage vector. It can reduce the leakage current by 15.7% from the average leakage current and by 6.7% from the results of simulated evolution method during standby or idle states for a set of benchmark circuits. The minimal leakage input vector, with idle input signal, can also reduce the leakage current by 6.8% from the average leakage current and by 3.2% from the results of simulated evolution method for sequential circuits.

Keywords : power consumption, leakage current, minimum leakage input vector.

I. 서 론

소모전력은 이동통신기기의 사용시간과 성능을 좌우 하는 중요한 요소로서 자리잡고 있으며, 이동통신기기

에 사용하게 될 반도체를 설계하는데 있어서 소모전력은 매우 중요한 제약요소가 되고 있다. 또한 반도체의 공정 기술이 Deep Sub-Micron(DSM)으로 발전하면서, 선폭은 줄어들고, 동작 주파수는 점점 높아지고 있다.

소모전력은 크게 동적 소모전력 (dynamic power consumption)과 정적 소모전력 (static power consumption)으로 나눌 수 있다. 그림 1에서 공정이 점점 발달할수록 정적 소모전력인 off current와 동적 소모전력인 on current의 차이가 줄어들어 가는 것을 볼 수 있다. 공정이 미세해질수록 전체 current에서 off current, 즉 정적 소모전력의 원인인 누설전류(leakage current)가 차지하는 비중이 커지게 된다.

* 학생회원, 한양대학교 전자전기제어계측공학과 (Dept. of Electronics Engineering, Hanyang University)

** 정회원, 한양대학교 전자컴퓨터공학부 교수 (School of Electrical and Computer Engineering, Hanyang University)

※ 본 연구는 지식경제부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음 (IITA-2009-C1090-0902-0024)

접수일자: 2009년3월3일, 수정완료일: 2009년9월30일

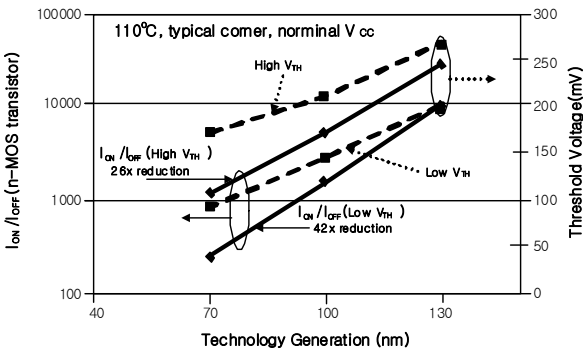


그림 1. 공정 발달에 따른 누설전류의 증가^[3]
 Fig. 1. Leakage current vs. processing technologies^[3].

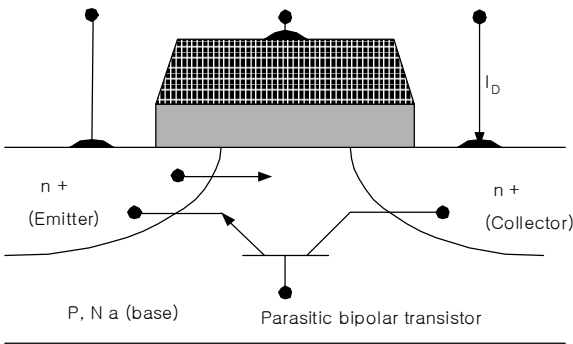


그림 2. Sub-threshold 전류의 근원
 Fig. 2. Sub-threshold leakage current.

DSM 설계에서 동적 소모전력을 줄이기 위해 동작전압(V_{DD})은 점점 낮아지고 있으며, 낮아지는 동작전압으로 인해 문턱전압 (threshold voltage, V_{TH}) 또한 낮아지고 있다.

그러나 그림 2와 같이 MOSFET에서 만들어지는 PN junction으로 인해 생성되는 기생 트랜지스터 (parasitic bipolar transistor)가 생성되고, 문턱전압이 낮아질 경우 기생 트랜지스터로 인해 발생하는 sub-threshold 누설전류는 증가하게 된다. 따라서 누설전류는 고집적, 저전력화 하는 현대의 반도체 설계에서 소모 전력의 증가라는 문제를 야기한다^[3]. 따라서 sub-threshold 누설전류를 줄이기 위한 연구가 활발하게 진행되고 있다.

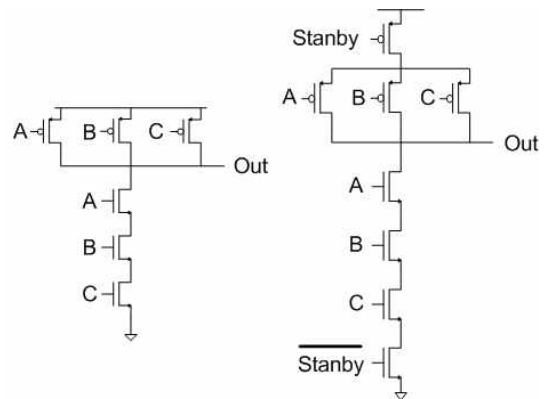
Sub-threshold 누설전류는 MOSFET의 drain과 source 사이의 전압 차(V_{DS})에 비례하고, 문턱전압에 반비례한다. 따라서 누설전류를 줄이기 위해 gate로 전원을 차단하는 방법, 문턱전압을 높이는 방법, 입력 신호를 바꾸는 방법 등이 사용되고 있다.

CMOS의 전원을 gate를 사용해 차단함으로써 누설전류의 발생을 줄이는 방법이 있다. 일반적으로 Sleep transistor라는 높은 문턱전압의 트랜지스터 (high V_{TH}

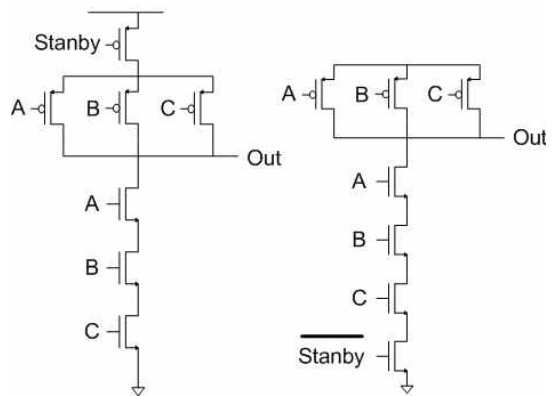
transistor)를 사용하여 전원을 차단하는 스위치를 형성, 대기 상태 (idle time) 에서 스위치를 차단하여 소모 전력을 줄인다^[2]. 그림 3의 (b), (c), (d)는 그림 3의 (a)에 그림과 같은 회로에 대해 높은 문턱전압의 트랜지스터를 사용하여 전원을 차단하는 방법에 대한 예이다.

또한 그림 4의 (b), (c)와 같이 idle 상태에서 CMOS의 전원을 차단하고 임의의 값을 출력시키는 회로를 구성할 수 있다. 이 방법은 누설전류의 원인인 V_{DS} 를 차단하여 누설전류를 크게 줄일 수 있으나, 스위치 추가로 인한 면적 증가, 동작속도 저하, 스위치 트랜지스터 크기의 최적화가 없을 경우 동작 전압의 불안정 등의 단점이 있다. 또한 전원이 차단되어 gate의 출력 신호가 undefined 되는 경우가 발생하므로 차단회로 (isolation gate)가 필요하다.

또 다른 누설전류 감소 방법으로 idle time에서 문턱

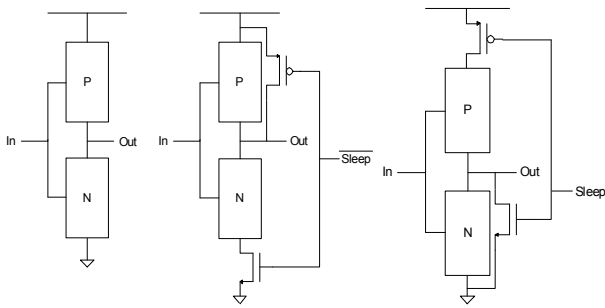


(a) Regular 3-input NAND (b) MTCMOS implementation of a 3-input NAND



(c) L variant of a 3-input NAND (d) H variant of a 3-input NAND

그림 3. 누설전류를 줄이기 위한 3-input NAND gate의 power supply gating 형태
 Fig. 3. 3-input NAND gates and power supply gating to reduce leakage currents.



(a) Out=G(in) (b) Out=OR(sleep, G(in)) (c) Out=AND(sleep, G(in))

그림 4. CMOS에서 power gating 최적화 형태

Fig. 4. A fully complementary CMOS gate and its two modified circuits.

전압을 높이는 방법이 있다. 문턱전압을 높일 경우 노이즈 마진이 줄고, 동작속도를 저하시키므로 전체 회로에 대해 문턱전압을 높이는 방법은 거의 쓰이지 않는다. 또한 여러 가지 문턱전압을 사용할 경우 제작비용의 상승과 같은 문제점이 발생하게 된다. 따라서 2개의 문턱전압 (dual V_{TH})을 사용한 방법을 많이 사용한다^[9].

또 다른 대안으로 회로가 idle 상태일 때 입력 신호를 최적화하여 누설전류를 최소화하는 방법이 있다.

그림 5와 같이 MOS가 stack 구조를 이루면 V_{DS} 가 감소하게 된다. 이로 인해 source와 drain간의 energy barrier는 낮아져, 누설전류가 감소한다. 이를 Drain Induced Barrier Lowering (DIBL) effect라 한다^[7]. MOS의 stacking effect를 이용하면 입력신호 조합의 변경을 통해 누설전류를 줄일 수 있다^[4, 10].

입력 신호를 최적화하여 누설전류를 최소화하는 방법으로, 모든 입력신호에 대해 simulation하여 Minimum Leakage Vector (MLV)를 찾는 방법이 있다. 이 방법은 정확한 MLV를 찾을 수 있지만 input pin의 개수가 증가함에 따라 MLV를 구하는데 걸리는 시간이 지수적으로 증가하는 단점이 있다^[1]. 다른 방법으로 확률적 방법에 의해 MLV를 찾음으로 simulation의 횟수를 줄이는 방법이 있다^[6]. 이 방법은 최소 누설전류를 보장하지 못하므로, sleep period 길이에 따라 유용성이 달라진다. 또한 회로를 Integer Linear Programming (ILP)으로 해석하여 MLV를 구하는 방법이 있다^[5]. 이 방법은 [1]에 비해 정확한 MLV를 구할 수 있지만 회로가 복잡해질 경우 ILP를 푸는데 많은 시간이 걸리는 단점이 있다^[5]. 논문에서는 이 문제를 해결하기 위해 pseudo-Boolean function을 이용한 SAT 변형방법을 통해 연산시간을 줄였으며 이로 인해 누설전류는 약간

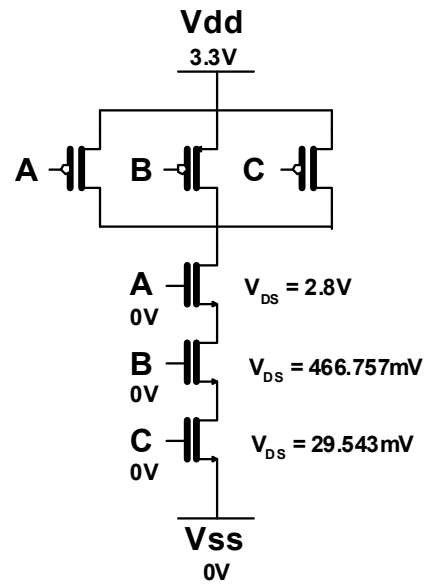


그림 5. Input {000}에서 3 input NAND gate의 stack 구조에 전압분포

Fig. 5. Voltage distribution of 3 input NAND gate (stacked transistors) in OFF state.

증가하게 된다. 그러나 이 방법 역시 ISCAS85 예제의 C6288나 C7552예제는 복잡도가 너무 커 MLV를 검색할 수 없었다.

본 논문에서는 회로가 idle 상태에 있을 때 입력 신호를 최적화하여 누설전류를 최소화하는 방법을 기술한다. 또한 위에서 제시한 문제들을 해결하기 위해 Leakage Minimization by Input vector Control (LMIC)이라는 새로운 알고리즘을 제안한다. 제안하는 알고리즘은 gate 단위의 최적화와 효과적인 탐색을 이용하여 누설전류를 최소화하는 입력 신호를 효율적으로 찾을 수 있다. 또한 회로의 누설전류 크기가 큰 gate부터 최적화하여, 논리 회로에서 MLV를 찾는 데 필요한 시간을 줄일 수 있다.

II. Leakage Minimization by Input vector Control (LMIC)

본 장에서 MLV를 찾기 위하여 초기 입력 신호를 인가하고, 누설전류에 따른 최적화 순서를 결정하며, 논리 회로 값(logic value)을 전파하는 과정에 대해 설명한다.

1. 초기 입력 신호

기존의 MLV 검색 방법으로 회로에 대한 정보 없이

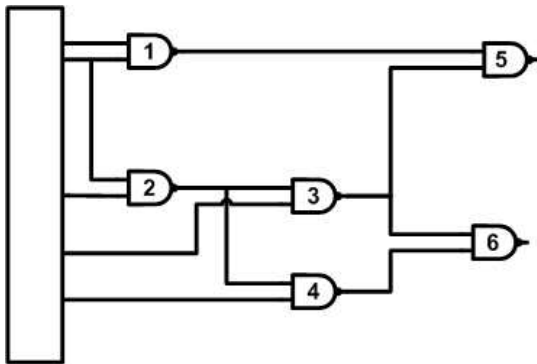


그림 6. ISCAS85 C17 예제
Fig. 6. C17 example of ISCAS85.

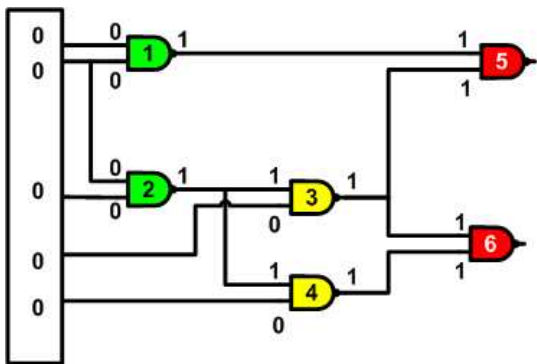


그림 7. 초기 입력 신호 {00000}
Fig. 7. Initial input vector {00000}.

서로 다른 입력 신호간에 값을 비교하거나^[1], 누설전류의 한계값을 두고 SAT 알고리즘을 사용하는 방법^[8] 등이 있다. 이러한 방법은 회로(gate수)가 커지게 될 경우, 연산량이 지수적으로 증가하여 MLV를 찾기가 어려운 단점이 있다. 따라서 본 논문에서는 MLV를 찾는 과정에서 초기 입력 신호를 사용하여 연산량을 줄인다. 초기 입력 신호로 인해 회로 전체의 누설전류 분포를 알 수 있고, 이를 바탕으로 회로의 gate 중에서 누설전류 증가에 큰 영향을 미치는 gate부터 입력 신호를 최적화할 수 있다. 또한 초기 입력 신호에서 발생한 누설전류보다 더 큰 누설전류가 예상되는 입력 신호에 대해 누설전류 추정에 관한 연산을 중단함으로써 불필요한 연산시간을 단축시킬 수 있다.

그림 6은 ISCAS85 예제 중에서 가장 간단한 C17 회로를 보여준다. 그림 7은 그림 6의 예제에 초기 입력 신호 {00000}을 준 것으로, 입력신호를 알면 누설전류가 회로 전체에 어떻게 분포하는지 계산할 수 있다.

TSMC 0.18 공정에서, 2 input NAND gate의 경우, 표 1에 보인 바와 같이 입력이 11일 때 누설전류가 가장 크고 입력이 00일 때 가장 적으며, 전체 gate의 논리

표 1. 입력에 따른 누설전류 (NAND2)

Table 1. Leakage current dependence on input vectors (NAND2).

input vector	leakage current(pA)
00	6.5
01	34.1
10	32.0
11	39.7

값을 아는 것으로 누설전류의 분포를 쉽게 알 수 있다.

본 논문에서 MLV 검색은 휴리스틱 한 검색방법을 사용하므로 초기 입력 신호에 따라 leakage 결과 값이 차이가 날 수 있다. 따라서 본 논문에서는 genetic algorithm을 사용하여 8개의 초기 입력 신호를 만들고 이를 바탕으로 MLV를 구한다.

2. Optimization—Steps to find a Minimal Leakage Vector

초기의 입력 신호로부터 각 gate의 누설전류를 계산하면 이를 바탕으로 최적화 순서를 결정한다. 누설전류가 큰 gate부터 최적화를 수행하며, 누설전류가 같은 경우 임의로 순서를 정한다.

그림 8에서는 gate 5, 6번이 누설전류가 가장 크므로 처음 최적화 gate로 5번을 정한다. 그리고 5번 gate를 최적화하기 위해, 5번 gate의 입력 신호를 바꾼다.

Vector는 Hamming distance가 1인 vector부터 검색해 나가며, 그 중 누설전류가 가장 적은 vector부터 탐색한다. 그림 9에서는 gate 5번의 입력 신호를 {11}에서 {10}으로 바꾼 결과를 보여준다. Gate 5의 input 값을 바꿈으로 인해 gate 3, 6과 논리 회로 값이 맞지 않게 되며, 이는 신호 변경을 전파(propagation)하여서 수정

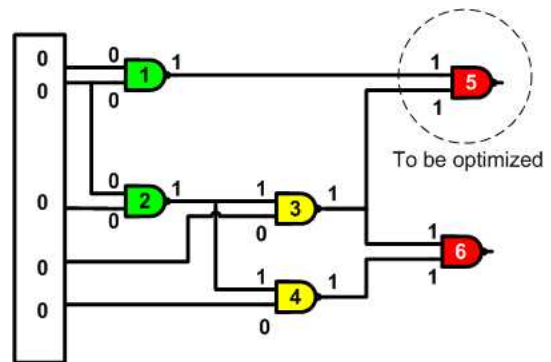


그림 8. Gate 5 선택
Fig. 8. Chose gate 5.

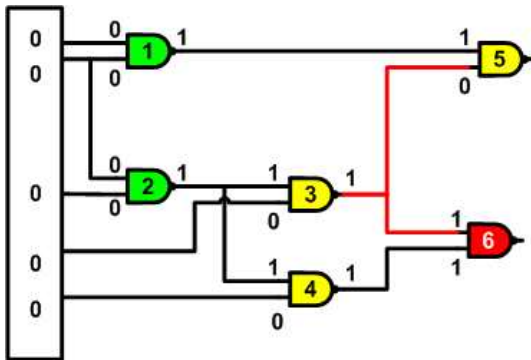


그림 9. Gate 5의 입력 신호를 {11} -> {10}으로 변경
 Fig. 9. Input vector from {11} to {10} of gate 5 has been changed.

하도록 한다. 신호 변경 전과 방법은 다음 절에서 자세히 설명한다.

3. Propagation of the Logic Values to whole Logic Gates

한 gate의 입력 신호를 변경하면 gate의 입력과 입력 신호에 따라 달라진 출력 신호의 값을 회로 전체에 전파해야 한다. 출력 신호 방향으로의 전파는 gate의 출력 신호 값이 변경될 때에만 발생한다. 이때에는 단순히 바뀐 값에 따라 논리값을 다시 계산하여 수정한다. 입력 방향으로의 전파는 상황에 따라 여러 개의 입력신호중 선택을 해야 하는 경우가 있게 된다. 이때 여러개의 입력 신호에 대한 누설전류 변화를 계산하고, 신호 변화에 대해 누설전류가 가장 많이 줄어드는 입력신호부터 선택한다. 값의 전파가 불가능할 때에는 원래의 값으로 환원시키고 다른 입력 값에 대한 탐색을 할 수 있다.

Gate 5의 input을 {11}에서 {01} 또는 {10}으로 바꾸면 gate 5에서의 누설 전류를 줄일 수 있다. 이때 gate

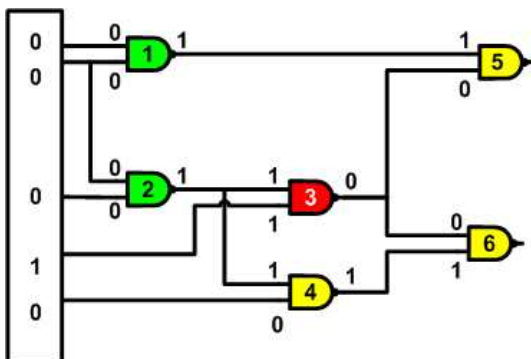


그림 10. 논리 회로 값의 전파
 Fig. 10. Propagation.

5의 input은 {01} 또는 {10} 중에서 gain을 비교하여 선택한다.

그림 9에서 gate 5의 input이 {11}에서 {10}으로 바뀌에 따라 gate 6과 gate 3의 논리 회로 값이 바뀌게 된다. 그림 10은 그림 9에서 논리 회로 값을 전파한 후의 값을 나타낸다. Gate 6의 경우 {11}에서 {01}로, gate 3의 경우 출력 신호가 0이 되므로 input은 {11}로 바뀌게 된다.

알고리즘의 전체 과정은 다음과 같다.

1. Choose initial vectors
2. For input vector w of gate k, and for each input bit I of w, calculate the potential leakage current reduction,

$$priority = |Lavg_i^1(k,w) - Lavg_i^0(k,w)|$$
3. Put each w (with i and k) in a priority queue
4. Until the priority queue is empty.
 - 4.1. Pop a new w(i,k) off the queue.
 - 4.2. Propagate the logic value change of the input w(i,k).
 - 4.3. If propagation is not possible, undo and propagate alternative paths if any. (goto 4)
 - 4.4. Else if propagate is completed & leakage current is not reduced, goto 4
 - 4.5. Else (leakage current reduced), update the input vector & goto step 2
5. If priority queue is empty, program finishes.

4. Minimal Leakage Vector for Sequential Circuits

순차 회로에서는 memory로 인해 현재 input state가 바로 전 입력의 영향을 받으므로 조합 회로에 비해 MLV를 찾기가 어렵다. 회로 안에 입력신호부터 출력 신호까지 레지스터를 k개 거칠 경우 모든 gate에 최적화된 입력 신호를 입력하기 위해서는 k개 이상의 입력 신호를 연속적으로 입력해야 한다. k개 이상의 입력 신호를 연속적으로 입력할 경우 idle 상태에서 누설전류를 줄일 수는 있지만 입력 신호를 k개 이상 인가하는 과정에서 많은 시간을 필요로 하고, 동적 소모전력을 크게 증가시키게 된다. 또한 MLV를 찾는 program의 복잡도 또한 지수적으로 증가하게 된다.

그림 11의 (a)에서 D Flip-Flop (DFF)을 1개 사용

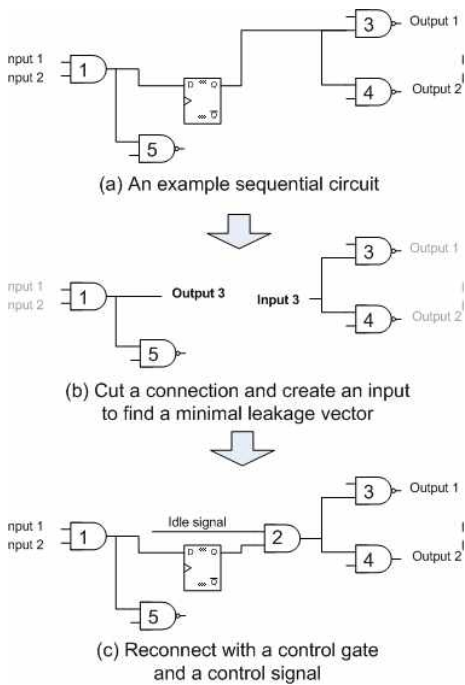


그림 11. 순차 회로에서 LMIC 방법
Fig. 11. LMIC for sequential circuit.

한 간단한 예제 회로를 볼 수 있다. 이 회로에서 gate 3 과 gate 4는 NAND gate이므로 입력신호가 11일 때 누설전류가 최소화된다. Active 상태에서 idle 상태로 변경될 때 register에 저장되어 있는 값이 {1}일 경우 gate 3, 4의 입력 중 register에 연결되지 않은 입력을 {1}로 바꾸면 gate 3, 4의 누설전류가 최소가 되지만, idle 상태로 변경될 때 DFF에 저장되어 있는 값이 {0}일 경우 1 clock을 더 쓰고, gate 1의 입력에 {11}을 순차적으로 입력해서 register에 저장된 {0}의 값을 {1}로 바꾸어 주어야 한다. 또한 이 경우 register 내에 저장된 값은 사라지게 되므로, idle 상태에서 memory 값이 유지되어야 하는 경우 MLV를 찾기가 매우 어려워진다.

본 논문에선 idle 신호를 인가할 수 있도록 control gate를 추가하는 방법으로 순차 회로에서 MLV를 쉽게 인가할 수 있도록 하였다. 그림 11의 (b)에서처럼 DFF 을 없다고 가정하고, DFF 이후에 연결된 gate를 새로운 input pin (input 3)에 연결된 회로로 가정하여 가상의 조합 회로를 만든다. 그리고 만들어진 조합 회로에서 입력 신호 값을 구한 후 그 값이 {1}인지 {0}인지에 따라 각각에 해당되는 control gate를 추가하게 된다. 그림 11에서는 idle 상태일 때 가상으로 만들어진 input 3이 {1}이어야 gate 3과 4의 누설전류가 최소가 될 수 있으므로 OR gate를 control block으로 사용하였다.

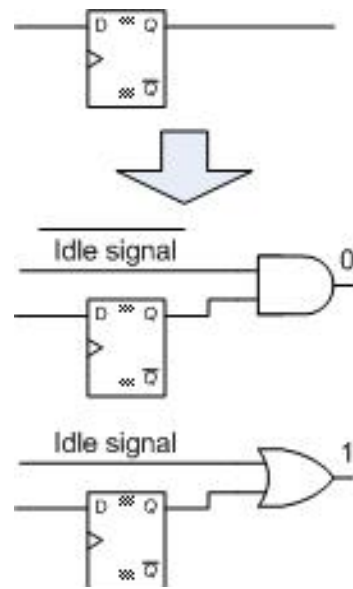


그림 12. 순차 회로에서의 두 control gates
Fig. 12. Two control gate types for sequential circuits.

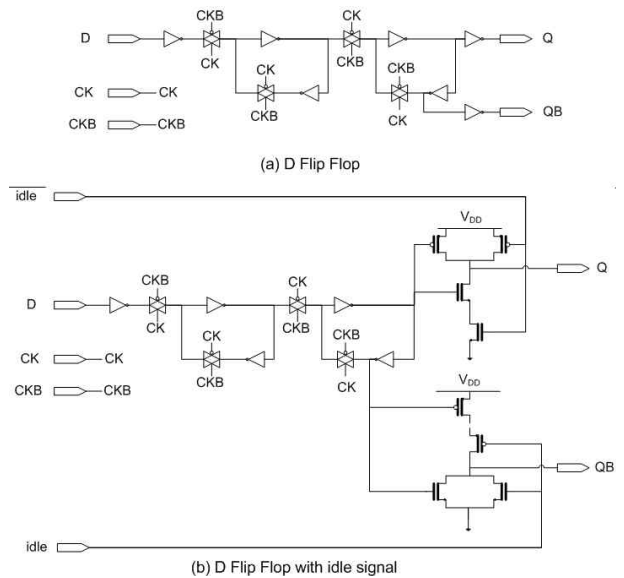


그림 13. Idle signal이 {1}일 경우 Q 값이 {1}로 고정되는 D Flip Flop.
Fig. 13. D Flip Flop have Q value {1} when idle signal is enable.

register의 신호에 따른 control block 종류는 그림 12와 같다.

이 방법은 조합 회로에서 사용한 방법을 그대로 사용하여 효과적으로 누설전류를 줄일 수 있지만 control gate가 DFF 개수만큼 삽입되므로 면적증가 (size overhead)가 발생하는 단점이 있다. Control gate의 면적증가를 줄이는 방법으로 그림 13의 (a)와 같은 flip flop 내의 특정 gate 구조를 (b)와 같이 변경하면 그림

12와 같이 control gate를 배치하지 않아도 idle signal에 따라 출력을 제어할 수 있다.

III. 실험

다음의 표 2는 ISCAS85 예제에 대한 실험 결과이다.

누설전류 값은 TSMC 0.18um 공정값을 사용하여 H-Spice로 계산하였다. Simulated evolution^[11]과 LMIC 연산은 Sun Enterprise-250 (400 MHz x 2EA)을 사용하였다. Average 값은 입력 신호 {0000...}과 {1111...}로 발생한 누설전류 값을 평균한 결과이다. Reduction 값에서 average는 average 누설전류 값과 LMIC로 찾은 최소 누설 전류 값을 비교한 것이고, [11]은 참고문헌 [11]에서 simulated evolution으로 구한 최소 누설전류 값과 LMIC로 구한 누설전류 값을 비교한 것이다. LMIC 방법은 average 값과 비교해 최대 29.6%, 평균 15.7% 누설전류를 줄일 수 있었고, [11]의 simulated evolution (population 50) 과 비교해서도 평균 6.7% 누설 전류를 줄일 수 있었다.

표 3은 순차 회로인 ISCAS 89 예제에서 LMIC 알고리즘으로 minimal leakage vector를 검색한 결과이다^[11]. 방법과 LMIC 방법 모두 그림 12와 같은 control gate를 사용하였으며, control gate 추가로 인한 누설전류 증가로 인해 전체적으로 leakage를 줄이는 비율이 감소하였다. average 값과 비교해 최대 10.9%, 평균 6.8% 누설전류를 줄일 수 있었고, simulated evolution 과 비교해서도 평균 3.2% 누설 전류를 줄일 수 있었다. 또한 구성 gate가 만개가 넘는 S15850, S35932 회로에 대해서도 LMIC를 이용하여 누설 전류를 줄이는 입력

표 2. TSMC 0.18 um 공정에서 결과 비교
Table 2. Performance of LMIC with TSMC 0.18um process parameters.

예제	leakage current (pA)			Reduction from (%)		CPU time (sec)
	average	[11]	LMIC	average	[11]	
c432	6117	5043	5026	17.84	0.33	10
c499	17167	11959	12087	29.59	-1.07	22
c880	15747	14364	11884	24.53	17.26	38
c1355	18077	16569	17569	2.81	-6.04	40
c1908	34156	31530	31288	8.40	0.77	115
c2670	52562	47985	41833	20.41	12.82	132
c3540	73972	69420	61488	16.88	11.43	144
c5315	101564	93740	92827	8.60	0.97	102
c7552	153820	137386	125548	18.38	8.62	158
Sum	473182	427995	398750	15.73	6.65	761

표 3. 순차 회로에서 LMIC 알고리즘으로 줄어든 누설전류 (TSMC 0.18 um 공정)

Table 3. Performance of LMIC with sequential circuits (TSMC 0.18um process parameters).

예제	Gate 개수	leakage current (pA)			Reduction from (%)		CPU time (sec)
		average	[11]	LMIC	average	[11]	
S208	112	4199	4098	4098	2.4	0.0	9
S298	133	4752	4357	4357	8.3	0.0	14
S344	175	6209	6015	5750	7.4	4.4	27
S349	176	6498	6284	6030	7.2	4.0	27
S382	179	6389	6196	6128	4.1	1.1	29
S386	165	6047	5812	5793	4.2	0.3	24
S400	185	6027	5899	5832	3.2	1.1	31
S420	234	8451	8196	8131	3.8	0.8	51
S444	202	7301	6829	6628	9.2	2.9	37
S510	217	8618	8136	7802	9.5	4.1	44
S526	214	7789	7589	7290	6.4	3.9	42
S641	398	15252	13842	13596	10.9	1.8	155
S713	412	15921	14982	15170	4.7	-1.3	166
S820	294	11191	10763	10121	9.6	6.0	83
S832	292	11149	10775	10214	8.4	5.2	82
S838	478	17310	16677	15728	9.1	5.7	225
S953	424	14968	14696	14290	4.5	2.8	176
S1196	547	20950	19824	18709	10.7	5.6	296
S1238	526	20826	20322	19568	6.0	3.7	273
S5378	2958	99165	99031	98830	0.3	0.2	1746
S9234	5825	224377	203890	203428	9.3	0.2	4844
S13207	8589	318105	309628	296942	6.7	4.1	7374
S15850	10369	376864	362544	351066	6.8	3.2	10748
S35932	17793	620452	603654	578457	6.8	4.2	31656
Sum	50897	1838810	1770039	1713958	6.8	3.2	58159

신호를 검색할 수 있었다.

[11]의 simulated evolution 방법의 경우 입력신호의 경우의 수가 많기 때문에 적절한 시간 제약을 두고 수행할 경우 최적에 가까운 값을 찾기 어렵다. 따라서 LMIC 방법이 더 좋은 결과를 나타낼 수 있으며, 이는 표 2, 3을 통해 알 수 있다.

IV. 결론

본 논문에서 제안한 LMIC 알고리즘은 gate 단위의 최적화를 통해 효과적인 대기 상태에서의 저전력 입력 신호 탐색으로 누설전류를 크게 줄이는 입력 신호를 효율적으로 찾을 수 있다. 대규모 회로에서도 빠른 시간에 누설전류를 크게 줄이는 입력 신호를 찾을 수 있으며, control gate의 추가를 통해 순차 회로에서도 누설전류를 감소시키는 입력 신호의 검색이 가능하다.

참고 문헌

- [1] A. Abdollahi, F. Fallah, P. Massoud, "Runtime mechanisms for leakage current reduction in CMOS VLSI circuits", IEEE Proceedings of the 2002 International Symposium on Low Power Electronics and Design, 12-14, pp. 213-218, Aug. 2002.
- [2] A. Chandrakasan, W. Bowhill, F. Fox, "Design of High Performance Microprocessor Circuits", IEEE Press. 2000.
- [3] B. Chatterjee, M. Sachdev, S. Hsu, R. Krishnamurthy, and S. Borkar, "Effectiveness and Scaling Trends of Leakage Control Techniques for Sub-130nm CMOS Technology," ISLPED 03 August 25-27, 2003.
- [4] C. Zhanping, M. Johnson, W. Liqiong, and W. Roy, "Estimation of standby leakage power in CMOS circuit considering accurate modeling of transistor stacks," IEEE Proceedings International Symposium on Low Power Electronics and Design, pp. 239-244, 10-12 Aug. 1998
- [5] F. Gao, and J.P. Hayes, "Exact and heuristic approaches to input vector control for leakage power reduction" Computer Aided Design, 2004. ICCAD-2004. IEEE/ACM International Conference, pp. 527 - 532, 7-11, Nov. 2004.
- [6] J. Halter and F. Najm, "A Gate-Level Leakage Power Reduction Method for Ultra Low Power CMOS Circuits", IEEE Custom Integrated Circuits Conference, pp 475-478, 1997.
- [7] J. Wenjie, V. Tiwari, E. Iglesia, A. Sinha, "Topological analysis for leakage prediction of digital circuits," Design Automation Conference, 2002. Proceedings of ASP-DAC 2002. Proceedings 7th Asia and South Pacific and the 15th International Conference on VLSI Design, pp. 39-44, 7-11 Jan. 2002.
- [8] K. Chopra, B. Sarma, and K. Vrudhula, "Implicit Pseudo Boolean Enumeration Algorithms for Input Vector Control," Design Automation Conference 2004, 47-2, 7-11, Jun 2004.
- [9] L. Wei, Z. Chan, M. Johnson, K. Roy and V. De, "Design and Optimization of Low Voltage High Performance Dual Threshold CMOS Circuits", Proceedings of the 35th Design Automation Conference(DAC), pp. 489-494, 1998.
- [10] M. Johnson, D. Somasekhar, and K. Roy, "Models and Algorithms for bounds in CMOS Circuits", IEEE Transactions on CAD of Integrated Circuits and Systems, Vol. 18, NO. 6, pp. 714-725, June 1999.
- [11] Y. Kim, J. Lee, E. Shin, H. Shin, and J. Yi, "Minimization of Leakage Current by Using the Genetic Algorithm", SOC 학술대회, pp. 190-194, May. 2005.

저 자 소 개



이 성 철(학생회원)
2001년 한양대학교 전자컴퓨터
공학부 학사.
2003년 한양대학교 전자전기 제어
계측공학과 석사.
2009년 한양대학교 전자전기 제어
계측공학과 박사과정.

<주관심분야 : CAD&VLSI, 반도체>



신 현 철(정회원)
1978년 서울대학교 전자공학과
학사
1980년 한국과학기술원 전기 및
전자공학과 석사
1983년~1987년 U.C. Berkeley
박사

1983년~1987년 Fulbright scholarship

1987년~1989년 MTS, AT&T Bell Lab's,
Murray Hill N.J., USA.

1997년~2008 IDEC 한양대학교 지역센터 센터장,
1989년~현재 한양대학교 전자컴퓨터공학부
교수,

2008년~현재 ITRC Multi-core Design
methodology 연구센터 소장.

<주관심분야 : CAD&VLSI, 통신용 반도체 설계,
저전력 설계>