

논문 2009-46SD-10-11

Current Mode Signaling 방법을 이용한 0.18 μ m CMOS 3.2-Gb/s 4-PAM Serial Link Receiver

(A 0.18 μ m CMOS 3.2-Gb/s 4-PAM Serial Link Receiver Using Current
Mode Signaling)

이 정 준*, 정 지 경*, 범 진 욱**, 정 영 한***

(Jeongjun Lee, Jikyung Jeong, Jinwook Burm, and Younghan Jeong)

요 약

본 논문은 0.18 μ m CMOS 공정을 이용하여 3.2 Gb/s serial link receiver를 설계하였다. High-speed links의 performance를 제한하는 가장 큰 요소는 transmission channel bandwidth, timing uncertainty가 있다. 이러한 문제점을 해결하기 위한 방법으로 multi-level signaling(4-PAM)을 이용하였다. 추가적으로 전송속도를 높이고 BER를 낮추기 위한 방법으로 current-mode amplifier, CML sampling latch를 사용하였다. 4-PAM receiver의 최대 데이터 전송속도는 3.2 Gb/s이다. BER은 1.0×10^{-12} 이하이며 chip size는 $0.5 \times 0.6 \text{ mm}^2$ 이고 1.8 V supply voltage에서 49mA current를 소모한다.

Abstract

The design of a 3.2 Gb/s serial link receiver in 0.18 μ m CMOS process is presented. The major factors limiting the performance of high-speed links are transmission channel bandwidth, timing uncertainty. The design uses a multi-level signaling(4-PAM) to overcome these problems. Moreover, to increase data bit-rate and lower BER, we designed this circuit by using a current mode amplifier, Current-mode Logic(CML) sampling latches. The 4-PAM receiver achieves 3.2 Gb/s and BER is less than 1.0×10^{-12} . The $0.5 \times 0.6 \text{ mm}^2$ chip consumes 49 mA at 3.2 Gb/s from a 1.8-V supply.

Keywords : 4-PAM, Transceiver, Receiver, Transmitter, CMOS

I. 서 론

전체적인 system 성능을 향상시키기 위해 system 내부 칩 사이의 communication speed를 증가시켜야 한다. 이와 같은 interconnection에서 multi Gb/s data rates을 충족하고 channel symbol rate을 줄이기 위해

multi-level signaling이 사용된다.

Multi-level이 많을수록 data 전송량은 많아지나, 너무 많은 level은 transmitter 출력의 eye height를 낮추기 때문에 또 다른 인식오류를 가져올 수 있다. 따라서 4 level을 사용하는 4-PAM이 많이 쓰인다. 4개의 level을 사용하는 경우 각 symbol은 2 bit의 데이터를 포함한다. 4-PAM은 OOK와 비교하여 eye opening의 크기가 1/3 밖에 되지 않으므로 9.5 dB SNR penalty를 가지게 된다.

본 연구에서는 high-speed serial link를 구현하기 위해 bandwidth가 높은 common-gate amplifier를 이용한 current mode signaling 방법과 CML 구조의 latch를 사용하였다^[1-3].

* 학생회원, ** 평생회원, 서강대학교 전자공학과
(Dept. of Electronic Eng., Sogang University)

*** 정회원 (주)하이닉스 반도체
(Hynix Semiconductor Inc.)

※ 본 결과물은 하이닉스의 연구지원으로 수행되었으며, IT SoC 핵심설계인력양성사업의 연구결과입니다.

※ 설계 소프트웨어는 IDEC을 통해 지원되었습니다.
접수일자: 2009년8월10일, 수정완료일: 2009년9월22일

II. Receiver 설계

Receiver는 transceiver 시스템에서 전송속도 및 Bit Error Ratio(BER)를 결정짓는 매우 중요한 부분이다. 따라서 current mode 방식과 새로운 comparator, 고속 CML latch를 사용하여 receiver를 구성하였다. 4-PAM transceiver 구조는 Pseudo Random Bit Sequence (PRBS) generator, transmitter 그리고 receiver로 구분된다.

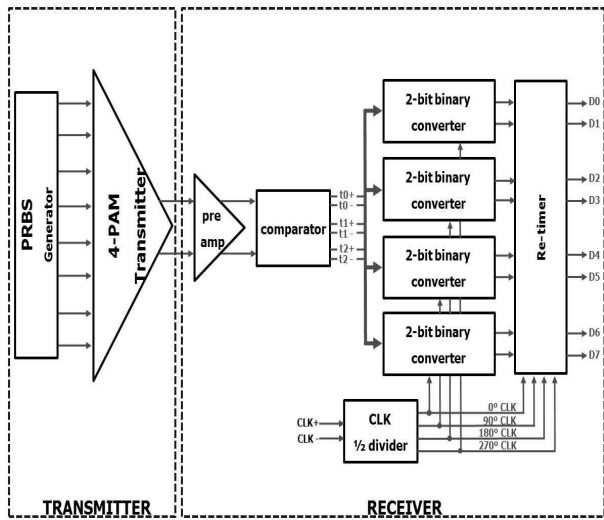


그림 1. 4-PAM transceiver 전체블록도와 receiver의 상세도
 Fig. 1. Architecture of 4-PAM transceiver.

4-PAM receiver는 그림 1과 같이 pre-amplifier, comparator, 2-bit binary converter(sampler, sense amplifier, decoder), clock divider, re-timer로 구성되어 있다. Transmitter에서 출력되는 4-level current signal을 pre-amplifier를 통하여 voltage signal로 변환해주고 comparator에서 3-bit thermometer code로 변환해 준다. 다음으로 clock divider로부터 4-phase clock을 받아 2-bit binary converter에서는 1:4 de-multiplexing 역할을 한다. 2-bit binary converter 내부의 decoder를 통해 본래의 신호로 복원되고 마지막으로 re-timer가 모든 출력신호를 clock에 동기 시킨다^[4~8].

1. Pre-amplifier

Pre-amplifier 구조는 그림 2와 같다. Receiver의 front-end 블록으로서 4-PAM transmitter에서 전송되는 4-PAM current signal을 받아들이는 회로이다. High

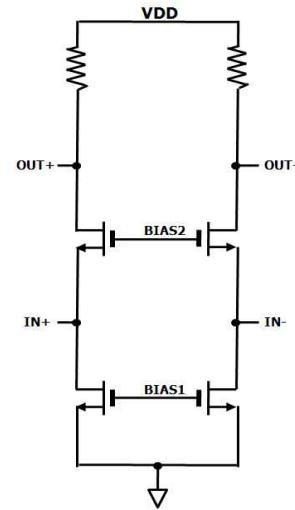


그림 2. Current-mode Pre-amplifier 구조
 Fig. 2. Architecture of current-mode Pre-amplifier.

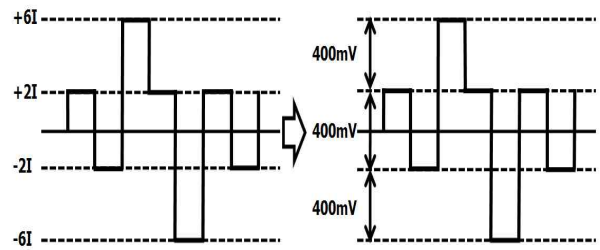


그림 3. 4-PAM current to 4-PAM voltage conversion
 Fig. 3. 4-PAM current to 4-PAM voltage conversion.

speed 동작을 위해 current mode로 설계되었기 때문에 4-PAM signal 또한 transmitter에서 current 형태로 전송되게 된다. Pre-amplifier에서 current signal을 받아 voltage 신호로 변환한다. Common gate 입력 단을 이용하여 주파수 특성을 향상하고, 50 Ω matching을 하도록 하였다. Pre-amplifier의 I-V 변환은 그림 3과 같다. +6I, +2I, -2I, -6I의 differential current signal을 받아 400mV의 차이를 갖는 differential voltage signal로 변환된다. Common-gate amplifier는 Miller effect가 적기 때문에 common-source amplifier보다 bandwidth가 높다. 따라서 고속 동작을 위해 common-gate amplifier 구조를 사용하였다.

2. Comparator

Comparator는 pre-amplifier에서 출력되는 4-PAM signal을 3-bit thermometer code로 변환해 주는 회로이다. 4-PAM signal에서 1개의 level은 2-bit data 정보를 갖고 있다. 따라서 1개의 level을 2개의 bit으로 변환

하면 receiver의 decoding이 완료된다. 4-level signal에서 2개의 bit으로의 직접 변환이 어려우므로 thermometer code를 사용하여 3개의 bit으로 변환한 후, 다시 2개의 bit으로 변환한다.

Comparator는 그림 4와 같이 2개의 쌍으로 이루어진 source-follower 형태로 구성되어 있다. Comparator output은 input signal과 동일한 파형을 갖지만 common mode voltage 만큼의 차이를 갖고 출력된다. 그림 4의 T0+와 T2-는 common mode voltage만 다르고 파형 형태는 동일하다. T0-와 T2+도 동일하다. T1의 경우 input 파형과 동일하다. 따라서 최종적으로 출력되는 code의 형태는 표 1과 같다.

8개의 NMOS와 2개의 저항만을 사용하여 구성된 comparator를 이용하여 thermometer code를 만들 수 있다. 기존 ADC회로에서 사용하는 comparator는 MOS 사용 개수가 많고 회로가 복잡하여 고속 동작에 불리하다. 또한 sampling clock 주파수가 data 주파수보다 2배 커야하는 단점을 갖고 있다^[9].

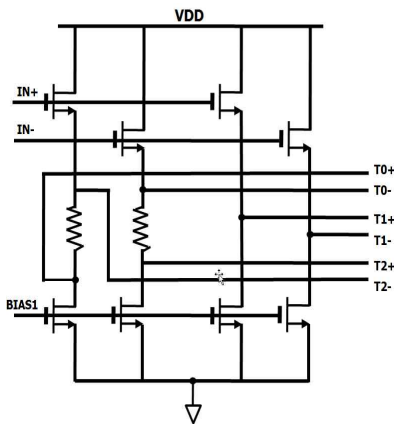


그림 4. Comparator 구조
Fig. 4. Architecture of Comparator.

표 1. Level에 따른 Thermometer code
Table 1. Thermometer code according to level.

구분	T2	T1	T0
+6I	0	0	0
+2I	0	0	1
-2I	0	1	1
-6I	1	1	1

3. 4-Phase Clock Divider

4-PAM signal은 comparator를 거쳐 1:4

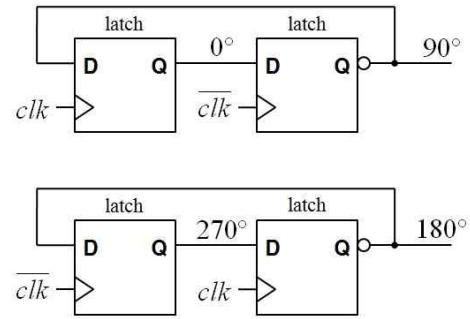


그림 5. 4-Phase Clock Divider 구조
Fig. 5. Architecture of 4-Phase Clock Divider.

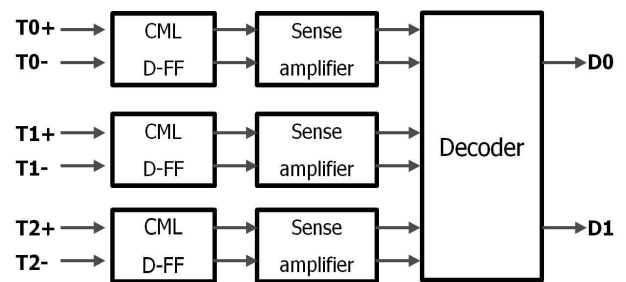


그림 6. 2-bit binary converter 구조
Fig. 6. Architecture of 2-bit binary converter.

de-multiplexing 된다. 1:4 de-multiplexing은 sampling D-FlipFlop(D-FF)에 의해 동작되는데 clock의 rising edge에서 data를 sampling하게 된다. 따라서 1:4로 데이터를 분리하려면 4개의 각각 다른 phase를 가진 clock 신호가 필요하다. 따라서 4-phase clock divider는 1:4 de-multiplexing을 하기 위한 clock을 생성해주는 회로이다.

Clock divider의 구조를 살펴보면 그림 5와 같다. Latch를 네 개 사용하였고, 그림과 같이 latch와 latch 사이의 clock과(0°, 270°) output 단의 clock(90°, 180°)을 사용함으로써 4개 phase clock을 얻을 수 있다. Latch의 종류는 TSPC 구조를 사용하였으며 출력의 duty cycle의 정확도를 위해 differential clock input을 사용하였다.

4. 2-bit binary converter

2-bit binary converter구조는 그림 6과 같다. 구조는 sampler, sense amplifier, decoder로 구성되어있다. 4개의 2-bit binary converter가 있으면 그 안에는 각각 3개의 sampler로 이루어져있다. Clock divider에서 출력되는 4개의 phase clock을 이용하여 sampler가 rising edge에서 동작하며, 3개의 differential input을 sampler

를 통해 high level 또는 low level로 구분한다. Sampler의 output swing을 늘리기 위해 sense amplifier를 추가하였다. 마지막으로 3개의 thermometer code를 binary code로 변환하는 decoder를 거쳐 본래의 신호로 복원된다.

가. Sampler

Sampler는 comparator에서 출력되는 4-PAM signal을 1:4 de-multiplexing 하는 회로이다. Serial link로 들어오는 4-PAM signal은 전송속도가 매우 높기 때문에 바로 binary signal로 decoding하기에는 어렵다. 따라서 1:4로 de-multiplexing 한 후 decoding을 하여 저속에서 error bit 없이 decoding을 할 수 있다.

Sampler의 구조는 그림 7과 같다. 고속 동작을 위해 CML 구조의 latch를 이용하여 D-FF을 구현하였다^[10]. Comparator의 differential output은 voltage spacing이 매우 작다. 따라서 작은 voltage spacing을 detect 할 수 있는 CML latch를 사용하였으며 output swing을 크게 하기 위한 구조로 설계되었다(그림 8).

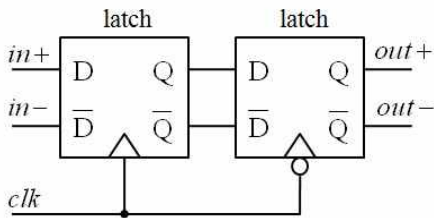


그림 7. Sampler 구조
Fig. 7. Architecture of sampler.

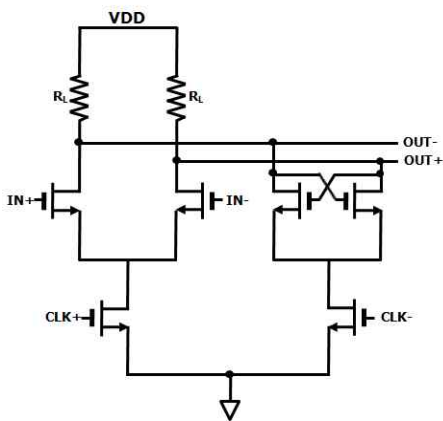


그림 8. CML latch 구조
Fig. 8. Architecture of CML latch.

나. Sense amplifier

CML 구조의 sampler는 output swing이 작다. Decoder에서 정확한 binary signal을 얻기 위해서는 full-swing이 필요하다. 따라서 sense amplifier를 이용하여 sampler의 output을 full-swing으로 바꾼다. Sense amplifier의 구조는 그림 9와 같다. Sampler에서 동작 주파수를 낮추었기 때문에 sense amplifier의 동작 주파수는 낮다. Clock 입력을 사용하여 sense amplifier를 on/off 한다.

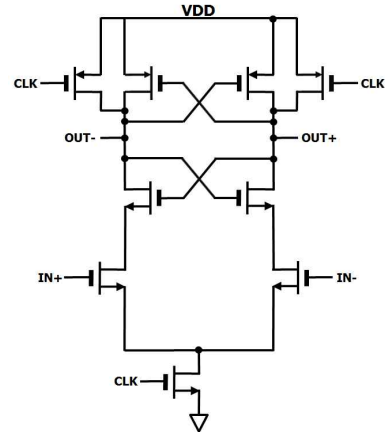


그림 9. Sense amplifier 구조
Fig. 9. Architecture of sense amplifier.

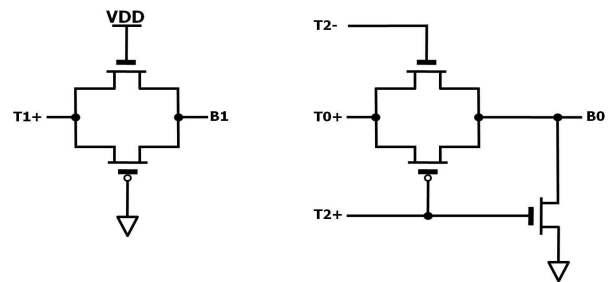


그림 10. Decoder 구조
Fig. 10. Architecture of decoder.

표 2. Decoding table
Table 2. Decoding table.

thermometer			binary	
T2	T1	T0	B1	B0
0	0	0	0	0
0	0	1	0	1
0	1	1	1	1
1	1	1	1	0

다. Decoder

Decoder의 구조는 그림 10과 같다. Decoder의 역할

은 3-bit thermometer code를 본래 신호인 2-bit binary code로 바꾸어주는 회로이다. 표 2는 decoding table이다.

5. Re-timer

2-bit binary decoder에서 출력되는 signal은 4 phase clock에 동기 되어 출력된다. 따라서 re-timer에서는 4 개의 2-bit binary converter에서 출력되는 signal을 동기 시켜야한다. Re-timer의 구조는 그림 11과 같고 re-timer에 사용되는 clock은 그림 12와 같다. D-FF을 사용하여 빨리 들어오는 데이터를 hold하고 마지막단의 D-FF은 같은 clock을 입력하여 모든 데이터가 같은 clock에 동기 되어 출력되도록 하였다.

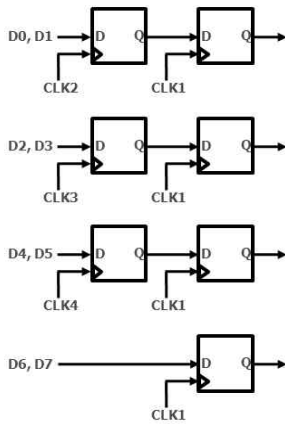


그림 11. Re-timer 구조
Fig. 11. Architecture of re-timer.

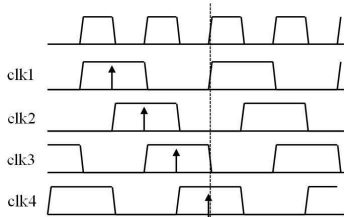


그림 12. 4-phase clock
Fig. 12. 4-phase clock.

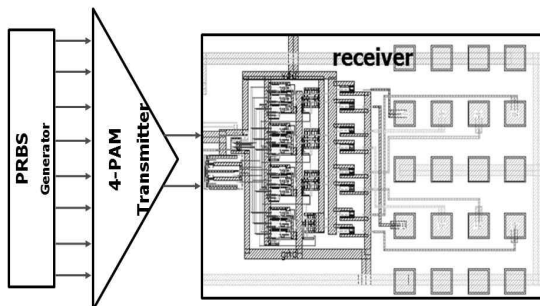


그림 13. Receiver layout
Fig. 13. Receiver layout.

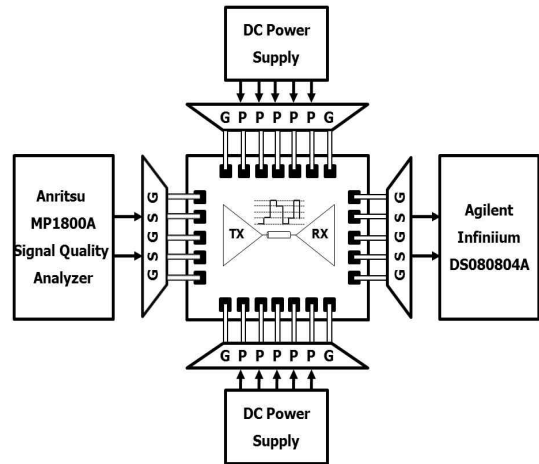


그림 14. 측정 환경
Fig. 14. Measurement environment.

III. 실험

1. 칩 제작 및 측정환경

Receiver의 제작은 Dongbu HiTek 0.18 μm CMOS 공정을 이용하였고 그림 13과 같이 layout을 하였다. Chip size는 0.5 × 0.6 mm²이고 1.8 V supply voltage에서 49mA current를 소모한다[11].

Receiver의 측정을 위해 PRBS generator와 transmitter를 연결하여 그림 14와 같이 측정 환경을 구성하였다. DC voltage source 2개(Keithley 237), signal quality analyzer(Anritsu MP1800A), signal generator(agilent 83712B), oscilloscope(agilent DSO80804A)가 사용되었다. Signal generator의 clock은 signal quality analyzer의 reference clock으로 사용되고, signal quality analyzer의 output clock은 PRBS, transmitter, receiver의 input clock으로 사용된다. D0 ~D7 output data는 oscilloscope를 통하여 time domain에서 측정된다.

제작된 칩은 on-wafer상태로 측정이 될 수 있도록 고속 microwave probe를 사용하였다. Clock 입력부분과 data output은 GSGSG probe, DC 입력부분은 GPPPPG probe 두 개를 사용하였다.

2. Receiver 측정결과

Receiver의 측정을 위해서는 4-PAM signal 입력을 받아야 한다. 따라서 자체 회로로는 측정할 수 없고 입력부분에 transmitter과 PRBS회로를 추가하여 측정하

였다.

Receiver의 input에 해당하는 4-PAM signal은 그림 15와 같다. 800 MHz clock이 transmitter에 인가되었을 때 3.2 Gb/s output을 얻을 수 있었다. Eye height는 output buffer와 oscilloscope와의 50 Ω matching 때문에 simulation 결과보다 작은 160 mV이다(그림 16). 그림 15와 같은 4-PAM signal을 input으로 받아 receiver 동작을 측정한 결과는 그림 17~19와 같다. Output 결과는 PRBS generator에서 출력되는 파형과 동일한 파형이 출력된다. Clock 주파수는 200 MHz, 400 MHz, 800 MHz이고, output data는 800 Mb/s, 1.6 Gb/s, 3.2 Gb/s 이다.

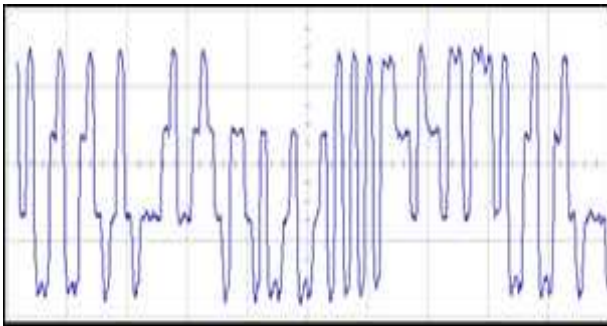


그림 15. 4-PAM transmitter output(3.2 Gb/s)
Fig. 15. 4-PAM transmitter output(3.2 Gb/s).

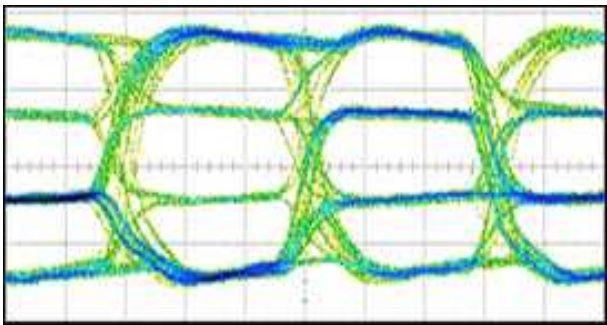


그림 16. 4-PAM transmitter output eye-diagram(3.2 Gb/s)
Fig. 16. 4-PAM transmitter output eye-diagram(3.2 Gb/s).

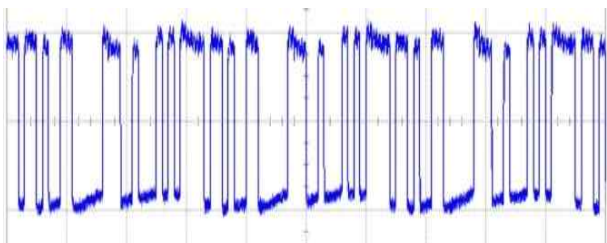


그림 17. Receiver output(800 Mb/s)
Fig. 17. Receiver output(800 Mb/s).

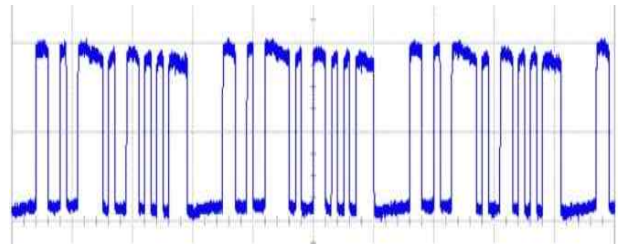


그림 18. Receiver output(1.6 Gb/s)
Fig. 18. Receiver output(1.6 Gb/s).

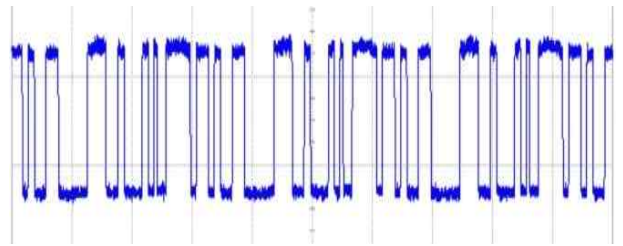


그림 19. Receiver output(3.2 Gb/s)
Fig. 19. Receiver output(3.2 Gb/s).

IV. 결 론

본 연구는 고속 전송 시스템에서 serial link로 많은 데이터를 전송시키는 방법인 4-PAM signaling을 사용하여 receiver를 설계하였다.

4-PAM receiver의 특징은 current mode 방식을 적용하여, common-gate amplifier 구조의 pre-amplifier가 current signal을 받아 voltage signal로 변환하고 따라서 고속 동작이 가능하게 되었다. 또한 4-level signal을 구분하는 방법으로 ADC 대신 comparator를 사용하여 clock 주파수를 낮출 수 있었으며 decoding 속도를 높였다.

최종 측정 결과는 Dongbu HiTek 0.18 μm CMOS 공정을 이용하여 최대 data rate 3.2 Gb/s까지 가능하게 하였고 1.8V supply voltage에서 약 49mA current를 소모하였다. 칩 크기는 0.3 mm²이다.

참 고 문 헌

- [1] A. Maxim, "A 3.3V 10Gb/s SiGe limiting transimpedance amplifier using a pseudo differential input and a limiting Cherry-Hooper stage" *Radio Frequency Integrated Circuits (RFIC) Symposium, 2005. Digest of Papers. 2005 IEEE*, pp. 313 - 316, June 2005.

[2] D. Kehrer, and H.D. Wohlmuth and H. Knapp and M. Wurzer and A.L. Scholtz, "40Gb/s 2:1 multiplexer and 1:2 demultiplexer in 120nm CMOS" *ISSCC, Digest of Technical Papers*, pp. 344-345, 2003.

[3] Tomas H. LEE, "The Design of CMOS Radio Frequency Integrated Circuits", 2nd, Cambridge University Press, 1998.

[4] R. Farjad-Rad et al, "A 0.4 um CMOS 10-Gb/s 4-PAM pre-emphasis serial link," *IEEE Journal of Solid-state Circuits*, vol. 34, pp. 580-585, May 1999.

[5] R. Farjad-Rad et al, "A 0.3um CMOS 8-Gb/s 4-PAM Serial Link Transceiver", *IEEE Journal of Solid-state Circuits*, vol. 35, pp. 757-763, May 2000.

[6] Jean Jiang and Fei Yuan, "A New CMOS Current-Mode Multiplexer for 10 Gb/s Serial Links", *AICSP*, vol. 44, pp. 61-76, 2005.

[7] K. Farzan and David A. Johns, "A CMOS 7-Gb/s Power-Efficient 4-PAM Transmitter", *ESSCIRC*, pp. 235-238, 2002.

[8] C. K. K. Yang, "A multi-Gb/s transceiver in CMOS technology", Ph.D. dissertation, Stanford University, 1998.

[9] Jri Lee, "High-speed circuit designs for transmitters in broadb and data links" *IEEE Journal, Solid-State Circuits*, vol. 41, no. 5, pp. 1004-1015, May 2006.

[10] Behzad Razavi, "Design of Integrated Circuits for Optical Communications", McGraw-Hill, 2003.

[11] R. Jacob Baker, "CMOS circuit design, layout, and simulation", Wiley Interscience, 2005.

— 저 자 소 개 —



이 정 준(학생회원)
2008년 서강대학교 전자공학과
공학사
2008년~현재 서강대학교
전자공학과 석사과정
<주관심분야 : RFIC, High speed
interface>



정 지 경(학생회원)
2008년 서강대학교 전자공학과
공학사
2008년~현재 서강대학교
전자공학과 석사과정
<주관심분야 : RFIC, High speed
interface>



범 진 옥(평생회원)
1987년 서울대학교 물리학과
이학사
1989년 미시간대학교 물리학
이학석사
1995년 코넬대학교 응용물리학
이학박사
1995년~1996년 코넬 대학교 박사 후 연구원
1996년~1998년 Bell Labs. PMTS
1998년~현재 서강대학교 전자공학과 교수
<주관심분야 : RFIC, RFID, Remote Sensing>

정 영 한(정회원)
1994년 경북대학교 전자공학과
학사
1996년 포항공과대학교
전자전기공학과 석사
1996년~현재 하이닉스 반도체 책임연구원
<주관심분야 : 반도체>