

논문 2009-46SD-5-1

테스트 시간과 테스트 전력 감소를 위한 선택적 세그먼트 바이패스 스캔 구조

(Selective Segment Bypass Scan Architecture for Test Time and Test Power Reduction)

양 명 훈*, 김 용 준*, 박 재 석*, 강 성 호**

(Myung-Hoon Yang, Yongjoon Kim, Jaeseok Park, and Sungho Kang)

요 약

스캔 기반 테스트 방법은 큰 순차 회로를 테스트하기 위한 매우 효율적이며 널리 사용되는 방법이다. 그러나 스캔 기반 테스트 방법은 테스트 패턴을 긴 스캔 체인을 통해서 순차적으로 인가해야 하기 때문에 긴 테스트 인가 시간을 필요로 한다. 또한, 스캔 쉬프트 동작이 정상 동작과 비교할 때 전력 소모를 급격히 증가시킨다. 이러한 문제점을 해결하기 위해서, 본 논문에서는 테스트 패턴 인가 시간과 테스트시의 전력 소모를 줄이기 위한 새로운 스캔 구조를 제안한다. 제안하는 스캔 구조는 스캔 체인을 여러 개의 세그먼트로 분할하고 specified bit를 포함하지 않는 세그먼트들을 바이패스 한다. 바이패스 되는 스캔 세그먼트들은 테스트 패턴 인가 동작에서 제외되기 때문에 테스트 패턴 인가 시간과 테스트시의 소모 전력이 상당히 줄어들게 된다.

Abstract

Since scan based testing is very efficient and widely used for testing large sequential circuits. However, since test patterns are serially injected through long scan chains, scan based testing requires very long test application time. Also, compared to the normal operations, scan shifting operations drastically increase power consumption. In order to solve these problems, this paper presents a new scan architecture for both test application time and test power reduction. The proposed scan architecture partitions scan chains into several segments and bypasses some segments which do not include any specified bit. Since bypassed segments are excluded from the scan shifting operation, the test application time and test power can be significantly reduced.

Keywords: Scan based testing, scan architecture, test application time, test power, segment bypass

I. 서 론

최근 고도의 미세 공정 기술 개발로 인하여 하나의 반도체 칩 내에 프로세서 코어, 큰 용량의 내장된 메모리, 아날로그 코어, 그리고 RF 코어와 같은 여러 개의 IP(intellectual property) 코어를 내장하여 시스템을 구

성할 수 있는 시스템온칩(SOC: System-on-a-chip)의 구현이 가능하게 되었다^[1]. IP 코어의 크기가 점점 커지고 하나의 칩에 내장되는 IP 코어의 숫자가 증가함에 따라서 SOC를 테스트하기 위한 테스트 데이터의 양은 기하급수적으로 증가하고 있다. 스캔 체인에 기반을 둔 테스트 방법은 이와 같이 고도로 집적된 SOC의 큰 순차 회로를 테스트 하는데 있어서 매우 효율적이고 가장 널리 사용되는 방법이다^[2-4]. 그러나 이러한 스캔 체인에 기반을 둔 테스트 방법은 테스트 모드에서 테스트 패턴을 1-bit 씩 스캔 체인을 통해서 쉬프트 하여서 인가하기 때문에 상당히 긴 테스트 패턴 인가 시간을 필

* 학생회원, ** 정회원, 연세대학교 전기전자공학과
(Department of Electrical and Electronic
Engineering, Yonsei University)

접수일자: 2008년9월24일, 수정완료일: 2009년4월15일

요로 하게 된다. 또한 테스트 패턴을 인가하는 동안 전체 스캔 체인에 걸쳐서 반복적인 스위칭 동작을 유발하기 때문에 과도한 전력 소모를 발생시키는 문제점을 가지게 된다. 이로 인하여 테스트 결과의 오류나 회로의 손상을 유발할 수도 있어 테스트 비용을 증가시키게 된다^[5-6].

테스트 데이터의 크기를 줄이기 위한 방법으로 내장된 자체 테스트 기법 (BIST: Built-In Self Test)이나 또는 테스트 데이터 압축 방법을 사용할 수 있으나 이러한 방법들도 테스트 인가 시간이나 테스트 전력 소모에 있어서는 문제점을 가지고 있다. 내장된 자체 테스트 기법과 테스트 압축 방법에서 테스트 시의 전력 소모를 줄이는 기법들이 제안되었으나^[7-8], 테스트 인가 시간의 감소에는 영향을 주지 못하고 추가적인 하드웨어 오버헤드를 필요로 하게 된다.

스캔 기반 테스트에서 발생하는 이러한 문제점을 해결하기 위해서 다양한 연구들이 진행되어 왔다. Illinois 스캔 구조 (ISA: Illinois scan architecture)는 테스트 패턴의 인가 시간을 상당히 줄일 수 있는 스캔 구조이다^[9]. ISA는 스캔 체인을 여러 개의 세그먼트로 분할한 후에 각 스캔 세그먼트에 동일한 테스트 패턴을 동시에 인가하는 방법을 사용한다. 이 때 스캔 세그먼트는 동일한 테스트 패턴에 대해서 compatibility가 보장되어야 한다. 실제로 인가되는 테스트 패턴을 살펴보면 0이나 1로 specified되는 bit들의 수가 X bit (don't care bit)으로 인가되는 bit들의 수에 비해서 매우 작기 때문에 이러한 구조가 가능하게 된다. ISA에서는 이러한 방식의 테스트 패턴 인가가 불가능한 패턴에 대해서는 기존의 방식대로 테스트 패턴을 인가할 수 있는 serial mode를 지원한다. 그렇지만, ISA는 테스트 패턴의 인가 시간을 상당히 줄일 수는 있지만, 모든 스캔 세그먼트에 대해서 동일한 테스트 패턴을 인가하기 때문에 테스트 패턴 인가 시에 순간 테스트 전력을 급격히 상승시키는 문제점을 가지고 있다. 이러한 문제점을 해결하기 위해서 저전력 Illinois 스캔 구조 (LPILS: Low Power Illinois Scan Architecture)가 제안되었다^[10]. LPILS는 기존의 ISA의 단점을 보완하기 위해서 모든 스캔 세그먼트에 대해서 동시에 테스트 패턴을 인가하지 않고 기준이 되는 스캔 체인에만 테스트 패턴을 인가하고 마지막 스캔 세그먼트에 테스트 패턴을 인가하는 시간에만 전체 스캔 세그먼트에 동시에 테스트 패턴을 인가하는 방법을 사용한다. 이 방법은 평균 전력은 어느 정도 줄일 수 있

지만, 마지막에 전체 스캔 세그먼트에 동시에 테스트 패턴을 인가하는 동작이 필요하기 때문에 순간 전력을 줄이는 데는 효과적이지 못하다는 단점을 가지고 있다. 그 외에도 테스트 인가 시간과 테스트 전력을 동시에 줄이기 위한 여러 방법들이 제안되었다^[11-13].

또 다른 방법인 SAS (Segmented Addressable Scan)는 스캔 체인을 세그먼트로 나누고 각 세그먼트들에 독립적으로 접근할 수 있는 스캔 구조이다^[11]. 이 방법은 효과적으로 테스트 인가 시간과 테스트 전력을 줄일 수 있으나 각 스캔 세그먼트들에 독립적으로 접근할 수 있도록 하기 위해서 스캔 세그먼트에 대한 주소 정보와 주소 정보를 토대로 해당 세그먼트에 테스트 패턴을 인가하기 위한 추가적인 회로가 필요하기 때문에 테스트 데이터와 하드웨어 오버헤드를 상당히 증가시키는 단점이 있다.

Reconfigured Scan Forest 방법은 테스트 패턴을 분석하여서 같은 데이터를 인가할 수 있는 스캔 셀들을 찾아내서 이러한 셀들이 같은 레벨을 가지는 트리를 구성하여서 스캔 체인을 재구성하는 방법이다^[12]. 이 방법은 테스트 인가 시간과 테스트 시의 전력 소모를 획기적으로 줄일 수 있지만, 테스트 패턴을 분석하고 스캔 체인을 재구성하는 과정이 너무 복잡하기 때문에 큰 크기의 회로에 적용하기에는 어려움이 있다. 스캔 체인 재구성을 이용하는 또 다른 방법인 Overlapping Scan Architecture는 스캔 셀들을 테스트 인가나 테스트 결과 캡처 또는 둘 모두에 필요한 셀들로 분류하여서 스캔 체인을 재구성하는 방법을 사용한다^[13]. 이 방법 역시 이러한 스캔 체인 재구성을 위해서 많은 계산량을 필요로 하고 추가적인 하드웨어 오버헤드가 크다는 단점을 가지고 있다.

본 논문에서는 테스트 인가 시간과 테스트 전력 소모를 동시에 줄이기 위한 선택적 스캔 세그먼트 바이패스 방법을 사용하는 새로운 스캔 구조를 제안한다. 제안하는 방법에서는 스캔 체인을 여러 개의 스캔 세그먼트로 분할한 뒤에 1이나 0의 specified bit를 포함하지 않는 스캔 세그먼트들을 스캔 쉬프트 동작에서 바이패스 하는 방법을 사용한다. 이와 같이 바이패스 되는 스캔 세그먼트들은 스캔 쉬프트 동작 시에 비활성화 되기 때문에 실질적인 스캔 체인의 길이를 줄여줄 수 있는 효과가 있다. 따라서 테스트 패턴 인가 시간과 테스트 시의 전력 소모를 상당히 줄일 수 있다. 또한 이전의 방법들과 달리 복잡한 스캔 재구성을 필요로

하지 않기 때문에 쉽게 구현이 가능하고 큰 크기의 회로에도 적용이 용이하다. 스캔 체인을 여러 개의 세그먼트로 분할하는 스캔 구조들의 경우에는 일반적으로 여러 세그먼트들에서 동시에 테스트 결과를 캡처하기 위해서 큰 크기의 MISR (multiple input signature register)을 사용하지만 본 논문에서 제안하는 스캔 구조는 이러한 MISR을 필요로 하지 않으므로 하드웨어 오버헤드를 줄일 수 있을 뿐만 아니라 테스트 결과의 분석 작업을 용이하게 한다.

II. 선택적 세그먼트 바이패스 스캔 방법

ATPG (automatic test pattern generation)를 통해서 생성된 테스트 벡터의 경우, 대부분의 테스트 데이터는 X bit로 정의된다. 실제 테스트 벡터의 데이터를 살펴보면 90-95% 이상의 bit들이 0이나 1로 specified 되지 않는 X bit 이다. 또한 인가된 테스트 벡터의 출력 값들 역시 상당수가 X bit이다. 기존의 스캔 기반 테스트의 경우 이러한 X bit들 역시 스캔 체인을 통해서 쉬프트 되기 때문에 불필요한 쉬프트 동작들을 필요로 하게 되고, 그로 인하여 테스트 인가 시간이 길어질 뿐만 아니라 불필요한 천이 동작을 유발하기 때문에 테스트 시의 전력 소모를 상당히 증가시키게 된다. 이러한 불필요한 쉬프트 동작을 제거할 수 있다면 테스트 인가 시간과 테스트 시의 전력 소모를 상당히 줄일 수 있다.

테스트 시에 소모되는 전력에 대한 수학적 모델은 식(1)과 (2)의 형태로 표현할 수 있다^[14]. 스캔 체인의 길이를 l 이라고 가정하고 테스트 벡터를 $t^* = t^*_{j,1} t^*_{j,2} t^*_{j,3} \dots t^*_{j,l}$ 이라고 가정한다. 여기서 $t^*_{j,1}$ 은 $t^*_{j,2}$ 보다 앞서 스캔 체인으로 인가되는 벡터의 구조이다. n 개의 테스트 벡터에 대해서 평균 전력 소모와 최대 전력 소모량은 다음의 수식 (1)과 (2)에 의해서 정의될 수 있다.

$$P_{avg} = \frac{\sum_{j=1}^n \sum_{i=1}^{l-1} (l-i) \cdot (t^*_{j,i} \oplus t^*_{j,i+1})}{n} \quad (1)$$

$$P_{peak} = \max \left\{ \sum_{i=1}^{l-1} (l-i) \cdot (t^*_{j,i} \oplus t^*_{j,i+1}) \right\} \quad (2)$$

위의 식에서 알 수 있듯이 스캔 쉬프트 동작에서 전력 소모를 증가시키는 가장 큰 원인은 스캔 체인을 통해서 테스트 벡터의 bit들이 하나씩 쉬프트 되어서 입

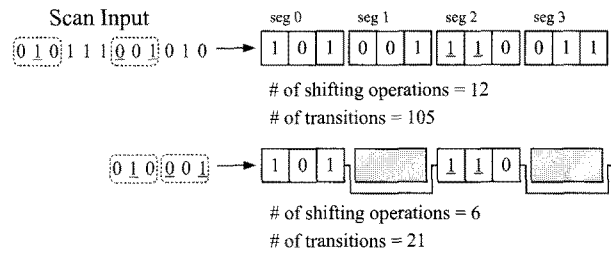


그림 1. 스캔 쉬프트 동작 예제
Fig. 1. Example of scan shifting operations.

력되면서 정확한 위치까지 전달되는 과정에서 스캔 체인을 통과하면서 많은 천이 동작을 유발하기 때문이다. 따라서 스캔 쉬프트 동작에서 발생하는 천이를 줄이기 위해서는 테스트 벡터에 포함된 X-bit 들을 적절한 값으로 채워서 천이가 줄어들게 하는 방법이 있을 수 있다. 그렇지만 테스트 인가 시간과 테스트 전력 소모를 동시에 효과적으로 줄일 수 있는 방법은 실질적으로 스캔 쉬프트 동작이 발생하는 스캔 체인의 길이를 줄이는 것이다. 그렇게 함으로써 테스트 인가 시간을 줄이는 것과 동시에 발생하는 천이가 전달되는 범위를 줄이게 되어서 전력 소모를 줄일 수 있게 된다.

그림 1은 기존의 스캔 구조와 제안하는 선택적 세그먼트 바이패스 스캔 구조에서의 스캔 쉬프트 동작의 예를 보여주고 있다. 그림에서 스캔 입력의 bit들 가운데 밑줄 친 bit들은 specified bit들을 나타내고 나머지 bit들은 X bit들이 특정 값을 채워진 것이다. 그림 1에서는 스캔 체인이 3 bit 길이의 세그먼트들로 구성된 경우를 가정하고 있다. 기존의 스캔 구조에서는 현재 스캔 셀들에 저장된 데이터를 출력 단자를 통해서 읽어내고 동시에 테스트 벡터 값을 스캔 체인에 입력하는 동작에서 12번의 쉬프트 동작을 필요로 하게 된다. 그러나 그림에서 알 수 있듯이 두 개의 세그먼트 (seg 0, seg 2)의 경우에는 해당 스캔 셀들이 specified bit을 포함하지 않는다. 그림에서 음영으로 표시한 부분들이 이러한 스캔 세그먼트들을 나타내고 있다. 따라서 이와 같은 세그먼트들은 그림 1의 아래 부분에서와 같이 바이패스 하더라도 정확한 테스트 패턴 인가 동작에는 영향을 미치지 않는다. 따라서 그림에서 전체 4개의 스캔 세그먼트들 가운데 두 개의 스캔 세그먼트만을 활성화시키면 되기 때문에 전체 필요한 쉬프트 동작의 수는 6으로 줄어들게 된다. 또한 테스트 모드에서의 전력 소모와 밀접한 관계를 가지는 전체 천이의 수도 기존의 경우 105회에서 제안하는 방법을 사용할 경우 21회로 줄어든다. 테

스트 시의 순간 전력 소모와 관계되는 단위 사이클 당의 천이의 수는 기존의 스캔 구조의 경우 8.75에서 제안하는 방법의 경우 3.5로 약 2배 이상이 줄어들게 된다. 따라서 테스트 인가 시간과 테스트 전력 소모가 기존 스캔 구조에 비해서 상당히 줄어든다.

앞의 예에서 제안하는 선택적 세그먼트 바이패스 스캔 구조의 경우 각 세그먼트별 선택 신호를 입력받는 시간이 필요하기 때문에 실제 테스트 인가 시간은 그만큼 더 늘어나게 된다. 하지만, 실제 회로에서는 스캔 세그먼트의 길이가 길기 때문에 이를 위해서 추가되는 테스트 패턴 인가 시간은 그리 길지 않다. 만약 스캔 세그먼트의 길이가 16정도인 경우를 가정하면 전체 스캔 길이의 1/16에 해당하는 세그먼트 선택 신호를 테스트 데이터로 저장해야 한다. 하지만 바이패스 되는 스캔 세그먼트의 경우에는 테스트 데이터를 필요로 하지 않기 때문에 전체 테스트 데이터의 양은 크게 줄어들게 된다. 테스트 전력의 측면에서도 바이패스 되는 세그먼트들에서 발생되는 천이 동작을 제거함으로써 테스트 전력을 줄이는 측면만이 아니라 바이패스 되는 세그먼트들에는 클록 신호를 차단함으로써 해당 스캔 세그먼트와 연결된 조합 회로들에서 발생하는 전력까지 감소시킬 수 있기 때문에 실제 전력 감소 효과는 더욱 커지게 된다.

III. 선택적 세그먼트 바이패스 스캔 하드웨어 구조

그림 2에 제안하는 스캔 구조의 개략적인 블록 다이어그램을 나타내었다. 앞에서 언급한 바와 같이 제안하

는 스캔 구조에서는 스캔 체인을 여러 개의 세그먼트로 나누게 된다. 각 세그먼트는 두 개의 tri-state 버퍼를 이용하여서 바이패스 될 수 있는 구조로 구현하였다. 이 tri-state 버퍼는 *seg_enb* 신호에 의해서 바이패스하게 될 세그먼트를 선택할 수 있는 구조이다. 이 신호에 의해서 만약 해당 세그먼트가 바이패스 되게 되면 해당 스캔 세그먼트의 출력이 다음 세그먼트로 전달되는 것이 아니라 앞 단에 위치한 스캔 세그먼트의 출력이 전달되는 구조로 해당 세그먼트가 바이패스 되도록 하였다. 그리고 각 스캔 세그먼트로 입력되는 클록 신호들은 각 세그먼트로 전달되는 *seg_enb* 신호와 AND 게이트로 연결되어서 선택적으로 바이패스 되는 세그먼트로는 클록 신호의 전달이 차단된다. 이와 같이 불필요한 세그먼트들을 스캔 쉬프트 동작에서 배제할 수 있기 때문에 실제로 스캔 체인의 길이를 줄일 수 있는 효과를 얻을 수 있게 되어 전체 테스트 패턴 인가 시간을 줄일 수 있게 된다. 또한 바이패스 되는 세그먼트의 경우에는 클록 신호가 차단되어서 스캔 쉬프트 동작에서 완전히 배제되어서 스캔 쉬프트 동작에서 전혀 전력 소모가 발생하지 않게 된다. X bit들을 스캔 쉬프트 동작에서 발생하는 천이를 줄이는 기존의 방법들 보다 훨씬 효과적으로 테스트 전력 소모를 줄일 수 있게 된다.

하드웨어 오버헤드 측면에서도 각 스캔 세그먼트 당 두 개의 tri-state 버퍼와 하나의 AND 게이트만을 필요로 하기 때문에 구현이 간단하면서도 추가적인 하드웨어의 크기를 줄일 수 있는 구조이다. 스캔 체인을 여러 개의 세그먼트로 분할하는 기존의 스캔 구조는 테스트 결

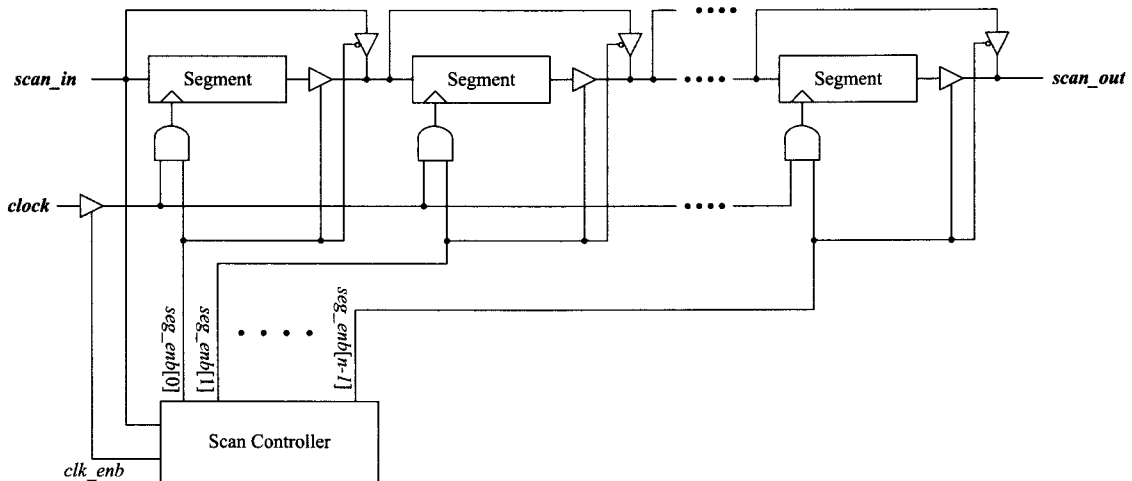


그림 2. 선택적 세그먼트 바이패스를 이용한 제안하는 스캔 구조
 Fig. 2. The proposed scan architecture using selective segment bypass.

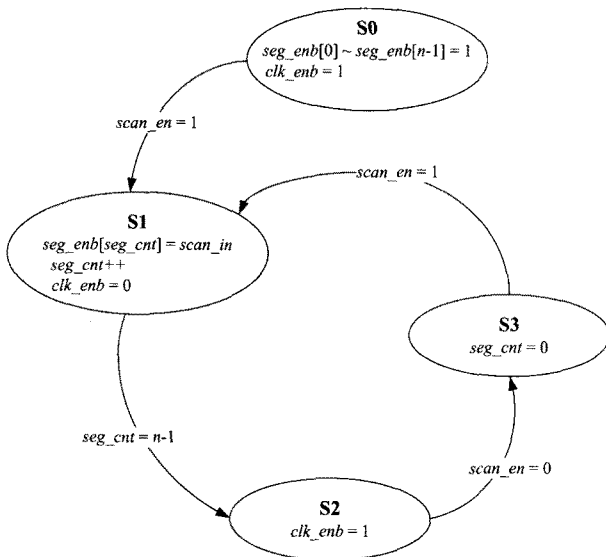


그림 3. 스캔 제어기의 상태 천이도
Fig. 3. State diagram of scan controller.

과를 MISR을 통해서 출력하게 된다. 이는 세그먼트의 수가 증가함에 따라서 스캔 출력 핀의 수가 급격히 증가하는 것을 방지하기 위해서이다. 그러나 스캔 세그먼트의 수가 증가하게 되면 그에 따른 세그먼트의 출력의 수도 증가하기 때문에 MISR의 크기도 따라서 증가할 뿐만 아니라 MISR의 경우에는 테스트 결과 데이터를 압축된 형태로 받게 되므로 테스트 결과에 대한 분석 과정에서 어려움이 발생하게 된다. 본 논문에서 제안하는 방법은 하드웨어 오버헤드 측면에서 유리할 뿐만 아니라 테스트 결과에 대한 분석에 있어서도 MISR을 사용할 때 유발되는 문제점을 일으키지 않게 된다.

그림 2의 스캔 제어기 블록은 간단한 FSM (finite state machine)과 세그먼트 선택 레지스터로 구현이 가능하다. 그림 3에 스캔 제어기 FSM에 대한 상태 천이도를 나타내었다. 각 스캔 체인은 n 개의 세그먼트로 나누어진다고 가정한다. S0 상태에서는 스캔 제어기가 테스트 모드가 아닌 정상 모드에서 동작하는 경우이다. 이 상태에서 스캔 테스트 모드를 나타내는 $scan_en$ 신호가 1이 되면 S1 상태로 이동하여 스캔 모드에서의 동작이 시작된다. 본 논문에서 제안하는 스캔 구조를 사용하기 위해서는 ATPG에서 생성된 테스트 벡터 앞단에 각 스캔 세그먼트의 바이패스 여부를 나타내는 데이터들이 추가되어야 한다. 이를 위해서 필요한 데이터는 스캔 체인에서의 세그먼트의 수와 같게 된다. 스캔 체인을 작은 길이로 나누게 되면 그 만큼 세그먼트의 수도 늘어나게 되어 테스트 인가 시간과 테스트 전력을

많이 줄일 수 있지만 하드웨어 오버헤드와 함께 스캔 세그먼트 선택을 위한 데이터의 양도 늘어나게 된다. 따라서 이와 같은 관계를 잘 고려하여서 스캔 세그먼트의 길이를 결정하여야 한다. S1 상태에서는 $scan_in$ 입력을 통해서 세그먼트 선택 신호들을 입력받아서 세그먼트 선택 레지스터 ($seg_enb[0] - seg_enb[n-1]$)에 저장하게 된다. 이 때 불필요한 전력 소모를 줄이기 위해서 스캔 체인으로 전달되는 클럭 신호를 차단하게 된다. 세그먼트 카운터 신호인 seg_cnt 신호가 $n-1$ 이 되면 모든 세그먼트 선택 신호에 대한 입력이 끝난 것이므로 S2 상태로 이동하여서 실제 테스트 벡터 데이터의 인가 동작이 시작된다. S2 상태에서는 정상적인 클럭 신호의 인가를 위해서 clk_enb 신호가 1로 설정된다. S2 상태에서 모든 데이터 벡터 데이터에 대한 쉬프트 동작이 끝나면 테스트 결과를 캡처 위해서 $scan_en$ 신호가 0이 된다. 스캔 테스트 동작에서 이러한 캡처 동작이 수행되는 동안 S3 상태로 이동하여서 seg_cnt 신호를 0으로 만들고 다음 테스트 벡터 인가를 위한 $scan_en$ 신호가 1이 될 때를 기다리게 된다. 스캔 제어기는 매우 간단한 구조의 FSM으로 구현할 수 있으므로 하드웨어 오버헤드가 매우 작을 뿐만 아니라 외부 ATE로부터의 별도의 제어 신호가 필요하지 않으므로 추가적인 테스트 핀을 필요로 하지 않는다는 장점을 가지고 있다.

IV. 실험 결과

본 논문에서 제안하는 스캔 구조의 효율성을 검증하기 위해서 ISCAS'89 벤치 회로 가운데서 가장 큰 6개의 회로들에 대하여 실험을 진행하였다. 표 1은 테스트 인가 시간과 테스트 전력 소모의 감소 효과에 대한 실험 결과를 보여주고 있다. 표 1에서 FF, #SC, SL은 각각의 실험에 사용된 회로에 대한 스캔 셀의 개수, 스캔 체인의 개수, 세그먼트 길이를 나타낸다. 실험 결과 데이터인 TA와 TP는 기존의 스캔 기반 테스트 방법과 비교하여 테스트 인가 시간과 테스트 전력 소모량 감소 비율이다. 표의 결과에서 알 수 있듯이 세그먼트의 길이가 짧을수록 결과가 더 좋아지지만 테스트 패턴의 수와 하드웨어 오버헤드가 증가하게 된다.

앞에서도 언급한 바와 같이 테스트 인가 시간과 테스트 전력 소모의 감소 정도는 세그먼트의 길이와 밀접한 관계를 가지고 있다. 만약 세그먼트 길이를 상당히 짧

표 1. 제안하는 스캔 구조에 대한 실험 결과
Table 1. Experimental results of the proposed scheme.

회로	FF	#SC	SL	TA(%)	TP(%)
s5378	179	4	4	50.89	62.23
			8	39.69	48.96
			12	34.60	38.11
			16	26.28	33.10
s9234	228	4	4	30.65	49.29
			8	20.11	35.23
			12	15.78	27.40
			16	11.35	20.35
s13207	669	8	8	50.02	69.26
			12	43.15	62.92
			16	37.84	57.08
			20	33.93	52.36
s15850	597	8	8	39.18	48.31
			12	32.84	42.26
			16	31.05	37.26
			20	28.67	33.554
s38417	1636	16	12	80.63	80.56
			16	79.84	79.15
			20	79.18	77.73
			24	78.79	76.69
s38584	1452	16	8	36.01	49.02
			16	26.01	33.97
			24	18.04	26.29
			32	14.55	19.66

표 2. 제안하는 스캔 구조와 overlapping scan architecture^[13]과 비교
Table 2. Comparison of the proposed scheme with overlapping scan architecture.^[13]

회로	FF	Overlapping Scan Architecture ^[13]		제안하는 스캔 구조	
		TA	TP	TA	TP
s5378	179	43.63	56.80	36.69	48.96
s9234	228	22.93	54.51	20.11	35.23
s13207	669	28.72	51.89	43.15	62.92
s15850	597	5.57	42.23	32.84	42.26
s38417	1636	6.57	21.88	79.84	79.15
s38584	1452	3.91	30.93	26.01	33.97

게 줄이는 경우에는 그 만큼 불필요한 세그먼트들을 제거하고 테스트를 할 수 있기 때문에 테스트 인가 시간과 테스트 전력 소모를 더욱 더 줄일 수 있다. 그렇지만, 세그먼트의 길이를 너무 짧게 할 경우에는 그에 따른 하드웨어 오버헤드가 증가하게 되고, 또한 세그먼트 선택을 위한 추가적인 데이터의 양이 증가하게 된다. 따라서 테스트 인가 시간, 테스트 전력 소모와 테스트

데이터의 크기 등을 포함한 전체 테스트 비용과 세그먼트의 길이 사이의 적절한 절충점을 고려하여서 세그먼트의 길이를 결정하는 것이 필요하게 된다.

본 논문에서 제안하는 방법의 우수함을 보이기 위해서 기존 연구와 비교를 표 2에 나타내었다. 표 2는 제안하는 방법과 overlapping scan architecture^[13]의 실험 결과를 비교한 것이다. Overlapping scan architecture 방법의 경우 하드웨어 오버헤드의 크기가 비교적 작으면서도 또한 스캔 체인 재구성을 위한 계산이 간단한 방법이다. 표에 나타난 결과를 살펴보면 대부분의 경우에서 테스트 인가 시간과 테스트 전력 소모의 감소 정도가 제안하는 방법이 더 우수함을 알 수 있다. 특히 회로의 크기가 커질수록 제안하는 스캔 구조의 실험 결과가 더 우수함을 알 수 있다.

V. 결 론

본 논문에서는 테스트 인가 시간과 테스트 전력 소모를 줄이기 위한 효율적인 스캔 구조를 제안한다. 제안하는 스캔 구조는 스캔 체인을 일정한 크기의 여러 개의 세그먼트로 나누고 테스트 벡터와 테스트 출력에서 특정 값으로 specified되는 bit를 포함하지 않는 세그먼트들을 스캔 쉬프트 동작에서 제외함으로써 테스트 인가 시간과 테스트 시의 전력 소모를 줄이게 된다. 실험 결과에서 확인할 수 있는 바와 같이 제안하는 스캔 구조는 매우 간단한 하드웨어를 이용해서 구현이 가능하면서도 테스트 인가 시간과 테스트 시의 전력 감소에 있어서 우수한 결과를 보여주고 있다.

제안하는 스캔 구조는 테스트 인가 시간과 테스트 시의 전력 감소에 효과적이지만, 스캔을 여러 개의 세그먼트로 분할하고 테스트 패턴을 동시에 인가할 수 있는 경로를 필요로 하기 때문에 레이아웃 과정에서 칩의 면적을 증가시키고 라우팅의 복잡도를 증가시키는 단점이 있다. 향후에는 이러한 단점을 보완하기 위한 추가적인 연구가 진행되어야 할 것이다.

참 고 문 헌

- [1] A. Chandra and K. Chakrabarty, "System-on-a-chip test-data compression and decompression architecture based on Geology codes", IEEE Trans. CAD of Integrated Circuits

- and Systems, Vol. 20, pp. 355-368, March 2001.
- [2] M. Abramovici, M. A. Breuer and A. D. Friedman, *Digital Systems Testing and Testable Design*, IEEE Press, pp. 364, 1990.
- [3] M. L. Bushnell and V. D. Agrawal, *Essentials of Electronic Testing*, Kluwer Academic, pp. 467, 2000.
- [4] L. T. Wang, C. W. Wu and X. Wen, *VLSI Test Principles and Architectures*, Morgan Kaufman, pp. 59, 2006.
- [5] P. Girard, "Survey of Low-Power Testing of VLSI Circuits", *IEEE Design and Test of Computers*, vol. 19, no. 3, pp. 82-92, May-June 2002.
- [6] R. Sankaralingam, R. R. Oruganti and N. A. Touba, "Static Compaction Techniques to Control Scan Vector Power Dissipation", in *Proc. of VLSI Test Symposium*, pp. 35-40, Montreal, Canada, 2000.
- [7] 전성훈, 임정빈, 김근배, 안진호, 강성호, "저전력 테스트를 고려한 효율적인 테스트 데이터 압축 방법", *전자공학회논문지*, 제42권 SD편, 제2호, 151-160쪽, 2005년 2월
- [8] 손현욱, 김유빈, 강성호, "스캔입력 변형기법을 통한 새로운 저전력 스캔 BIST 구조", *전자공학회논문지*, 제45권 SD편, 제6호, 43-48쪽, 2008년 6월
- [9] I. Hamzaoglu and J. Patel, "Reducing Test Application Time for Full Scan Embedded Cores", in *Proc. of IEEE International Symposium on Fault Tolerant Computing*, pp. 260-267, Wisconsin, USA, June 1999.
- [10] A. Chandra, F. Ng and R. Kapur, "Low Power Illinois Scan Architecture for Simultaneous Power and Test Data Volume Reduction", in *Proc. of Design Automation and Test in Europe*, pp. 462-467, Nice, France, 2008.
- [11] A. Al-Yamani, N. Devta-Prasanna, E. Chmelar, M. Grinchuk and A. Gunda, "Scan Test Cost and Power Reduction Through Systematic Scan Reconfiguration", *IEEE Trans. CAD of Integrated Circuits and Systems*, vol. 26, no. 5, pp. 907-918, May 2007.
- [12] D. Xiang, K. Li, J. Sun and H. Fujiwara, "Reconfigured Scan Forest for Test Application Cost, Test Data Volume, and Test Power Reduction", *IEEE Trans. Computers*, vol. 56, no. 4, pp. 404-412, April 2007.
- [13] X. Chen and M. S. Hsiao, "An Overlapping Scan Architecture for Reducing Both Test Time and Test Power by Pipelining Fault Detection", *IEEE Trans. VLSI Systems*, vol. 15, no. 4, pp. 404-412, April 2007.
- [14] A. Chandra and K. Chakrabarty, "Low-Power Scan Testing and Test Data Compression for System-on-a-Chip", *IEEE Trans. CAD of Integrated Circuits and Systems*, vol. 21, no. 5, pp. 597-604, May 2002.

저 자 소 개



양 명 훈(학생회원)
 1996년 연세대학교 전기공학과
 학사졸업.
 1998년 연세대학교 전기공학과
 석사졸업.
 1998년 삼성전자 선임연구원
 2009년 현재 연세대학교 전기전자
 공학과 박사과정
 <주관심분야 : SoC 설계, SoC 테스트>



김 용 준(학생회원)
 2002년 연세대학교 전기공학과
 학사졸업.
 2004년 연세대학교 전기공학과
 석사졸업.
 2009년 현재 연세대학교
 전기전자공학과 박사과정
 <주관심분야 : SoC 설계, SoC 테스트>



박 재 석(학생회원)
 2008년 연세대학교
 전기전자공학과 학사졸업.
 2009년 현재 연세대학교
 전기전자공학과 석박통합
 과정
 <주관심분야 : Compression, SoC
 테스트>



강 성 호(정회원)
 1986년 서울대학교 공과대학
 제어계측공학과 학사졸업.
 1988년 The University of Texas
 at Austin 전기및컴퓨터
 공학과 석사졸업.
 1992년 The University of Texas
 at Austin 전기및컴퓨터
 공학과 박사졸업.
 1992년 미국 Schlumberger 연구원
 1994년 미국 Motorola 선임연구원
 2009년 현재 연세대학교 전기전자공학과 교수
 <주관심분야 : SoC 설계, SoC 테스트>