

논문 2009-46SD-5-4

공급전압 전하재활용을 이용한 저전력 SRAM

(A Low Power SRAM using Supply Voltage Charge Recycling)

양 병 도*, 이 용 규*

(Byung-Do Yang and Yong-Kyu Lee)

요 약

본 논문에서는 공급전압의 전하를 재활용하여 전력소모를 줄인 저전력 SRAM(Low power SRAM using supply voltage charge recycling: SVCR-SRAM)을 제안하였다. 제안한 SVCR-SRAM은 SRAM 셀 블록을 두 개의 셀 블록으로 나누어 두 종류의 공급전압을 공급한다. 이중 하나는 V_{DD} 와 $V_{DD}/2$ 이고, 다른 하나는 $V_{DD}/2$ 와 GND이다. N비트 셀들이 연결되었을 때, V_{DD} 와 $V_{DD}/2$ 의 전원으로 동작하는 N/2비트의 셀들에서 사용된 전하는 나머지 $V_{DD}/2$ 와 GND의 전원으로 동작하는 N/2비트의 셀들에서 재활용된다. SVCR 기법은 전력소모가 많은 비트라인, 데이터 버스, SRAM 셀에서 사용되어 전력소모를 줄여준다. 다른 부분들에서는 동작속도를 높이기 위해 V_{DD} 와 GND의 공급전압을 사용하였다. 또한, SVCR-SRAM에서는 Body-effect로 인한 SRAM 셀들의 누설전류가 크게 감소하는 효과가 있다. 검증을 위하여, 64K비트(8K×8비트)SRAM chip을 $V_{DD}=1.8V$, 0.18um CMOS 공정으로 구현하였다. 제작된 SVCR-SRAM에서는 쓰기전력의 57.4%와 읽기전력의 27.6%가 줄었다.

Abstract

A low power SRAM using supply voltage charge recycling (SVCR-SRAM) scheme is proposed. It divides into two SRAM cell blocks and supplies two different powers. A supplied power is V_{DD} and $V_{DD}/2$. The other is $V_{DD}/2$ and GND. When N-bit cells are accessed, the charge used in N/2-bit cells with V_{DD} and $V_{DD}/2$ is recycled in the other N/2-bit cells with $V_{DD}/2$ and GND. The SVCR scheme is used in the power consuming parts which bit line, data bus, word line, and SRAM cells to reduce dynamic power. The other parts of SRAM use V_{DD} and GND to achieve high speed. Also, the SVCR-SRAM results in reducing leakage power of SRAM cells due to the body-effect. A 64K-bit SRAM (8K×8bits) is implemented in a 0.18um CMOS process. It saves 57.4% write power and 27.6% read power at $V_{DD}=1.8V$ and $f=50MHz$.

Keywords: CMOS, SRAM, charge recycle, low swing

I. 서 론

이동식 장비의 요구가 늘어남에 따라, 저전력 SRAM이 더욱 중요해지고 있다. SRAM의 전력소모를 줄이기 위해 많은 기술들이 제안되어져 왔는데, 몇몇 기술들은

비트라인과 데이터버스 같이 캐패시턴스가 큰 라인들의 스윙전압을 낮춤으로써 동적 전력소모(Dynamic power)를 줄이는 방법이며^[1~3], 다른 기술들은 SRAM 셀의 공급전압을 변화시켜 누설 전력소모(Leakage power)를 줄이는 방법이다^[4~5]. 공급전압을 낮추는 것은

* 정회원, 충북대학교 전기전자컴퓨터공학부

(Department of Electrical and Computer Engineering, Chungbuk National University)

※ 이 논문은 반도체설계교육센터(IDECE)의 지원을 받아 수행되었으며, 2008학년도 교육과학기술부로부터 지원받아 수행된 연구임.(지역거점연구단육성사업/충북 BIT 연구중심대학육성 사업단)

※ 본 연구보고서는 지식경제부 출연금으로 ETRI, 시스템반도체 산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과임(본 연구보고서는 지식경제부의 출연금 등으로 수행한 정보통신연구개발사업의 연구결과임)

접수일자: 2008년10월24일, 수정완료일: 2009년4월20일

동적전력과 누설전력을 동시에 줄이는 좋은 방법이지만, 공급전압을 낮추기 위한 전압 레귤레이터에서 소모되는 전력 때문에 효과적이지 않다. 최근에 공급전압의 전하를 재활용하여 전력소모를 줄이는 기술이 제안되었다^[6]. 하지만, 전하재활용 동작을 위해 두 개의 동일한 로직과 다수의 레벨 쉬프터(level shifter)가 필요하다는 단점이 있다.

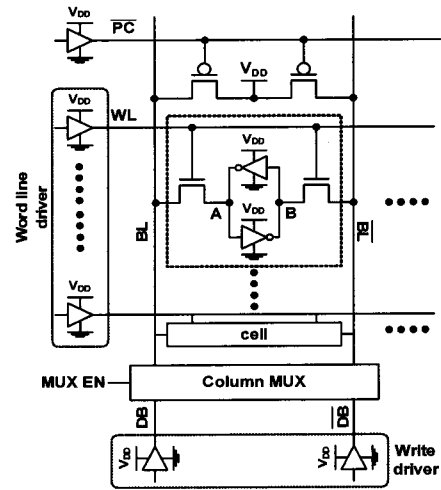
본 논문에서는 공급전압의 전하를 재활용하여 전력소모를 줄이는 저전력 SRAM(Low power SRAM using supply voltage charge recycling: SVCR-SRAM)을 제안하였다. 공급전압을 낮추기 위해 전하재활용 방법을 사용하면서도, 두 개의 동일한 로직을 필요로 하지 않는다. 대신에, SRAM 셀들은 두 종류의 공급전압인 V_{DD} 와 $V_{DD}/2$ 그리고 $V_{DD}/2$ 와 GND를 사용하는 두 개의 SRAM 셀 블록 나누어진다. SVCR 기법은 동적 전력소모가 많은 비트라인, 데이터 버스, SRAM 셀에서 사용되어져 전력소모를 크게 줄여준다. 다른 부분들에서는 동작속도를 높이기 위해 V_{DD} 와 GND의 공급전압을 사용하였다. 추가적으로, SVCR-SRAM에서는 Body-effect로 인한 SRAM 셀들의 누설전류가 크게 감소되는 효과가 있다.

II. SVCR-SRAM 구조

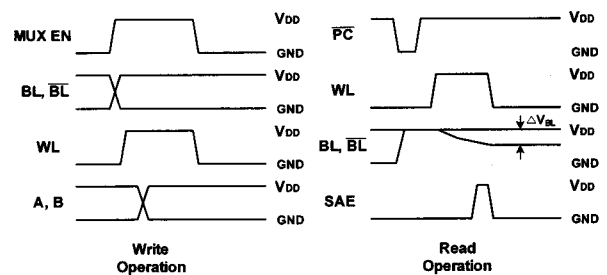
그림 1(a)와 1(b)는 기존의 SRAM의 회로와 쓰기 및 읽기 동작의 파형이다. 읽기 동작에서 낮은 스윙전압(ΔV_{BL})으로 동작하는 비트라인을 제외한 모든 노드가 V_{DD} 와 GND로 동작한다.

그림 2(a)와 2(b)는 제안한 SVCR-SRAM의 회로와 쓰기 및 읽기 동작이다. 셀들은 두 개의 블록으로 나누어지는데, 하나는 V_{DD} 와 $V_{HALF}(=V_{DD}/2)$ 의 공급전압을 이용한 높은 전압(High Voltage: HV)의 블록이고, 다른 하나는 $V_{DD}/2$ 와 GND의 공급전압을 이용한 낮은 전압(Low Voltage: LV)의 블록이다.

쓰기 동작을 보면, 비트라인, 데이터버스, 그리고 SRAM 셀들은 공급전압의 반인 $V_{DD}/2$ 로 동작한다. HV 블록의 비트라인과 데이터버스는 HV 쓰기 드라이버(HV write driver)에 의해 V_{DD} 혹은 V_{HALF} 로 동작한다. SRAM 셀 내부의 노드(A_H, B_H)는 비트라인의 전압, 즉 V_{DD} 혹은 V_{HALF} 에 의해 데이터가 저장된다. 위의 HV 블록에서 공급전압으로 사용된 전하는 V_{DD} 에서 V_{HALF} 로 이동되고, 다시 LV 블록에서 재활용되어



(a)



(b)

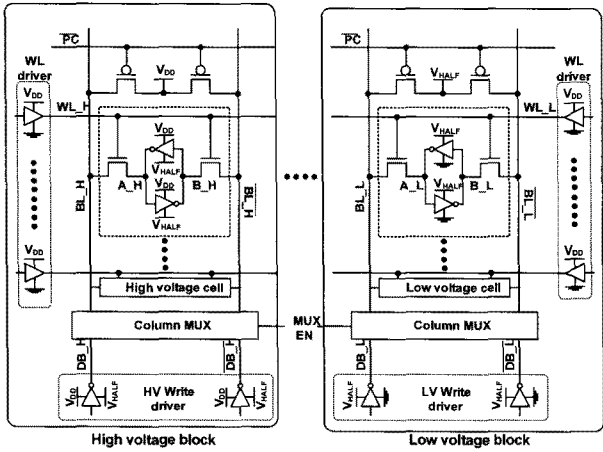
그림 1. 기존의 SRAM (a) 회로 (b) 쓰기 및 읽기 동작 파형

Fig. 1. Conventional SRAM (a) circuits (b) write and read operation.

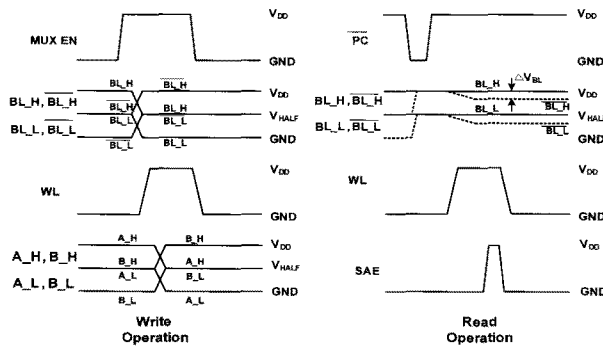
V_{HALF} 에서 GND로 이동한다. LV 블록의 비트라인과 데이터버스는 LV 쓰기 드라이버(LV write driver)에 의해 V_{HALF} 혹은 GND로 동작하며, SRAM 셀 내부의 노드(A_L, B_L)는 비트라인의 전압에 의해 V_{HALF} 혹은 GND로 데이터가 저장된다.

읽기 동작에서 비트라인과 데이터버스는 그림 2(b)에서 보여주듯이 충전된 후에 낮은 스윙전압(ΔV_{BL})으로 방전되는데, HV 블록의 비트라인과 데이터버스는 V_{DD} 로 충전되었다가 $V_{DD} - \Delta V_{BL}$ 로 방전되며, LV 블록의 비트라인과 데이터버스는 V_{HALF} 로 충전되었다가 $V_{HALF} - \Delta V_{BL}$ 로 방전된다. 이 동작에서도 HV 블록에서 사용된 전하가 LV 블록으로 이동하여 재활용된다.

위와 같이 공급전압을 재활용할 경우 읽기동작에서 셀의 스윙 폭이 작기 때문에 센스앰프가 데이터를 센싱하는 속도가 느려지는 단점이 있다. 그림 3은 읽기동작에서 속도가 느려지는 단점을 보완하기 위한 회로이다. 읽기동작의 워드라인이 켜지는 순간에만 메모리 셀에

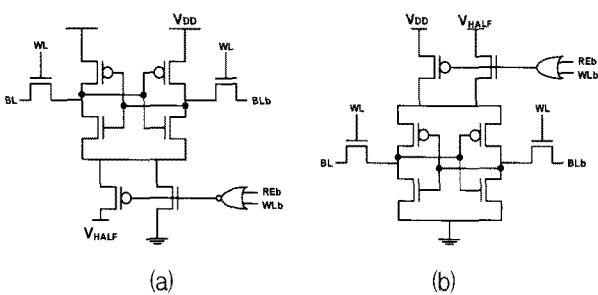


(a)



(b)

그림 2. SVCR-SRAM (a) 회로 (b) 쓰기 및 읽기 동작 파형
Fig. 2. SVCR-SRAM (a) circuits (b) write and read operation.



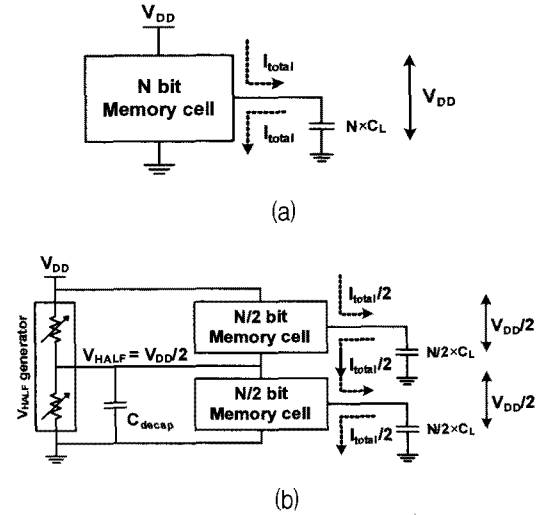
(a)

(b)

그림 3. 읽기속도가 느려지는 단점을 보완하기 위한 회로 (a)높은 공급전압 영역 (b)낮은 공급전압 영역
Fig. 3. Compensation circuits of read operation speed (a)high voltage region (b)low voltage region.

1.8V 스윙의 전원을 공급하여 읽기속도가 느려지는 단점을 보완하였다.

그림 4(a)는 기존의 단일 공급전압을 이용한 N비트 메모리셀의 전력소모를 보여준다. 쓰기과 읽기 동작동안, N비트 메모리셀에 흐르는 동적전류(Dynamic c



(b)

그림 4. N-bit memory 에서의 전력소모 (a) 단일 공급전압 (b) 전하재활용을 이용한 공급전압
Fig. 4. Power consumptions in N-bit memory cells using (a) single supply voltage (b) charge recycling supply voltage.

urrent) I_{total} 은 V_{DD} 로부터 GND로 흐른다. 이 전력소모 다음과 같다.

$$P = f \times N \times C_L \times V_{DD}^2$$

여기서 f 는 동작 주파수이고, N 은 동작되는 셀의 수, 그리고 C_L 은 각 메모리 셀 당 부하 커패시턴스이다.

그림 4(b)는 전하재활용 공급전압을 이용한 N비트 메모리 셀의 전력소모를 보여준다. 상단의 N/2비트 메모리에서의 동적전류 $I_{total}/2$ 은 V_{DD} 로부터 V_{HALF} 로 흐른 후, 하단의 N비트 메모리 셀을 통해 V_{HALF} 로부터 GND로 흘러 재활용된다. 이때의 전력소모는 아래와 같다.

$$\begin{aligned} P &= P_{upper} + P_{lower} \\ &= f \times \frac{N}{2} \times C_L \times \left(\frac{V_{DD}}{2}\right)^2 + f \times \frac{N}{2} \times C_L \times \left(\frac{V_{DD}}{2}\right)^2 \\ &= \frac{1}{4} \times f \times N \times C_L \times V_{DD}^2 \end{aligned}$$

공급전압의 전하재활용을 이용한 메모리 블록에서의 전력소모는 이상적으로 단일 공급전압을 이용한 전력소모의 1/4이 되어야 하지만, 실제로는 1/4보다 더 크다. 그 이유는 동작속도를 위해 전하재활용 공급전압 대신 단일 공급전압(V_{DD} 와 GND)을 사용한 블록들의 전력소모가 있기 때문이다.

그림 5는 공급전압을 1.8V에서 1.5V로 낮추어 단일

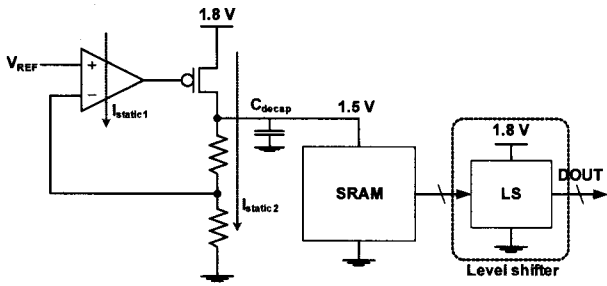


그림 5. 강하된 단일 공급전압 SRAM
Fig. 5. Lowering single supply voltage SRAM.

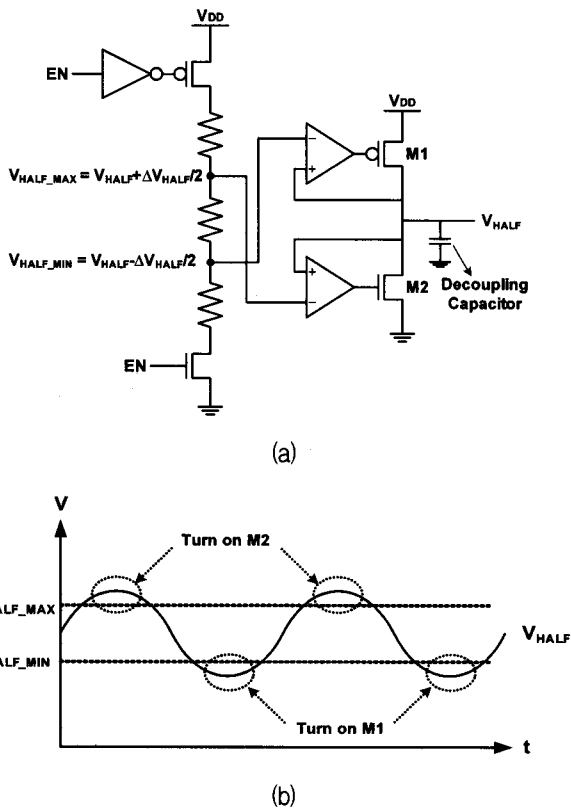


그림 6. V_{HALF} 생성기의 (a) 회로 (b) 파형
Fig. 6. V_{HALF} generator (a) circuit (b) operating waveforms.

공급전압 사용한 SRAM의 구성도이다. 제안된 SVCR-SRAM과 마찬가지로 공급전압이 낮아져 전력소모를 줄이는 효과는 같으나, 1.5V의 공급전압을 만들어 주기 위한 LDO(Low Drop Output)와 출력 단에 추가된 레벨시프터(level shifter)에 의해 전력소모가 늘어나는 단점이 있다. 또한 캐패시턴스가 큰 decoupling capacitor의 추가로 면적이 늘어나는 단점이 있다.

전하재활용 공급전압을 사용하기 위해서는 기준전압 V_{HALF} 가 필요하다. 그림 6(a)와 (b)는 각각 V_{HALF} 생성기의 회로와 동작 파형이다. P_{upper} 와 P_{lower} 사이의 차이를 보상하기 위한 두 개의 트랜지스터, 3개의 저항, 두

개의 OP-AMP, 그리고 안정된 V_{HALF} 를 위한 decoupling 캐패시터로 구성되어진다. 또한, EN signal을 사용하여 동작하지 않을 때의 의미 없는 전력소모를 줄일 수 있다.

그림 6(a)의 상단 OP-AMP와 M1 트랜지스터는 V_{HALF} 가 V_{HALF_MIN} 보다 높게 유지할 수 있도록 해준다. 만약 V_{HALF} 가 V_{HALF_MIN} 보다 낮아질 경우 상단 OP-AMP는 M1 트랜지스터를 켜고, decoupling 커패시터를 V_{HALF_MIN} 보다 높아질 때까지 충전시킨다. 반대로 하단 OP-AMP와 M2 트랜지스터는 V_{HALF} 가 V_{HALF_MAX} 보다 작게 유지시킨다. 그러므로 P_{upper} 와 P_{lower} 가 다르더라도 재활용 동작을 할 수 있게 V_{HALF} 가 유지된다.

그림 7은 제안된 8K×8비트 SVCR-SRAM의 구조이다. 이 구조는 SRAM 메모리셀, pre-디코더, 워드라인 디코더, 컬럼디코더, 멀티플렉서, 쓰기 드라이버, 센스앰프, 그리고 컨트롤로 구성되어진다. 전체 메모리 셀은 32개의 블록으로 구성되어지는데, 하나의 블록은 256×4비트의 HV 블록 셀, 256×4비트의 LV 블록 셀, 그리고 워드라인 드라이버로 구성되어 있다.

쓰기 및 읽기동작에서 사용되는 8비트 데이터는 HV 블록의 4비트와 LV 블록의 4비트를 사용하며, 워드라인 드라이버는 각 HV 셀 4비트와 LV 셀 4비트를 동작시킨다. 또한, HV 셀들과 LV 셀들에 두 가지 종류의 전압으로 HV와 LV 쓰기 드라이버가 데이터버스와 비트라인을 충방전시킨다. 그리고 8비트의 차동타입 센스앰프는 데이터버스의 8비트 데이터를 감지한다. SVCR-SRAM은 두 가지 종류의 워드라인 드라이버, V_{HALF} 생성기, 그리고 decoupling 캐패시터 때문에 기

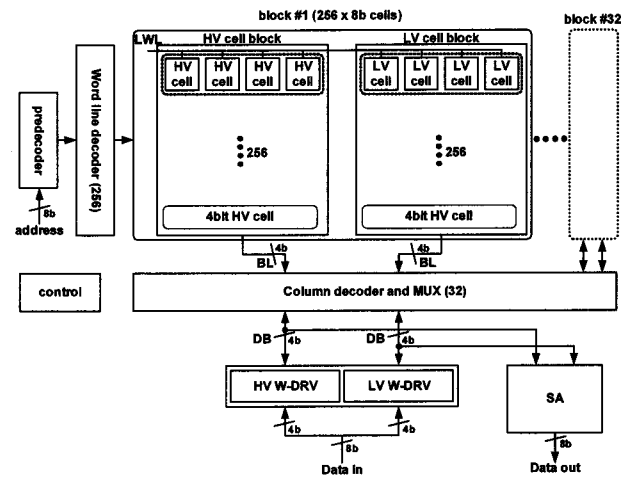


그림 7. SVCR-SRAM 구조
Fig. 7. SVCR-SRAM architecture.

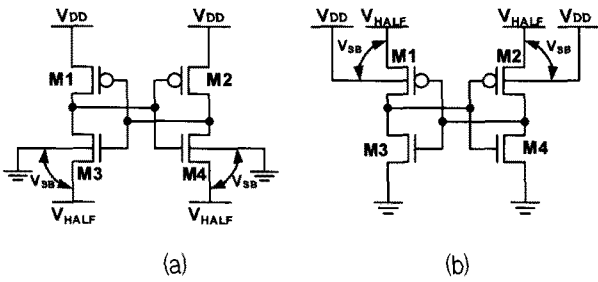


그림 8. 바디효과에 따른 누설전류 감소 (a) HV SRAM 셀 (b) LV SRAM 셀

Fig. 8. Leakage current reduction due to body-effects in (a) HV SRAM cell (b) LV SRAM cell.

존의 SRAM 보다 면적이 약간 늘어난다.

그림 8은 HV 셀과 LV 셀에서의 Body-effect를 보여 준다. HV 셀에서 M3 트랜지스터와 M4 트랜지스터의 소스와 바디사이의 전압 V_{SB}로 인해 Body-effect가 나타나고, LV 셀에서도 M1 트랜지스터와 M2 트랜지스터 사이의 V_{SB}때문에 Body-effect가 나타난다. 그러므로 모든 메모리 셀들에서 누설전류가 크게 줄어들게 되는 효과가 있다.

III. 실험 결과와 비교

검증을 위하여, 64K비트 SVCR-SRAM이 0.18 μ m CMOS 공정으로 구현하였으며, V_{DD}=1.8V, f=50MHz의 환경에서 쓰기 및 읽기 동작의 전력소모를 측정하였다. 그림 9은 쓰기 및 읽기 동작의 실험 파형이다. HV 블

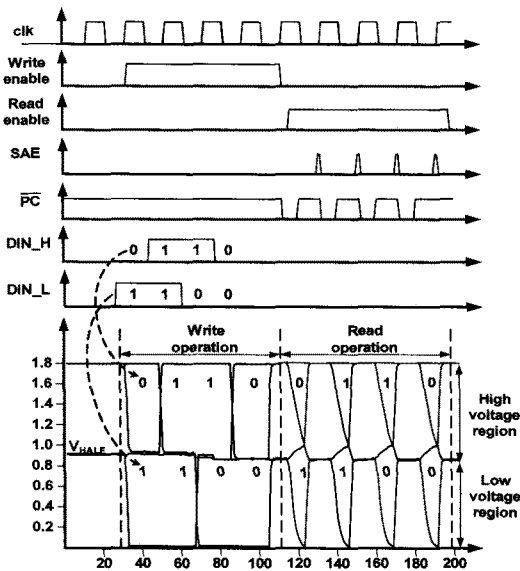


그림 9. SVCR-SRAM의 시뮬레이션 파형
 Fig. 9. Simulated waveforms of SVCR SRAM.

록의 비트라인과 워드라인은 V_{DD}=1.8V와 V_{HALF}=0.9V의 높은 전압영역에서 동작하고, LV 블록에서는 비트라인과 워드라인이 낮은 전압 영역에서 동작한다. 쓰기 동작에서의 파형을 보면, HV 블록과 LV 블록에 각각 '0110', '1100'의 데이터가 쓰여졌다.

읽기 동작에서 HV블록의 비트라인은 V_{DD}=1.8V로 충전된 후에, $\Delta V_{BL,H} \approx 100mV$ 의 스윙전압으로 방전되며, LV 블록의 비트라인은 V_{HALF}=0.9V로 충전된 후에, $\Delta V_{BL,L} \approx 200mV$ 의 스윙전압으로 방전된다. 여기서 $\Delta V_{BL,H}$ 와 $\Delta V_{BL,L}$ 의 차이는 그림 10에서 보여주듯이 HV 셀과 LV 셀의 액세스 트랜지스터의 Body-effect에 따른 이동도의 차이 때문이다. 비트라인의 스윙전압은 HV 셀들과 LV 셀들의 두 가지의 다른 워드라인 동작 펄스를 사용함으로써 조절할 수 있다. 파형을 보면, '0110', '1100'의 데이터가 HV 셀들과 LV 셀들로부터 각각 읽어진다.

표 1은 제안된 SVCR-SRAM과 기존의 SRAM의 전력소모와 성능의 비교 결과이다. SVCR-SRAM은 전력소모에서 쓰기전력의 57.4%, 읽기전력의 27.6%를 줄였

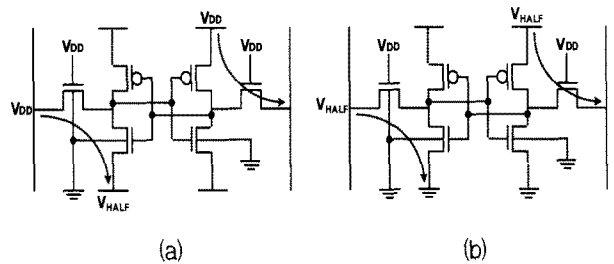


그림 10. 바디효과에 따른 비트라인의 스윙전압의 차이 (a) HV SRAM 셀 (b) LV SRAM 셀

Fig. 10. Bit line swing voltage difference due to body-effect in (a) HV SRAM cell (b) LV SRAM cell.

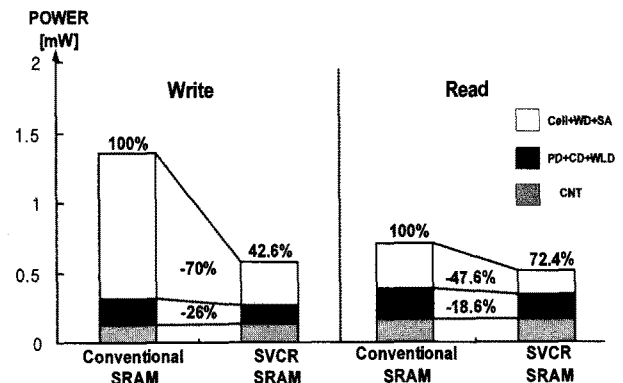
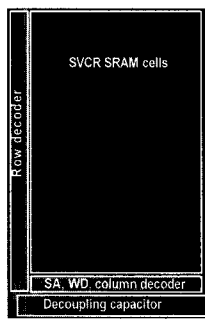


그림 11. 전력소모 비교
 Fig. 11. Power comparisons.

표 1. 성능비교

Table 1. Performance Comparisons.

		Conventional SRAM	SVCR-SRAM	Ratio [%]
Power [mW] @50MHz	write	1.359	0.578	42.6
	read	0.701	0.508	72.4
Speed [ns]	write	4.4	5.5	125
	read	4.6	6.1	132
Area [mm ²]	w/o. cap	0.992	1.03	104
	w. cap	0.992	1.06	107



Technology	0.18um CMOS
Organization	8K × 8 bit
Supply voltage	1.8V
Max. Frequency	163MHz
Chip Core Area [mm ²]	1.06 (1.21×0.881)
Power @50MHz	0.578 mW @ write
	0.508 mW @ read

그림 12. SVCR-SRAM의 레이아웃과 특성
Fig. 12. The layout and characteristic of SVCR-SRAM.

고 속도에서는 쓰기 25%, 읽기 147%가 늘어났다. 또한, SVCR-SRAM은 decoupling 캐패시터를 제외하는 경우 4%의 면적이 증가한다. 그림 12는 구현된 SVCR-SRAM의 레이아웃과 특성을 보여준다.

IV. 결 론

본 논문에서는 공급전압의 전하를 재활용하여 전력 소모를 줄인 저전력 SRAM(Low power SRAM using supply voltage charge recycling: SVCR-SRAM)을 제안하였다. 제안한 SVCR-SRAM은 SRAM 셀 블록을 두 개의 셀 블록으로 나누어 두 종류의 공급전압을 공급한다. 이중 하나는 V_{DD} 와 $V_{DD}/2$ 이고, 다른 하나는 $V_{DD}/2$ 와 GND이다. N비트 셀들이 연결되었을 때, V_{DD} 와 $V_{DD}/2$ 의 전원으로 동작하는 N/2비트의 셀들에서 사용된 전하는 나머지 $V_{DD}/2$ 와 GND의 전원으로 동작하는 N/2비트의 셀들에서 재활용된다. SVCR 기법은 전력소모가 많은 비트라인, 데이터 버스, SRAM 셀에서 사용되어 전력소모를 줄여준다. 다른 부분들에서는 동작속도를 높이기 위해 V_{DD} 와 GND의 공급전압을 사용

하였다. 또한, SVCR-SRAM에서는 Body-effect로 인한 SRAM 셀들의 누설전류가 크게 감소하는 효과가 있다. 검증을 위하여, 64K비트(8K×8비트)SRAM chip을 $V_{DD}=1.8V$, 0.18um CMOS 공정으로 구현하였다. 제작된 SVCR-SRAM에서는 쓰기전력의 57.4%와 읽기전력의 27.6%가 줄었다.

참 고 문 헌

- [1] B.-D. Yang and L.-S. Kim, "A low power charge-recycling ROM architecture," IEEE Trans. VLSI Syst., vol. 11, pp. 590-600, Aug. 2003.
- [2] B.-D. Yang and L.-S. Kim, "A low-power SRAM using hierachical bit line and local sense amplifiers,"IEEE J. Solid-State Circuits, vol. 40, no. 6, pp. 1366-1376, Jun. 2005.
- [3] K.-J. Kim, H. Mahmoodi and K. Roy, "A Low-Power SRAM Using Bit-Line Charge-Recycling," IEEE J. Solid-State Circuits, vol. 43, no.2, pp. 446-459, Feb. 2008.
- [4] M. Sharifkhni and Sachdev, "Segmented Virtual Ground Architecture for Low-Power Embedded SRAM," Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, vol. 15, pp. 196-205, Feb. 2007.
- [5] K. Zhang, U. Bhattacharya, C. Zhanping, F. Hamzaoglu, D. Murray, N. Vallepalli, W. Yih, B. Zheng, M. Bohr, "SRAM design on 65-nm CMOS technology with dynamic sleep transistor for leakage reduction," IEEE J. Solid-State Circuits vol. 40, no. 4, pp. 895-901, April. 2005.
- [6] S. Rajapandian, K.-L. Shepard, P. Hazucha, T. Karnik, "High-Voltage Power Delivery Through Charge recycling," IEEE J. Solid-State Circuitsvol. 41, no. 6, pp. 1400-1410, June. 2006.

저 자 소 개



양 병 도(정회원)

1999년 한국과학기술원 전자전산학과 전기및전자공학전공 석사 졸업

2001년 한국과학기술원 전자전산학과 전기및전자공학전공 석사 졸업

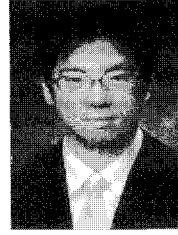
2005년 한국과학기술원 전자전산학과 전기및전자공학전공 박사 졸업

2005년~2006년 삼성전자 반도체 사업부 책임 연구원

2006년~2007년 충북대학교 전기전자컴퓨터공학부 전자공학전공 전임강사

2008년~현재 충북대학교 전기전자컴퓨터공학부 전자공학전공 조교수

<주관심분야 : 메모리 설계, 아날로그 IC 설계, 디지털 IC 설계>



이 용 규(정회원)

2008년 충북대학교 전자공학과 졸업

2008년~현재 충북대학교 반도체공학과 석사과정

<주관심분야 : 메모리 설계, 아날로그 IC 설계, 디지털 IC 설계>