

Driving Method for Mis-discharge Improvement at Low Temperature in AC PDP

김근수* · 이석현†
(Gun-Su Kim · Seok-Hyun Lee)

Abstract - In AC-PDP, it is necessary to achieve high luminance efficiency, high luminance and high definition by adopting technologies such as high xenon concentration, MgO doping, and long gap. However, it is very difficult to apply above technologies because they make the driving voltage margin reduced. Especially, high Xe concentration technology for high efficacy makes not only the driving voltage margin reduced but also the stability of reset discharge decreased at low temperature. In this paper, we studied temperature and voltage dependent stability of reset discharge and present the experimental results of the discharge characteristics at low temperature. In addition, we suggested the mechanism of bright noise and black noise at low temperature. Finally, we proposed double reset waveform to improve the bright noise and descending scan time method to improve the black noise.

Key Words : PDP, Plasma, MgO, Temperature, Exo-electron, Black Noise, Bright Noise, Jitter, Stability, Reset

1. 서론

40인치 이상 대형 디스플레이 시장을 독점 할 것으로 예상 되었던 PDP(Plasma Display Panel)는 LCD의 (Liquid Crystal Display) 추격으로 현재 40인치대에서 어려운 경쟁을 하고 있다. 지금까지 이를 극복하기 위해서 암실 명암비 (dark-room contrast ratio) 및 고속 어드레싱 방법 등 많은 연구들이 이루어졌다[1-7, 12]. 또한 다면취 공법개발 및 XGA급만 아니라 Full HD급에서도 single scan을 할 수 있는 기술을 개발하였으며 이에 따른 원가절감을 수행하여 LCD나 다른 디스플레이 소자와 경쟁을 하고 있다. 그러나 이러한 기술들에도 불구하고 판가하락에 따른 경쟁을 확보하기 위해 PDP는 더욱 원가절감과 고효율, 고화질 기술을 개발해야 할 필요가 있다.

현재 LCD와의 경쟁하기 위해서 PDP의 시장은 XGA급에서 Full HD급의 해상도로 급격하게 전환이 되어야 하는 현실에서 고속 어드레싱, 고효율, 고화질 기술이 더욱 필요한 실정이다. 하지만, PDP의 고속 어드레싱, 고효율, 고화질 기술들은 PDP 방전의 온도 의존성을 증가시키기 때문에 구동 마진이 감소하여 이를 적용하기가 상당히 어렵다. 특히 고효율을 위한 high Xe, long gap 등의 기술들은 온도가 감소할수록 어드레스 jitter가 증가하면서 black noise가 발생하고, 리셋 방전의 안정성이 감소하면서 리셋 구간에서 강방전이 발생하여 bright noise를 발생시킨다. 따라서 저온에서

오방전들이 증가하는 어려운 점들이 있다. PDP의 원가절감과 고효율, 고화질 기술을 개발 시에는 PDP 방전의 온도 의존성 개선이 반드시 필요하고, 이를 개선하기 위한 구동 파형 개발이 절실한 상황이다.

본 연구에서는 PDP의 저온에서의 방전 현상을 분석하였다. 특히, 온도에 따라 변화하는 MgO의 특성(exo-electron emission)이 방전에 미치는 영향을 분석하였고, bright noise를 개선하기 위한 double reset 파형과 black noise를 개선하기 위한 descending scan time 방법을 제안하였다.

2. Exo-electron emission 현상

Exo-electron emission 현상은 방전 후에도 계속 전자들이 방출되는 현상으로 이에 관한 연구가 많이 보고되고 있다[8-13]. 이 현상은 1936년 L. Malter의 연구결과에서 보고되었고, 1973년 Weber와 Johnson의 연구결과에서는 방전 후에 셀 내에 흐르는 전류를 측정하였다[8-9].

Oster와 Haddad의 보고서에서는 exo-electron emission 현상을 thermal과 전계에 의한 현상과 Auger mechanism에 의한 현상 2가지로 분리하고 있다[11]. Thermal과 전계가 증가 할수록 exo-electron emission 현상이 증가하고, Auger-emission mechanism에서는 전자와 정공에 의한 재결합 과정에 의해 발생된 에너지가 전자로 방출된다[11]. 그림 1에 Auger-emission mechanism의 energy level의 개략도를 나타내었다[11].

최근 연구에서는 exo-electron emission 현상이 리셋 방전의 안정성 및 방전지연시간 감소에 영향을 많이 준다고 보고되고 있다. Nagorny의 수치해석 결과에서 램프방전에서 exo-electron emission의 양이 많을수록 리셋 방전의 크기가

† 교신저자, 정회원 : 인하대 전기공학과 교수

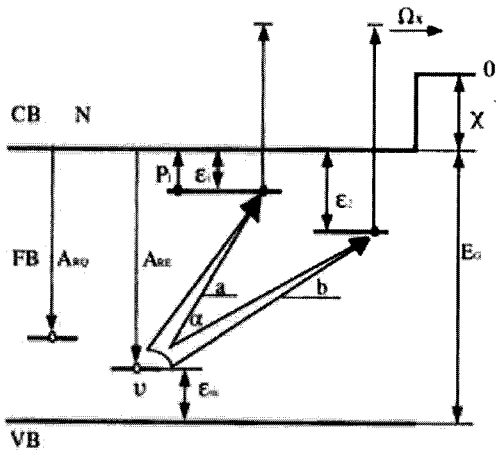
E-mail : plasma@inha.ac.kr

* 정 회원 : LG전자

접수일자 : 2009년 1월 14일

최종완료 : 2009년 4월 10일

작아지고, 연속적으로 발생한다고 보고 하였다[10]. 그는 방전에 기여하는 priming 입자들 중에 오랜 시간동안(1ms 이상) 존재하는 것은 exo-electron emission만이 없다고 설명하고 있다[10]. 그래서 실 구동조건에서 리셋 방전의 안정성에 exo-electron emission 현상이 가장 많은 영향을 주는 것으로 볼 수 있다. 이러한 exo-electron emission 현상은 forbidden zone의 energy levels의 수와 분포, forbidden band와 conductive band의 전자들과 valence bane의 홀들의 수, 온도, dopant 그리고 표면 상태 등의 영향을 많이 받는다[10]. 또한 Pioneer社에서는 CEL(Crystal Emissive Layer)을 사용하여 250nm 근처에서 cathodoluminescence를 크게 발생하게 하여 방전지연시간을 크게 감소 시켰다[12]. 이와 같이 exo-electron emission은 리셋 방전의 안정성뿐만 아니라 방전지연시간을 감소시키는데 큰 역할을 한다. 온도가 감소할수록 리셋 방전의 안정성 감소로 bright noise가 발생하고, 방전지연시간 증가로 black noise가 발생하게 되는데, 이러한 문제점들은 exo-electron emission 현상이 감소할 때 발생하는 문제점들과 동일한 현상들이다. 본 논문에서는 저온에서 발생하는 문제점들과 exo-electron emission 현상의 상관관계를 규명하고, 이를 개선할 수 있는 구동 방법을 제시하고자 한다.



- E_G : band gap
- ϵ_m : energy depths of the hole trap (eV)
- ϵ_1, ϵ_2 : energy depths of different electron traps (eV)
- χ : electron affinity (eV)
- CB : conduction band
- FB : forbidden band
- VB : valence band
- P1 : probability of electron ejection
- ν : the hole concentration in the hole traps (cm^{-3})
- α : the transfer probability of the recombination energy
- A_{RE}, A_{RQ}, A_R : the recombination probability
- Ω_x : probability of hot electron emission

그림 1 Auger emission mechanism의 energy level 개략도
Fig. 1 Energy level diagram for Auger emission mechanism

3. 본 론

3.1 실험 장치 및 방법

3.1.1 실험에 사용한 패널의 사양

그림 2는 본 실험에 사용된 3전극 면방전형 AC-PDP의 셀 구조이다. 3mm 두께인 2장의 유리로 구성되어 있고, 상판에는 유리 기판위에 ITO 전극을 증착 하고 그 위에 Ag로 이루어진 버스 전극을 인쇄한다. ITO 전극과 버스 전극으로 이루어진 방전유지전극 위에 유전체를 인쇄하고, 유전체 보호막인 MgO를 그 위에 증착한다. 그리고 하판에는 유리 기판위에 Ag로 인쇄된 어드레스 전극을 인쇄한다. 그리고 인접 셀과의 구분을 위하여 격벽을 만든다. 그 다음 면방전에서 발생하는 진공자외선을 가시광으로 변환하는 red, green, blue 빛의 삼원색 형광체를 각각 도포 한다.

본 실험에 사용한 패널은 3전극 면방전형 구조이다. 패널 사양은 다음의 표 1과 같다. 50인치 패널에서 Ne 90%, Xe 10%, 가스압력은 400 Torr로 제작하여 실험하였다.

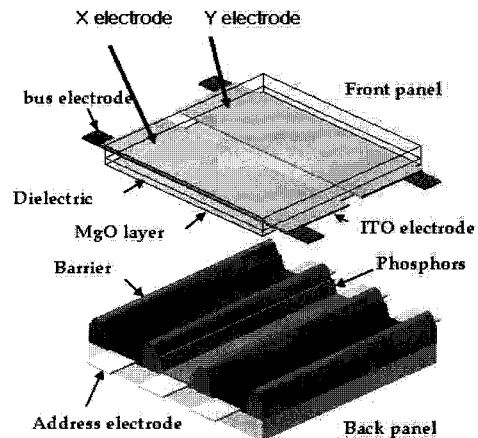


그림 2 AC-PDP의 기본 구조
Fig. 2 Basic structure of AC-PDP

표 1 패널의 사양
Table 1 The specification of panel

Panel size	50 inch
Working gas	Ne(90%)-Xe(10%)
Gas pressure	400 Torr
Barrier rib height	130 μ m
ITO width	290 μ m
ITO gap	80 μ m
Bus width	80 μ m
Dielectric thickness	38 μ m
MgO Thickness	8000 Å

3.1.2 실험 장치

그림 3은 본 실험에서 사용한 실험 장치 구성도이다. 50인치 모듈을 전원공급기와 패턴 발생기로 구동한 후 오실로스코프(TDS3054B, Lecroy 7100)를 사용하여 전압 파형을 측정하였다. 그리고 광 파형기를 오실로스코프에 연결하여 광 파형을 측정하였다. 모듈은 온도 가변 챔버에서 0℃에서 60℃까지 가변시켜서 방전지연시간 및 방전 특성을 분석하였다. PC에서 구동 파형을 변경하여 여러 가지 파형을 발생시켜 실험을 실시하였으며 광 파형 측정기를 오실로스코프에 연결하여 광 파형을 측정하였다.

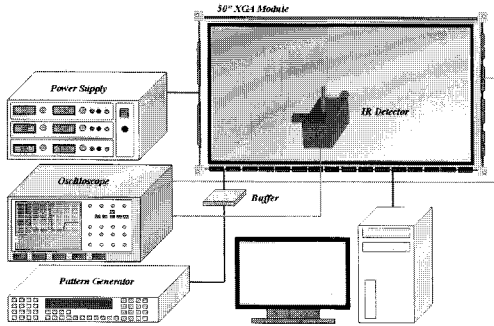


그림 3 실험 장치의 개략도
Fig. 3 Schematic diagram of system for test

3.1.3 실험에 사용한 구동 파형

그림 4는 실험에 사용한 X, Y 구동 파형의 개략도를 나타낸 것이다. 본 실험에 사용한 리셋 파형은 셋업(setup) 파형이 인가되기 전에 Y 전극은 -200V까지 하강하는 셋다운(setdown) 파형과 그와 동시에 X 전극은 V_s 전압까지 상승시키는 프리리셋(pre_reset) 파형을 인가한다. 1st sub-field의 리셋파형은 프리리셋 파형이 인가되고, $V_{sc} + V_s$ 전압을 사용하는 셋업 파형이 인가된다, 2nd sub-field 이상에서는 프리리셋 파형을 사용하지 않고, 셋업 파형은 V_s 전압까지만 상승하는 파형을 사용하였다. 1 frame에는 총 10개의 sub-field를 사용하였고, V_y 전압은 -200V, V_{xb} 전압은 100V, V_{sc} 전압은 130V를, V_s 전압은 190V, V_a 전압은 60V 사용하였다.

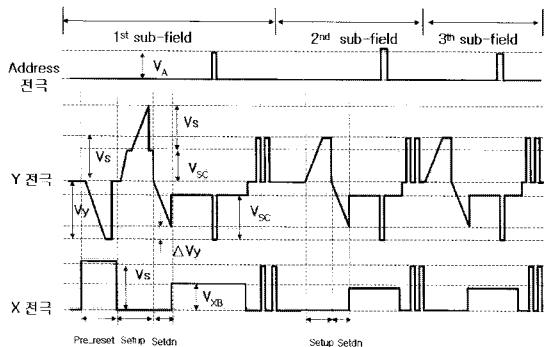


그림 4 구동 파형의 개략도
Fig. 4 Schematic diagram of voltage waveform

3.2 온도에 따른 어드레스 방전지연시간 비교

온도에 따른 어드레스 방전 특성을 분석하기 위해 어드레스 방전지연시간을 측정하였다. 온도 가변 챔버 안에서 챔버의 온도를 0℃부터 60℃까지 가변시켜 red, green, blue 각각 1 line만 방전을 시킨 후 1st sub-field의 어드레스 구간 중 600 번째 line의 방전지연시간을 측정하였다. 그림 5는 어드레스 방전지연시간 측정 방법 개략도이다. 스캔 펄스가 50% 하강 했을 때의 시간과 어드레스 광의 90% 상승했을 때의 시간을 측정하였다. T_D 는 total time lag, T_F 는 formative time lag, T_S 는 statistical time lag로 정의하였다.

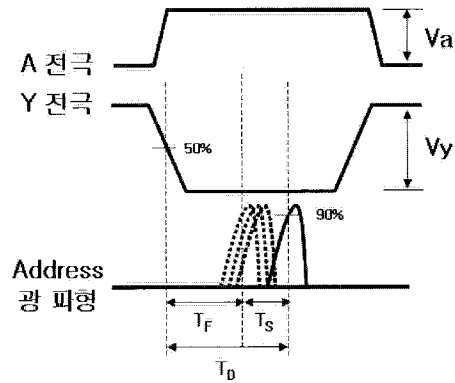


그림 5 어드레스 jitter 측정 개략도
Fig. 5 Schematic diagram of measurement for address jitter

그림 6은 온도에 따른 어드레스 방전지연시간을 측정 한 그래프이다. 패널의 온도에 따라 어드레스 방전지연시간을 1000번씩 측정하였다. 어드레스 방전지연시간은 0℃일 때 최고 약 $1.4\mu s$ 정도로 가장 크고, 온도가 올라 갈수록 감소하고, 60℃에서는 약 $0.9\mu s$ 정도로 감소한다. T_F 는 온도에 따라 거의 변화가 없지만 T_S 는 온도에 따라 크게 영향을 받고 저온일수록 온도에 따른 방전지연시간 변화 기율이 크다.

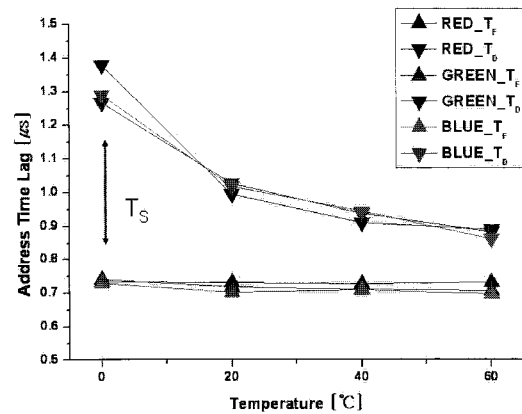
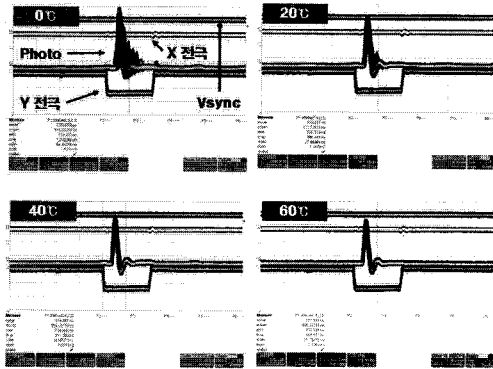
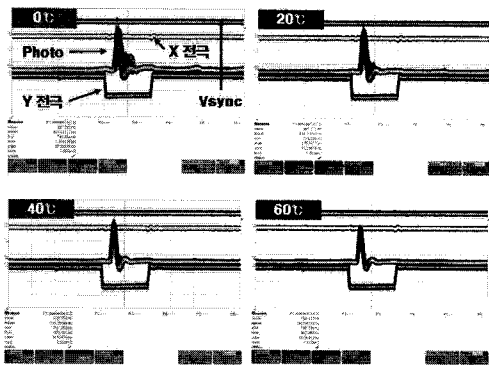


그림 6 패널 온도에 따른 어드레스 jitter
Fig. 6 Address jitter as temperature of panel

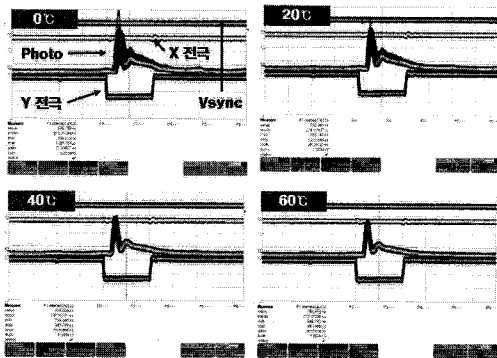
그림 7은 각각 red, green, blue의 온도에 따른 어드레스 방전지연시간과 인가전압 파형을 측정된 그림이다. Red, green, blue 셀 모두가 온도가 증가할수록 어드레스 방전의 T_s 가 감소하나 광 파형 크기는 감소하는 것을 볼 수가 있다. 패널의 온도 변화가 방전 전압의 변화를 일으켜서 어드레스 방전지연시간을 변화 시켰다면, 방전지연시간 감소할 때, 방전량도 증가하여야 하지만, 온도 변화에 의해서 나타난 현상은 방전지연시간의 변화에 따라 방전량도 함께 증가하거나 감소하는 것을 볼 수가 있다.



(a) Red cell



(b) Green cell



(c) Blue cell

그림 7 패널의 각 온도별 다른 어드레스 구간에서의 광파형과 전압 파형

Fig. 7 Photo waveform and voltage waveform in address period at different temperature of panel

3.3 저온에서의 오방전 현상

저온에서는 V_A 가 인가된 셀들이 off 셀로 나타나는 black noise 현상이 발생함과 동시에 V_A 가 인가되지 않은 셀들이 on 셀로 나타나는 bright noise 현상도 나타난다.

그림 8은 0°C부터 20°C까지의 저온 영역에서의 V_A 최소값을 측정된 그래프이다. 20°C 이하 영역에서는 V_A 최소값이 온도가 감소할수록 상승한다. V_S 가 190V인 경우 온도가 20°C 대비 0°C 일 때 V_A 최소값이 15.9V 상승한다. 온도가 감소할수록 어드레스 방전지연시간이 증가하기 때문에 V_A 최소값이 상승하고, 이러한 현상 때문에 저온에서는 black noise 현상이 발생한다. 그림 10의 결과에서 보듯이 패널의 온도 20°C를 기준으로 온도가 감소할 경우 V_A 최소값이 상승한다.

이와 같이 저온에서는 exo-electron emission 현상이 감소하면서 방전지연시간이 증가하여 black noise가 발생한다. 이와 함께 bright noise도 함께 발생하게 된다. Bright noise는 어드레스 전압이 인가되지 않은 셀에서 발생하는 현상이다. 이러한 bright noise는 리셋 구간에서 발생한 강방전이 서스테인 방전을 야기 시키기 때문에 발생한다.

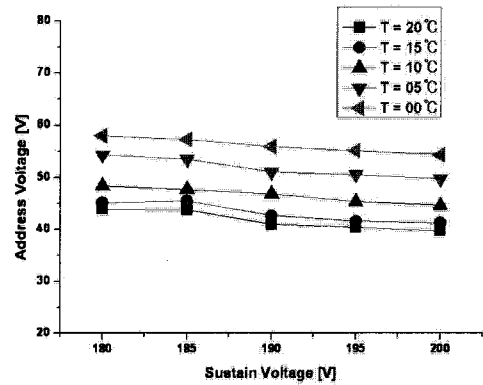


그림 8 20°C이하에서 black noise 현상에 의한 VA 최소값 Fig. 8 VA min. of black noise as temperature under 20°C

3.4 강방전 확률과 리셋 방전의 안정성

3.4.1 상온과 저온에서의 강방전 확률 (the probability of strong dark discharge)

그림 9는 강방전 측정을 위한 전압 파형과 광 파형을 표시한 그림이다. 강방전 확률은 1st sub-field의 리셋 구간에서 측정하였다. 그림 9처럼 리셋 파형의 정상적인 파형의 최대값이 약 10mV로 측정되었기 때문에 강방전 발생 확률은 2000번의 리셋 파형을 인가하여 리셋 구간 중의 광의 크기가 20mV 이상이 되는 경우를 측정하여 확률로 나타내었다. 그림 10은 상온 및 저온에서 강방전 확률을 비교한 그래프이다. 측정결과 강방전 확률은 상온에서는 강방전 확률이 0%인데, 저온에서는 강방전 확률이 5.2% 발생하였다. 패널의 온도 감소할수록 강방전 확률이 증가하는 원인 exo-electron emission 현상이 감소하기 때문이다.

Exo-electron emission의 양이 많으면 방전이 발생할 확률이 증가하기 때문에 리셋 구간에서 방전의 안정성이 증가하여 약방전이 잘 발생하지만, exo-electron emission의 양이 감소하면 방전이 발생할 확률이 감소하기 때문에 리셋 구간에서 방전의 안정성이 감소하여 불연속적으로 리셋 방전이 발생하여 강방전 확률이 증가하고, 상대적으로 높은 전압에서 방전이 발생하여 강방전 확률이 증가하게 된다. Exo-electron emission의 양에 따른 리셋 방전을 시뮬레이션을 수행하여 보고된 Nagorny의 연구 결과에서도 exo-electron emission의 양이 많을수록 방전의 강도가 감소하고 방전이 연속적으로 발생하는 것으로 나타났다[10]. 방전의 강도가 증가하면 곧 강방전 확률 증가로 나타나기 때문에 방전지연시간에 직접적으로 영향을 주는 exo-electron emission은 bright noise에 많은 영향을 준다.

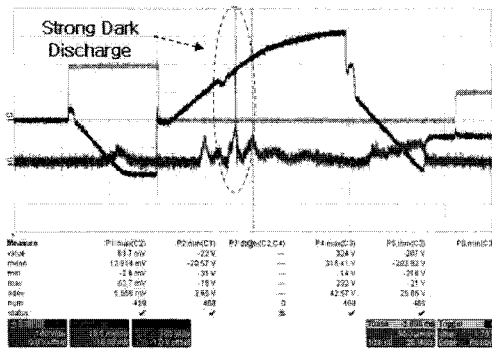


그림 9 강방전 측정을 위한 전압 파형과 광 파형
Fig. 9 Voltage waveform and photo waveform for measuring strong dark discharge probability

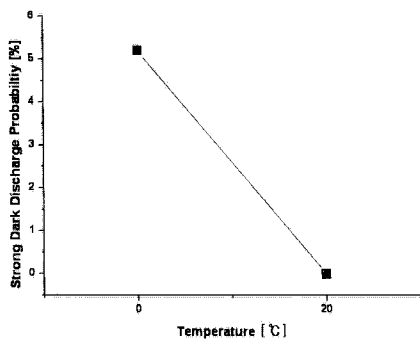
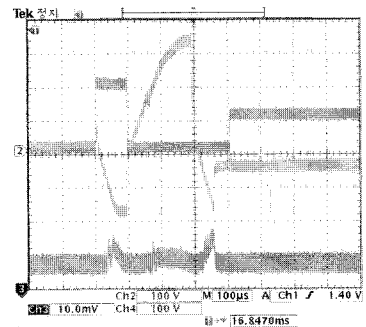


그림 10 저온(0°C)과 상온(20°C)에서 강방전 확률 비교
Fig. 10 Comparison of strong dark discharge probability at low temperature(0°C) and room temperature(20°C)

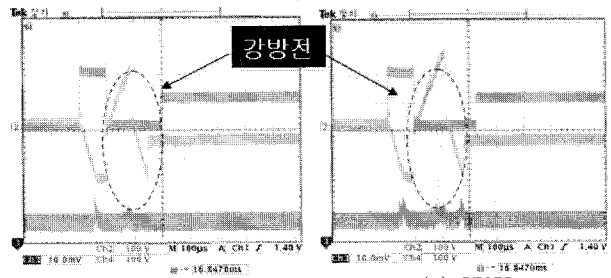
3.4.2 리셋 전압과 리셋 방전의 안정성 (the stability of reset discharge)

그림 11은 1st sub-field의 리셋 전압에 따른 광 파형을 측정된 사진이다. 광 파형과 전압 파형은 500회 동안 중첩시켜 오실로 스코프로 측정하였고, 측정 패턴은 full green의

19 gray를 적용하였다. 그림 11은 상온 20°C에서 1st sub-field의 리셋 전압에 따른 광 파형을 측정된 사진이다. 1st sub-field의 리셋 전압이 320V일 경우에는 리셋 방전이 안정하지만, 리셋 전압이 250V와 190V일 경우에는 리셋 구간에서 강방전이 발생하게 된다. 1st sub-field의 리셋 전압이 감소하면 리셋 방전이 약해져서 exo-electron emission 현상이 감소하여 다음 sub-field의 리셋 구간이나 그 다음 frame의 리셋 구간에 강방전을 발생 시킬 확률이 증가하게 된다. 또한 리셋 전압이 감소하여 리셋 구간에서 어드레스 전극에 양의 벽전하를 적게 쌓이게 된다. 그래서 리셋 구간에서 Y-A 전극간의 방전 확률이 증가하고, 이로 인해 Y-A 전극간의 방전이 강방전으로 발생하게 된다. 이와 같이 1st sub-field의 리셋 전압이 감소하면 리셋 방전의 안정성이 감소하게 되고, 1st sub-field의 리셋 방전은 다음 구간(sub-field or frame)의 리셋 방전 안정성에 영향을 준다는 것을 알 수 있다.



(a) 320V



(b) 190V

(c) 250V

그림 11 리셋 전압에 따른 1st sub-field 리셋 구간에서의 광 파형과 전압 파형
Fig. 11 Photo waveform and voltage waveform at 1st sub-field reset period as a function of reset voltage

그림 12는 저온(0°C)에서 리셋 전압에 따른 1st sub-field와 2nd sub-field의 리셋 구간에서 광 파형과 전압 파형을 측정된 그림이다. 저온에서는 리셋 전압이 320V일 경우에도 강방전이 발생하고, 모든 리셋 전압에서 그림 11의 상온에서의 결과보다 강방전이 더 많이 발생한다. 이것으로 리셋 방전의 안정성은 상온보다 저온에서 감소하는 것을 알 수가 있다. 또한 2nd sub-field의 리셋 구간의 강방전도 1st sub-field의 리셋 전압이 작아질수록 증가하는 것을 볼 수 있다. 이와 같이 1st sub-field의 리셋 방전의 안정성은 그 다음 sub-field에도 많은 영향을 준다는 것을 알 수 있다.

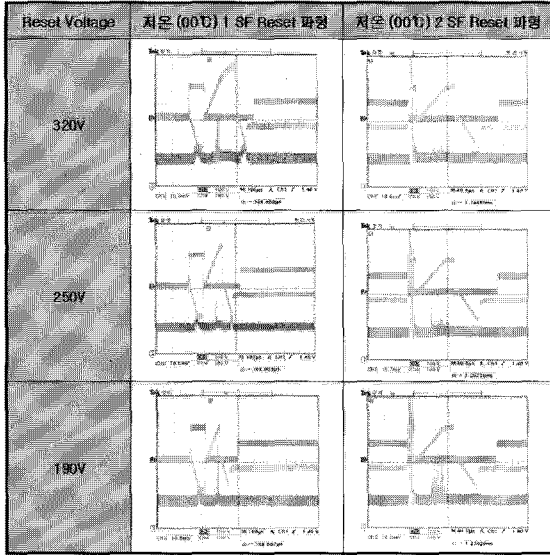


그림 12 저온(0℃)에서 리셋 전압에 따른 1 SF와 2 SF 리셋 구간에서의 광 파형과 전압 파형

Fig. 12 Photo waveform and voltage waveform in 1st and 2nd sub-field reset period as a function of reset voltage at low temperature (0℃)

그림 13은 저온(0℃)에서 리셋 전압에 따른 1 frame과 그 frame의 3, 4, 5th sub-field 구간의 광 파형과 전압 파형을 측정한 그림이다. 그림 13에서 보면 리셋 전압이 작을수록 높은 sub-field에서 bright noise 현상이 발생한다. 3, 4, 5th sub-field 구간을 확대한 그림을 보면 리셋 전압이 작을수록 높은 sub-field에서 bright noise 현상이 발생하고 있다.

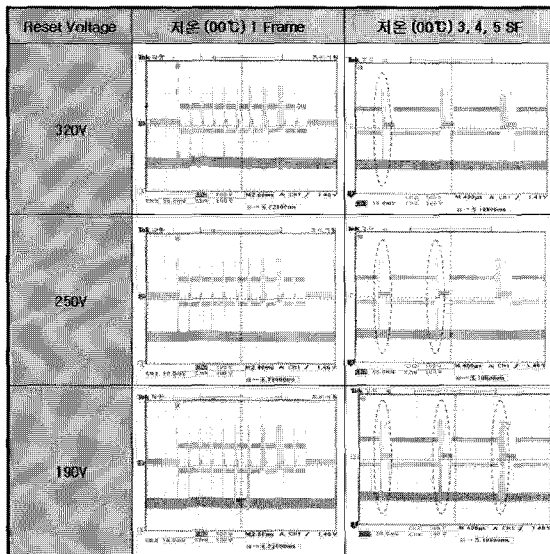


그림 13 저온(0℃)에서 리셋 전압에 따른 1 frame과 3, 4, 5th sub-field 리셋 구간에서의 광 파형과 전압 파형

Fig. 13 Photo waveform and voltage waveform in 1 frame and 3, 4, 5th sub-field reset period as a function of reset voltage at low temperature (0℃)

그림 11, 12, 13의 결과로 보면 리셋 방전의 안정성이 감소하면 강방전이 발생하여 bright noise가 증가하고, bright noise가 발생하는 sub-field도 증가하게 된다. 또한 패널의 온도가 감소하게 되면 MgO 표면의 exo-electron emission 현상이 감소하게 되어 강방전은 더 많이 발생되고, 이로 인해 리셋 방전의 안정성이 더 감소하게 된다. 이러한 bright noise 현상은 특히 서스테인 펄스 수가 많은 높은 sub-field에서 발생하면 쉽게 인지할 수는 있는 현상이기 때문에 리셋 파형 설계 시 반드시 고려해야하는 사항이다.

리셋 방전의 안정성을 향상시키기 위해서는 큰 리셋 전압이 필요로 하게 된다. 또한 패널 온도가 감소할수록 더 큰 리셋 전압이 필요하게 된다. 하지만 리셋 전압의 절대 크기가 증가하면 회로 비용이 상승하는 단점이 있어서 최대 전압의 한계가 존재하게 된다. 본 연구에서 사용된 회로는 $V_s + V_{sc}$ 전압을 리셋 전압의 최대 전압으로 사용하고 있다. 그래서 리셋 전압의 최대값의 상승 없이 리셋 방전의 안정성을 개선하기 위한 double reset 파형을 제안하였다.

3.4.3 Double reset 파형

그림 14에서 bright noise를 개선하기 위해 한 sub-field에 리셋 파형을 연속해서 두 번 인가되는 double reset 파형을 제안하였다. Double reset 파형은 1st 리셋구간에 첫 번째 1st 프리리셋 (pre_reset) 파형과 $V_s + V_{sc}$ 전압까지 상승하는 1st 셋업 (setup) 파형이 인가되고, 2nd 리셋구간에 2nd 프리리셋 파형, V_s 전압까지 상승하는 2nd 셋업 파형, 그리고 2nd 셋다운 (setdown) 파형이 순차적으로 적용되는 파형이다.

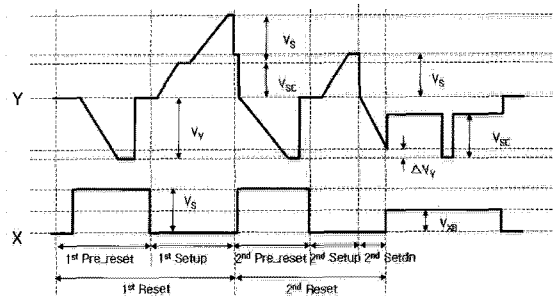
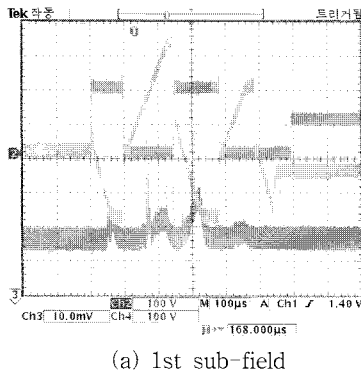


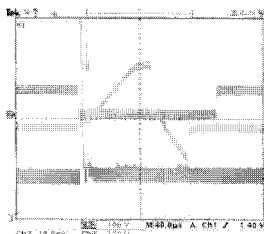
그림 14 Double reset 파형의 개략도
Fig. 14 Schematic diagram of double reset waveform

그림 15는 저온(0℃)에서 double reset 파형의 광 파형과 전압 파형을 측정한 그림이다. 본 논문에서는 1st sub-field에만 double reset 파형을 적용을 하였다. 그림 15의 (a)는 double reset 파형이 적용된 1st sub-field 리셋 구간의 광 파형과 전압 파형을 측정한 그림이다. Double reset 파형 중 1st 리셋 구간의 셋업 파형에서는 강방전이 발생하고 있고, 2nd 리셋 구간의 2nd 프리리셋 파형에도 강방전이 발생하지만 1st 셋업 파형에서 보다는 강방전이 적게 발생한다. 2nd 리셋 구간의 셋업 구간에서는 강방전이 발생하지 않는다. Double reset 파형은 강방전을 개선하지는 못 하지만, 1st 리셋 구간과 2nd 프리리셋 파형에서 발생한 방전의 priming

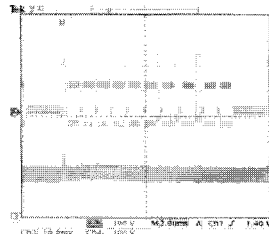
입자들 또는 exo-electron emission 현상이 2nd 셋업 파형에서 리셋 방전의 안정성을 향상 시켜 2nd 셋업 파형에서는 강방전이 발생하지 않게 한다. 또한 1st 리셋 파형과 2nd 프리리셋 파형을 거치면서 X-Y 전극사이의 벽전하를 증가 시켜서 2nd 셋업 구간에서 X-Y 방전이 안정적으로 발생할 수 있게 한다. 이와 같이 double reset 파형은 강방전을 개선하지 못하지만 2nd 셋업 구간에서 방전을 안정적으로 발생 시켜 어드레스 방전 없이 서스테인 방전이 일어나는 bright noise 현상을 개선할 수 있다. 그림 15(b)는 double reset 파형 적용 시 2nd sub-field의 리셋 구간의 광 파형과 전압 파형을 나타낸 그림이다. 그림 15(b)의 결과에서처럼 그림 14 처럼 2nd sub-field의 리셋 구간에는 강방전이 발생하지 않는 것을 볼 수 있다. 이 결과는 1st sub-field의 리셋 방전의 안정성에 영향을 준다는 것을 알 수 있다. 그림 15(c)의 1 frame의 광 파형과 전압 파형을 측정된 결과에서도 double reset 파형 적용 시에는 3rd sub-field 이상의 sub-field에서는 어드레스 방전 없이 서스테인 방전이 발생하지 않고, 어드레스 전압을 인가하여 어드레스 방전이 발생한 1st sub-field와 2nd sub-field에만 서스테인 방전이 발생하고 있다. 이와 같이 제안된 double reset 파형은 구동 전압을 상승시키지 않고, 리셋 방전의 안정성을 개선하여 bright noise 현상을 개선할 수 있다.



(a) 1st sub-field



(b) 2nd sub-field



(c) 1 frame

그림 15 저온(0°C)에서 double reset 파형의 광 파형과 전압 파형

Fig. 15 Photo waveform and voltage waveform of double reset waveform at low temperature(0°C)

3.4.4 리셋 방전의 안정성과 Black 휘도

그림 16은 그림 9의 강방전 확률 측정 방법을 사용하여

리셋 전압별 리셋 파형과 double reset 파형의 강방전과 black 휘도를 비교한 그래프이다. 그림 16의 결과에서 강방전 확률은 black 휘도와 반비례하는 것으로 나타났다. Black 휘도가 높은 파형일수록 강방전 확률이 감소하여 리셋 방전의 안정성도 증가하게 된다. 그리고 상온 보다 저온에서 강방전 확률이 더 커진다. 리셋 전압이 320V인 리셋 파형을 인가하였을 경우 black 휘도가 0.25cd/m²이다. 이 때 상온에서는 강방전 확률이 0%로 리셋 방전이 매우 안정적이지만, 저온에서는 강방전 확률이 5.2%로 리셋 방전의 안정성이 감소하였다. Double reset 파형을 적용하였을 경우에는 휘도가 0.35cd/m²인데, 이 때 저온에서도 강방전 확률이 0%로 리셋 방전의 안정성이 증가하였다. 그림 16의 결과에서 보듯이 패널의 온도가 감소할수록 exo-electron emission 현상이 감소하여 강방전 확률이 증가한다. 강방전 확률 증가는 어드레스 방전 없이 서스테인 방전을 야기 시키는 bright noise 현상이 발생을 증가시킨다. 이를 개선하기 위해서는 더 큰 방전을 발생 시키는 리셋 파형이 필요로 하지만, 리셋 전압의 상승은 회로 가격 상승을 발생 시킬 수 있기 때문에 회로 가격 상승이 없는 double reset 파형 적용 시에 이를 개선하였다. 하지만 패널의 온도가 더 감소하면 double reset 파형 적용 시에도 bright noise 현상이 발생할 가능성이 있다. 이때에는 1st sub-field 뿐만 아니라 2nd sub-field 이상에도 double reset을 적용하여 bright noise를 추가로 개선할 수 있다.

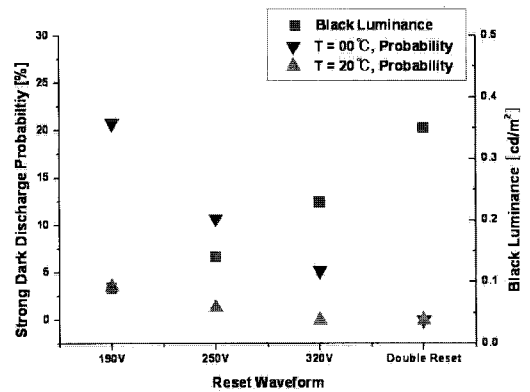


그림 16 강방전 확률과 Black 휘도

Fig. 16 Strong dark discharge probability and black luminance

3.5 저온에서의 black noise 현상

3.5.1 Scan time과 최소 어드레스 전압

그림 9의 결과에서처럼 패널 온도가 감소할수록 최소 어드레스 전압이 상승을 한다. 그 원인은 온도 감소에 따른 방전지연시간 증가 때문이다. 이와 같이 저온에서 최소 어드레스 전압이 상승하는 현상을 개선하기 위해서는 어드레스 전압을 증가시키거나 scan time을 증가시켜야 한다. 최소 어드레스 전압의 상승은 회로의 발열과 가격 상승 때문에 적용하기 어렵다. 따라서 scan time을 증가 시켜서 최소 어드레스 전압을 감소시켜야 한다. 그림 17은 저온(0°C)에서 scan time 별 최소 어드레스 전압을 비교한 그래프이다. 모

든 sub-field의 scan time을 1.2 μ s에서 1.5 μ s로 증가 시킬 경우 최소 어드레스 전압이 V_s 가 190V 일 때 약 12V 감소하고, 상온(20 $^{\circ}$ C) 일 때 대비하여 약 3V 증가 하였다. 하지만 모든 sub-field의 scan time을 300ns씩 증가시키면 2304 μ s의 (= 300ns \times 768 Line \times 10 sub-field) 구동 시간이 증가하게 된다. 하지만 현재 채택되고 있는 ADS 구동 방법에서 2ms 시간을 감소시키기는 너무 어려운 상황이다. 따라서 구동 시간의 증가를 최소화 시키면서 black noise를 개선할 방법이 필요하다.

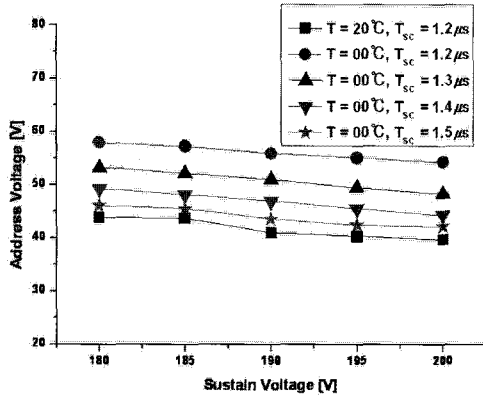


그림 17 온도에 따른 black noise 현상의 VA 최소값
Fig. 17 VA min. of black noise as scan time

3.5.2 Descending scan time 방법

그림 18은 상온과 저온에서의 sub-field별 어드레스 방전 지연 시간을 측정한 그래프이다. 이 그래프에서는 total time lag만을 측정하였다. 그림 18의 결과에서 보듯이 상온과 저온에서 동일하게 sub-field가 커질수록 어드레스 방전지연 시간이 감소하고 있다. 이것은 이전 sub-field의 서스테인 방전등의 영향으로 생성된 priming 입자들이나 exo-electron emission들의 영향에 기인한다. 또한 서스테인 방전으로 인해 MgO 표면의 온도가 상승이 되어 exo-electron emission 현상이 더 증가 될 수 있다. 그림 18의 결과로 보면 각 sub-field 마다 필요한 scan time이 다르다는 것을 알 수 있다. 즉, 높은 sub-field 일수록 scan time을 적게 적용시킬 수 있다.

그림 19에서 sub-field 별로 순차적으로 감소하는 scan time을 인가하는 descending scan time 법을 제안하였다. 1st와 2nd sub-field에는 scan time을 1.5 μ s로 적용하고 3, 4, 5th sub-field에서는 scan time을 점진적으로 감소시키다가 6th sub-field 부터는 1.2 μ s을 적용하였다. 제안된 descending scan time 방식은 모든 sub-field의 scan time을 100ns 증가 시킨 것과 동일한 구동 시간만 증가된다.

그림 20에서 descending scan time 방법은 1.2 μ s의 scan time을 적용했을 때 비해 V_s 190V 기준에서 V_A 최소값을 약 10V 감소시킨다. 이 descending scan time 방법은 모든 sub-field를 1.5 μ s scan time 적용했을 때 보다 V_A 최소값이 약 2V 크지만, 1536 μ s의 구동 시간을 절약하면서 V_A 전압을 크게 감소시킬 수가 있다.

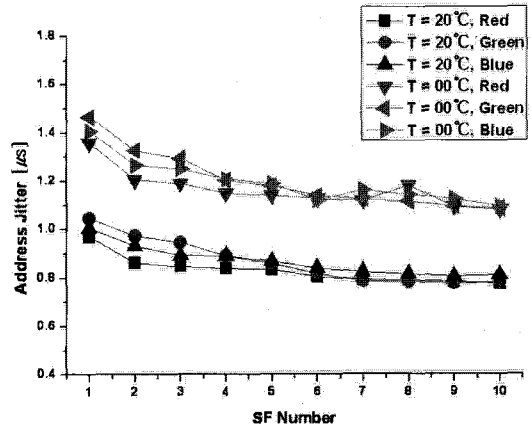


그림 18 Sub-field에 따른 어드레스 jitter
Fig. 18 Address jitter as sub-field

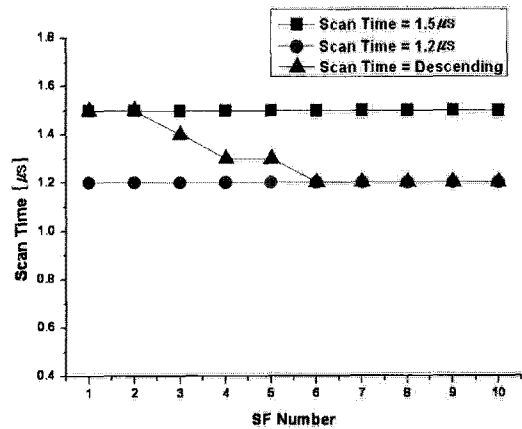


그림 19 Descending scan method의 scan time
Fig. 19 Scan time of descending scan method

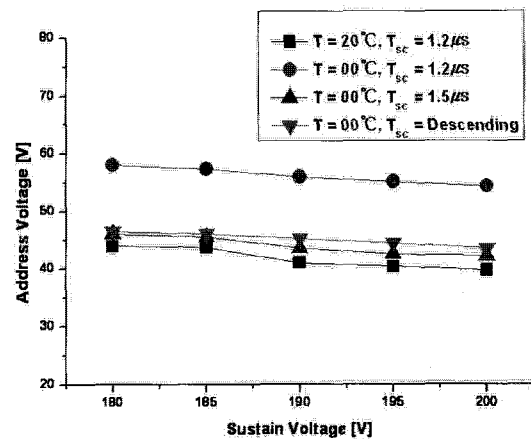


그림 20 Descending scan method와 기존 scan time들의 VA 최소값
Fig. 20 VA min. of descending scan method and conventional scan times

4. 결 론

PDP 패널은 저온에서 bright noise와 black noise 현상을 일으킨다. 이런 현상은 MgO 표면의 온도 변화 때문에 발생한다. MgO 표면의 온도가 감소할수록 exo-electron emission이 감소하고, 이 현상 때문에 강방전 확률이 증가하고, jitter가 증가한다. 강방전 확률 증가는 bright noise 현상을 발생시키고, jitter 증가는 black noise 현상을 발생시킨다.

본 연구에서는 double reset 파형을 적용하여 리셋 방전의 안정성을 증가시켜 bright noise 현상을 개선하였고, 또한 descending scan time 법을 적용하여 구동 시간 증가를 최소화시키면서 black noise를 개선하였으며, 이 때 최소 어드레스 전압을 10V 감소시켰다. 특히, 강방전 확률은 MgO 표면의 온도 변화뿐만 아니라 리셋 방전의 크기에도 영향을 받는다. 따라서 암실 명암비 개선 및 구동 전압 감소에 따른 회로 비용 절감을 위해서는 리셋 방전의 안정성을 충분히 고려해야한다. 또한 고효율, 고화질, 그리고 저 가격화를 실현하기 위해서는 MgO의 온도에 따른 exo-electron emission 변화 특성을 최소화 시키는 연구가 먼저 진행될 필요가 있다.

감사의 글

본 연구는 인하대학교의 지원에 의해 수행되었음.

참 고 문 헌

[1] Gun-Su Kim, et al, "New addressing Method Using Overlapping Scan Time of AC-PDP", IEEE Transaction on Electron Devices, Vol. 52, No. 1, pp 11-16, January, 2005.

[2] H. Homma, et al, "Luminance Improvement of PDPs by an Extension of Light-Emission Duty to 90% with a HDTV Capability", SID '97 Digest, pp 285-288, 1997.

[3] J. K. Kim et al, "The addressing Characteristics of ac Alternating Current Plasma Display Panel Adopting a Ramping Reset Pulse", IEEE Transactions on Electron Devices, Vol. 48, No. 8, August 2001.

[4] L. F. Weber, "Plasma Panel Exhibiting Enhanced Contrast", US Patent, US5745086, 1998.

[5] Gun-Su Kim, et al, "Reset Waveform for the Dark-Room Contrast-Ratio Improvement", SID'03 Digest, pp 446-449, 2003

[6] Gun-Su Kim, et al, "Reset Waveform for the Contrast Ratio Improvement of AC-PDP", IEEE Transactions on Electron Devices, Vol. 50, No. 7, pp 1705-1708, July, 2003.

[7] K. Sakita, et al, "Analysis of a Weak Discharge of Ramp-Wave Driving to Control Wall Voltage and

Luminance in AC-PDPs", SID'00 Digest, pp 110-113, 2000.

[8] L. Malter, "Thin Film Field Emission", Phys Review B, 50, pp 48-58, 1936

[9] Larry F. Weber, et al, "Direct Electrical Readout from Plasma Display / Memory Panels, IEEE Transactions on Electron Devices, Vol. ED-20, No. 11, pp 1082-1091, November, 1973.

[10] Vladimir P. Nagorny, et al, "Statistical Instability of the Ramp Discharge and the Role of Exoemission, IEEE Transactions on Plasma Science, Vol. 34, No. 2, pp 343-349, April, 2006.

[11] L. Oster, et al, "Kinetic Analysis of Relaxation Electron Emission : Exotic Cases of the Energy Transfer, Materials Science, Vol. 9, No. 3, 2003.

[12] Harm Tolner, "Exo-electron Emission effects in the PDP Protective layer", Proc. ASID'06, pp 136-143, 2006.

[13] Qun Yan, "Exo-electron Emission measurement in AC PDP", IMID'08 Workshop II, pp 103-125, 2008.

저 자 소 개



김근수 (金根秀)

1976년 3월 20일생. 2000년 인하대 전기공학과 졸업. 2009년 동 대학원 전기공학과 졸업(공학). 2004년~현재 LG전자 PDP 사업부 근무 중
Tel : 016-304-7692
E-mail : kgs13152@hotmail.com



이석현 (李哲賢)

1963년 2월 3일생. 1985년 인하대 전기공학과 졸업. 1993년 동 대학원 전기공학과 졸업(공학). 1993~1995 현대전자반도체 연구센터 과장. 1995년~현재 인하대 전기공학과 교수
Tel : 032-860-7392
Fax : 032-863-5822
E-mail : plasma@inha.ac.kr