

전력증폭부의 광대역 특성 개선을 위한 최적의 부하 임피던스 설계 방안 연구

논문
58-6-17

A Study on Design of Optimal Load Impedance for Broadband Characteristic Improvement of the Power Amplifier

이한영[†]
(Han-Young Lee)

Abstract - In this paper, we studied on the power amplifier which has the output of the optimal to 100MHz-2GHz band. Optimal output power match was fabricated using the two types; one is the linear tapering and the other is the impedance transformer. In the case of output power match using linear tapering, output power was 35.35dBm at 2GHz and 31.41dBm at 100MHz. The other case of output match using impedance transformer, output power was 34.8dBm at 2GHz and 33.25dBm at 100MHz. Comparison of the results in the two cases, impedance transformer type present the improved results by 1.84dB of output power.

Key Words : Power Amplifier, Load Impedance, Linear Tapering, Transformer

1. 서론

현대의 무선통신은 과거의 음성위주의 통신과는 달리 초고속, 대용량의 데이터 통신의 요구에 따라 필요한 주파수 대역폭이 매우 넓어 져야 한다. 전력증폭부는 광대역 특성 뿐만 아니라 최대 출력 전력을 부하에 공급하기 위해서 전력 정합을 해야 하는데 전력 정합을 위한 최적의 부하 임피던스 값은 load line 이론에 근거하여 설계 하였으며, load line 이론만으로는 전체 대역폭에 걸쳐서 load-pull 데이터를 구할 수 없다.

본 논문에서는 상용의 CAD 프로그램을 이용하여 측정된 S파라미터로부터 트랜지스터의 기생성분 값을 최소 자승법 근법을 이용하여 추출한 후 주파수에 따른 최적의 전력정합을 위한 load-pull 데이터를 계산하는 방법을 제시하였다 [1],[2]. 계산된 load-pull 데이터를 이용하여 선형 테이퍼링 방법과 임피던스 변환기법의 두 가지 방법으로 전력 증폭부를 제작하여 각각의 출력 특성을 비교검토 하였다.

2. 부하선 이론 및 load-pull 데이터

본 절에서 부하선 원리를 이용하여 load-pull 데이터를 추출하는 방법 [1], 선형 디바이스 파라미터를 이용한 FET의 load-pull 데이터 계산 방법에 대해서 서술하도록 한다 [2].

2.1 부하선 이론을 이용한 load-pull 데이터

부하선 이론을 설명하기 위해서 이상적인 트랜지스터의 특성곡선을 그림 1에 나타내었다. 그림 2에서 알 수 있듯이

트랜지스터에서 최대 전력은 트랜지스터의 출력에서 최대 전류로 변화 할 때 이다. 즉 부하 저항은 아래와 같을 때 최대 전력이 전달된다.

$$R_{opt} = (V_{dc} - V_k) / (I_{max} / 2) = V_{dc} / I_{dc} \quad (1)$$

최대 전력은 식(2)와 같다.

$$P_{opt} = (1/2)V_{dc} I_{dc} \quad (2)$$

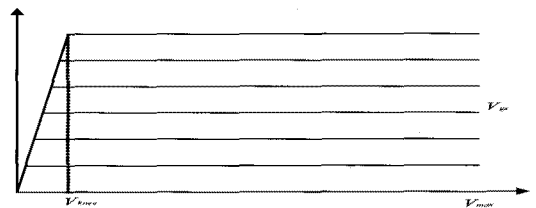


그림 1 이상적인 트랜지스터의 특성 곡선
Fig. 1 Ideal transfer characteristic of transistor

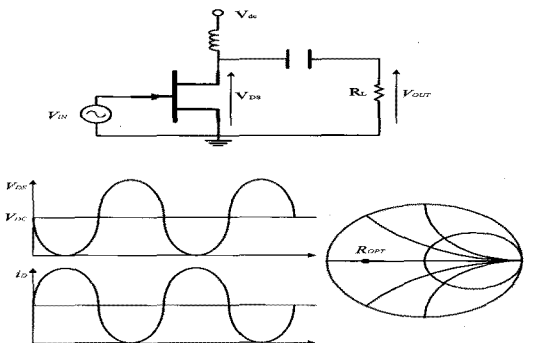


그림 2 최적의 부하선 정합을 갖는 A급 전력증폭기
Fig. 2 Class A amplifier with optimum loadline match

[†] 교신저자, 정회원 : 대림대학 전자정보통신계열
E-mail : hylee@daelim.ac.kr
접수일자 : 2009년 3월 2일
최종완료 : 2009년 4월 28일

Load-pull 데이터를 추출하기 위해서 최적의 전력보다 p 배 작은 전력을 나타내는 부하 저항값은 pR_{opt} , R_{opt}/p 의 두 개의 점이 존재한다. 그림 3은 트랜지스터 전력이 P_{opt}/p 일 때의 특성을 나타낸다.

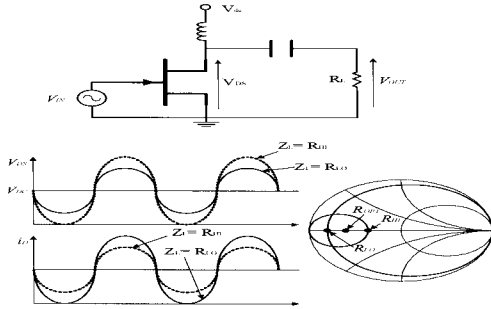


그림 3 P_{opt}/p 일 경우 부하저항
Fig. 3 Resistive output loads for RF power output is P_{opt}/p

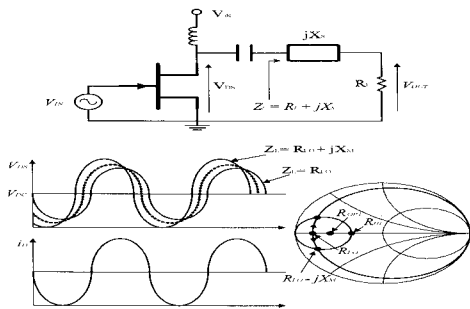


그림 4 $Z_L = R_L + jX_s$ 일 때 출력 전력
Fig. 4 RF output power at load impedance is $Z_L = R_L + jX_s$

P_{opt}/p 의 전력을 나타내는 부하 임피던스 값은 그림 4에서 보이는 것처럼 부하 저항값에 직렬로 리액턴스 값이 더해질 경우에도 마찬가지로 성립하게 된다. 결과적으로 일정 저항값을 갖는 원을 따라 움직이는 곡선이 된다. 그림 5에 보인 부하저항에 병렬로 서셉턴스 값이 추가 될 경우에도 출력 전력에는 변화가 없는 곡선을 만들어 낼 수 있다. 이렇게 일정 저항원과 일정 컨덕턴스 원이 만들어 내는 곡선이 서로 만나는 타원이 만들어 지는데 이때 임피던스 ($R_{opt}/p + jX_m$)값과 어드미턴스($1/(R_{opt}/p) + jB_m$)값은 같다. 따라서 식(3), 식(4)와 같이 나타낼 수 있다. 일정 저항원과 일정 컨덕턴스원 그리고 식3과 식4를 만족하는 일정전력원의 궤적을 도시하면 그림 6과 같게 된다.

$$X_m^2 = R_{opt}^2 (1 - 1/p^2) \tag{3}$$

$$B_m^2 = G_{opt}^2 (1 - 1/p^2) \tag{4}$$

그러나 실제 측정되는 load-pull 데이터와는 약간 다른 모양을 띄고 있다. 그림 7은 트랜지스터의 기생성분에 의한 부하선 이론에서 추출한 load-pull 데이터의 움직임을 나타내며 측정된 load-pull데이터와 매우 유사함을 알 수 있다.

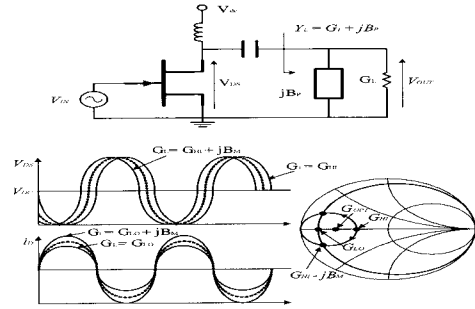


그림 5 $Y_L = G_L + jB_p$ 일 때 출력 전력
Fig. 5 RF output power at load admittance is $Y_L = G_L + jB_p$

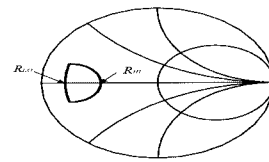


그림 6 일정전력원
Fig. 6 Constant power contour

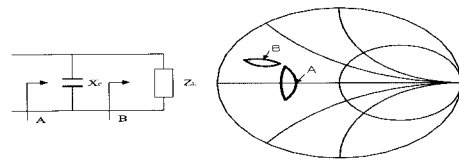


그림 7 병렬 캐패시턴스가 추가된 일정전력원
Fig. 7 Constant power contour added shunt capacitance

2.2 선형 파라미터를 이용한 load-pull 데이터

일반적으로 디바이스 제조사에서는 디바이스의 S-파라미터를 제공하게 된다. 앞에서 언급했듯이 이러한 선형 파라미터만으로는 최대 전력을 부하로 전달하기 위한 최적의 부하값을 알 수가 없다. 그림 8은 일반적인 FET의 선형 등가 모델이다[3],[4],[5],[6],[7].

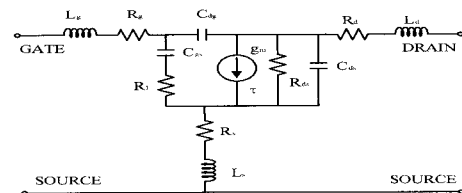


그림 8 선형 FET 모델
Fig. 8 Linearized FET model

FET의 출력 특성을 설명하기 위해서 출력을 간략화 하면 그림 9와 같다. 이때 전계 캐패시턴스는 밀러 효과에 의한 C_{dg} 와 C_{ds} 의 합이다. 그림 9로부터 출력 전압은 식(5)와 같이 쓸 수 있다.

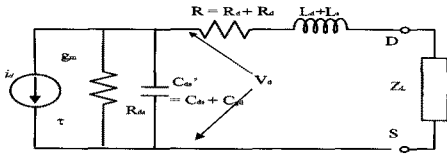


그림 9 간략화된 디바이스 모델
Fig. 9 Simplified device model

$$|V_d| = |i_d| \frac{|R + Z_L|}{|1 + (g_{ds} + j\omega C_{ds})(R + Z_L)|} \quad (5)$$

여기서 $i_d = g_m |V_{gs}|$ 이다. 인덕턴스 값은 식을 간소화하기 위해서 부하저항에 포함하여 식(6)과 같이 나타내었다.

$$\frac{|Z_L + Z_D|}{|Z_L + R|} = \frac{|Y_D|_{\max}}{|g_{ds} + j\omega C_{ds}|} \quad (6)$$

여기서 $Z_D = R + \frac{1}{g_{ds} + j\omega C_{ds}}$ 이고, 식(7)과 같이 나타낼 수 있다.

$$\begin{aligned} |V_D|_{\max} &= |i_d|_{\max} / |Y_D|_{\max} = g_m |V_{gs}|_{\max} / |Y_D|_{\max} \\ |V_{gs}|_{\max} &= \text{Min} [|V_G - V_{GL}|, |V_G - V_{GH}|] \\ |V_d|_{\max} &= \text{Min} [|V_D - V_{knee}|, |V_G - V_{BR}|] \end{aligned} \quad (7)$$

2.2.1 게이트 전압에 의한 전력포화

부하 임피던스가 Z_L 평면의 원점을 포함하는 영역에 있을 때 게이트 전압이 $|V_{gs}|_{\max}$ 가 되더라도 드레인 전압은 $|V_D|_{\max}$ 를 초과하지 않게 된다. 따라서 출력전력은 게이트 전압에 의해서 발생하며 이때의 출력 전력은 식(8)과 같다.

$$P_L = \frac{\alpha |i_d|^2_{\max}}{|g_{ds} + j\omega C_{ds}|^2} \frac{\text{Re } Z_L}{|Z_L + Z_D|^2} \quad (8)$$

여기서 α 는 선형출력일 경우 0.5이고 1dB 압축점일 때 0.78이다. 만약 디바이스 임피던스의 복소 공액값이 이 영역 안에 존재할 경우 또는 $|V_D|$ 값이 식(7)을 만족할 때 부하전력은 부하 임피던스가 디바이스 임피던스와 복소 공액 관계이면 최대 전력이 식(9), (10)과 같이 나타낼 수 있다.

$$|V_D| = \frac{\sqrt{g_{ds}^2 + (\omega C_{ds})^2} [2R(g_{ds}^2 + (\omega C_{ds})^2) + 2g_{ds}]}{\sqrt{[2R(g_{ds}^2 + (\omega C_{ds})^2)]^2 + (\omega C_{ds})^2}} \geq |V_D|_{\max} \quad (9)$$

$$P_{L \max} = \frac{\alpha |i_d|^2_{\max}}{|g_{ds} + j\omega C_{ds}|^2} \frac{1}{4 \text{Re } Z_D} \quad (10)$$

2.2.2 게이트 전압에 의한 전력포화

부하 임피던스가 부하평면의 무한대인 점을 포함하는 영

역일 때 드레인 전압은 게이트 전압이 최대가 되기 전에 포화점에 도달하게 된다. 따라서 출력 전력은 드레인 전압에 의해서 포화되며 이때의 전력은 식(11)과 같다. 식(11)은 부하임피던스가 R일 경우 최대가 된다.

$$P_L = \alpha |V_D|_{\max}^2 \frac{\text{Re } Z_L}{|Z_L + R|^2} \quad (11)$$

만약 Z_D^* 이 부하평면에서 게이트전압에 의한 포화 영역 바깥에 있다면 최대 출력 전력은 게이트 전압에 의한 포화영역과 드레인 전압에 의한 포화영역이 서로 만나는 점에서 발생한다. 만약 $|Y_D|_{\max}$ 값이 g_{ds} 와 ωC_{ds} 보다 $1/R$ 보다 작으면 그림 9의 등가회로는 그림 10과 같다. 여기서 $|Y_D|_{\max}$ 값은 부하선 이론에서 언급했던 최대 전력을 위한 저항값과 같다. 또한 캐패시턴스 값도 디바이스의 캐패시턴스 보다 20~30% 큰 값이 된다. 식(8)에서 $|V_{gs}|_{\max}^2$ 또는 $|i_d|_{\max}^2$ 은 입력 전력을 나타낸다.

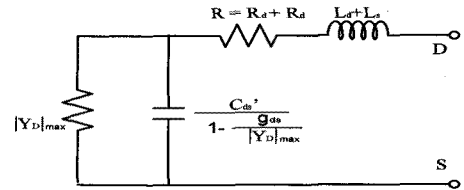


그림 10 간소화된 출력 등가회로
Fig. 10 An approximated output equivalent circuit

따라서 게이트 전압에 의한 출력 포화 영역은 증폭기의 소신호 부정합 손실과 일치한다. 부하 임피던스변화에 따른 드레인 포화 영역은 식(12)와 같이 다시 쓸 수 있다. 여기서 $|v_d|_{\text{fun}}$ 은 출력 전압의 기본 주파수 성분을 나타낸다. 전체 load-pull 데이터는 그림 11과 같다.

$$\frac{\text{Re } Z_L}{|Z_L + R|^2} = \left[\frac{|v_d|_{\max}}{|v_d|_{\text{fun}}} \right]^2 \frac{P_L}{\alpha |v_d|_{\max}^2} \quad (12)$$

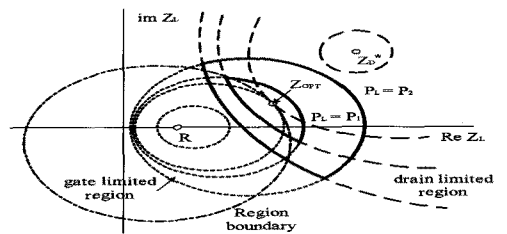


그림 11 예측된 FET의 load-pull 원
Fig. 11 Predicted load-pull contour of an FET

3. 광대역 전력증폭부 설계 및 load-pull 데이터 추출

부레환을 이용하여 전력 증폭부가 광대역 특성을 갖도록 설계한다. 전력 증폭부는 광대역 특성뿐만 아니라 전력증폭기의 최종 전력을 결정하는 부분이기 때문에 전력 특성이

매우 중요하다. 전력 정합에 대한 설계는 제안한 load-pull 데이터 추출에 의한 선형 테이퍼링과 발륜을 이용한 임피던스 변환기를 이용하여 구성하였다.

3.1 광대역 전력증폭부 설계

전력 증폭부에 사용된 디바이스는 후지사의 GaAs FET 계열의 FLL357ME를 사용하였다. FLL357ME는 2.3 GHz 주파수에서 출력 전력이 3.5W 정도 낼 수 있는 소자이다. 그림 12는 설계한 전력증폭부의 회로도이며, PCB layout은 그림 13에 나타내었다.

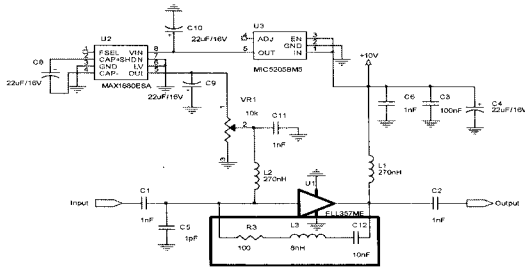


그림 12 전력증폭부 회로도

Fig. 12 Schematic of power amplifier

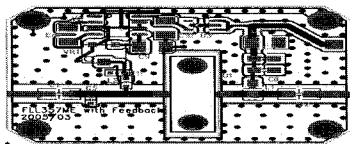


그림 13 설계된 전력증폭부 PCB layout

Fig. 13 PCB layout of the designed power amplifier

그림 14는 1GHz와 2GHz에서의 이득차이가 약 2.5dB 발생함을 알 수 있다. 따라서 약간의 수정이 필요하다. 시뮬레이션 결과에서 보면 2GHz에서 S11값이 0.901 \angle 170.4°이며, FLL357ME의 주파수 특성 결과 60 MHz에서 9.65dB, 1GHz에서 10.17dB, 2GHz에서 7.65dB를 얻었다.

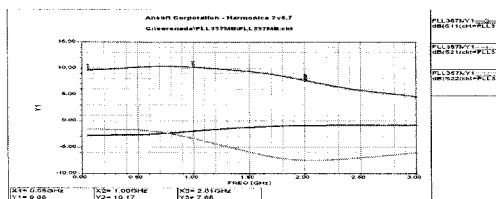


그림 14 FLL357ME의 주파수 특성

Fig. 14 Frequency response of FLL357ME

3.2 광대역 load-pull 데이터 추출

2절에서 언급한 것처럼 출력 등가회로와 측정된 S파라미터로부터 출력 포트의 기생성분 값을 산출할 수 있다. 시뮬레이션에 사용된 FET 등가 회로는 그림 15에 나타내었으며, 그림 16은 FLL 357ME의 출력 파라미터를 구하기 위한 시뮬레이션 구성도이다. 최적화 작업은 S22값을 이용하였으며

최소 자승 에러가 최소가 되도록 하였다. 시뮬레이션 결과 load-pull 데이터를 나타내는 등가 회로도는 그림 17과 같다. 시뮬레이션 결과 주파수에 따른 출력 load-pull 데이터는 그림 18과 같다. 정합회로망은 선형 테이퍼링과 발륜을 이용한 임피던스 변환기를 이용하여 구성하였다. 선형 테이퍼링으로 구성된 PCB layout은 그림 19에 나타내었다.

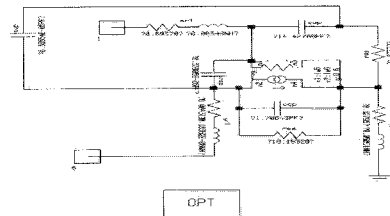


그림 15 FLL357ME 모델링

Fig. 15 FLL357ME modeling

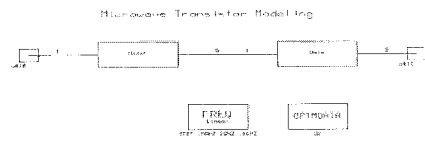


그림 16 FLL357ME 부하 파라미터

Fig. 16 FLL357ME load parameter

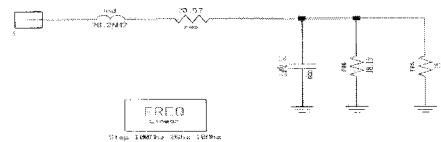


그림 17 FLL357ME의 등가 부하값

Fig. 17 Equivalent load element of FLL357ME

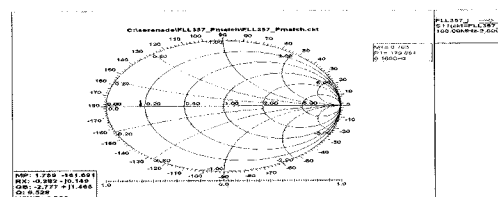


그림 18 FLL357ME의 load-pull data

Fig. 18 Load-pull data of FLL357ME

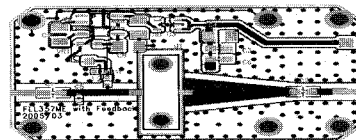


그림 19 선형테이퍼링을 갖는 FLL357ME의 PCB layout

Fig. 19 PCB layout of FLL357ME with linear tapering

발륜을 이용한 임피던스 변환기의 시뮬레이션 회로도는 그림 20과 같다. 시뮬레이션 결과는 그림 21에 나타내었으며 발륜으로 구성된 PCB layout은 그림 22에 나타내었다.

임피던스 변환기는 동축선로를 이용해서 쉽게 구현이 가능하지만 동축선로의 임피던스가 50[Ω]이 아니기 때문에 제작이 쉽지 않다. 따라서 본 논문에서는 평형판 선로를 이용하여 임의의 특성임피던스를 갖는 전송선로를 구현하였다 [8],[9].

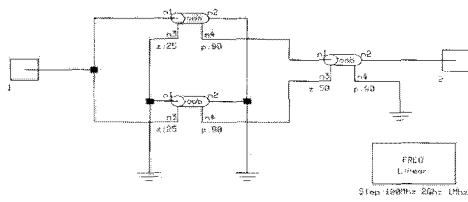


그림 20 발룬을 갖는 임피던스 변환기
Fig. 20 Impedance transformer with balun

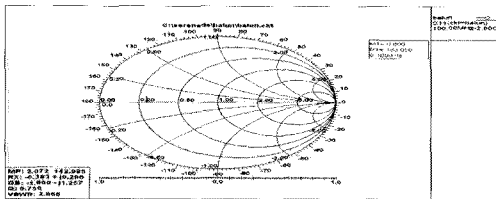


그림 21 임피던스 변환기의 출력 임피던스
Fig. 21 Output impedance of transformer

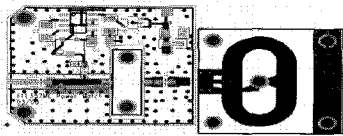


그림 22 임피던스 변환기를 갖는 FLL357ME의 PCB layout
Fig. 22 PCB layout of FLL357ME with impedance transformer

4. 실험 및 결과

본 절에서는 지금까지 설계된 광대역 전력 증폭부를 제작하고 실험을 통하여 시뮬레이션 결과와 비교 분석한다. 주파수 특성을 측정하기 위해서 Agilent사의 8753ES 회로망 분석기가 사용되었으며, 출력 전력을 측정하기 위해 Agilent사의 E4416A power meter가 사용되었다. 기타 액세서리로는 바이어스 공급을 위한 DC Power supply, 고출력 감쇄기, 전력 결합기 등이 사용 되었다.

4.1 광대역 전력 증폭부 제작 및 측정

그림 23은 제작된 광대역 전력 증폭부 모듈 사진이며 PCB 제작에 사용된 기판은 일반적으로 많이 사용되는 FR4 이고 기판 두께는 0.8mm 이다. 전력 증폭부의 사이즈는 40mm×50mm×16mm 이다. 사용된 디바이스는 Fujitsu사의 GaAs FET인 FLL357ME이며 바이어스는 10V/700mA이다.

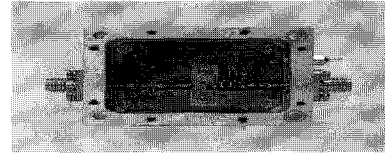


그림 23 제작된 전력증폭부 사진
Fig. 23 Photograph of fabricated power amplifier

그림 24는 FLL357ME에 부궤환으로 100[Ω] 과 8nH의 인덕터를 구성하였을 때의 특성을 나타낸다. 그림에서 보면 1.42864GHz의 주파수에서 이득이 매우 높게 나타나고 있다. 이유는 측정결과에서 보이듯이 S22가 근처 주파수에서 정합이 매우 잘 이루어지고 있음을 나타낸다. 측정결과는 표 1에 나타내었다.

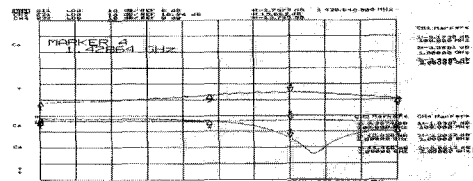


그림 24 전력 증폭부의 주파수 응답특성
Fig. 24 Frequency response of power amplifier with shunt feedback

표 1 전력 증폭부 실험 결과

Table 1 Test result of power amplifier

항 목	100MHz	1GHz	2GHz
Gain	9.367dB	13.82dB	11.46dB
Input return loss	3.17dB	3.35dB	3.93dB
Output return loss	1.85dB	3.20dB	8.06dB

그림 25는 입력 주파수가 2GHz일 때의 출력 특성이며, 입력 전력이 12.427dBm 일 때 이득이 1dB 감소함을 나타낸다. 이때의 이득은 19.671dB 이다. 따라서 전체 출력 전력은 32.098dBm임을 알 수 있다. 입력 주파수가 1GHz일 때의 출력 특성은 그림 26에 나타나 있다. 측정결과 입력 전력이 11.21dBm 일 때 출력이 1dB 떨어진다. 이때의 이득은 20.944dB 이며 따라서 출력 전력은 32.154dBm이다. 입력 주파수가 100MHz일 때 출력 특성은 그림 27에 나타내었으며, 입력 전력이 11.055dBm일 때 이득이 1dB 감소하며 이때의 이득은 20.218dB이다. 출력 전력은 31.273dBm이며, 주파수에 따른 출력 전력은 표 2에 나타내었다.

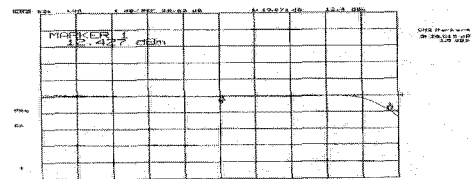


그림 25 2GHz에서 PA모듈의 입력 전력에 따른 이득
Fig. 25 Gain of the PA vs. input power at 2GHz

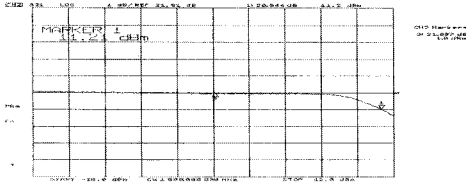


그림 26 1GHz에서 PA 모듈의 입력 전력에 따른 이득
Fig. 26 Gain of the PA vs. input power at 1GHz

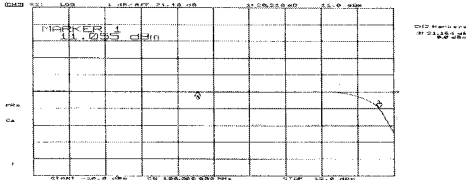


그림 27 100MHz에서 PA모듈의 입력 전력에 따른 이득
Fig. 27 Gain of the PA vs. input power at 100MHz

표 2 전력 증폭부 출력 전력
Table 2 Output power of power amplifier

항 목	100MHz	1GHz	2GHz
P1dB	31.273dBm	32.154dBm	32.098dBm

4.2 테이퍼링을 이용한 광대역 전력 증폭부 제작 및 측정

그림 28은 광대역 출력 정합을 위한 전력 증폭부의 모듈 사진이다. 전체 사이즈는 40mm×60mm×16mm이다. 그림 29와 그림 30은 선형 테이퍼링을 이용한 출력 정합된 전력 증폭부의 주파수 응답특성을 나타내며 측정 결과는 표 3에 나타내었다. 측정결과 1GHz에서 이득은 12.53dB 이며, 전체 대역의 평탄도는 1.737dB 이다.



그림 28 제작된 전력 증폭부 사진
Fig. 28 Photograph of fabricated power amplifier

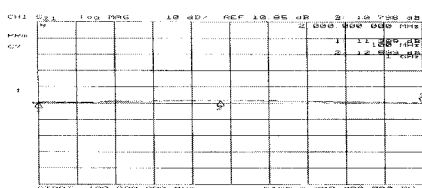


그림 29 출력 정합된 전력 증폭부의 주파수 응답특성
Fig. 29 Frequency response of power matched amplifier

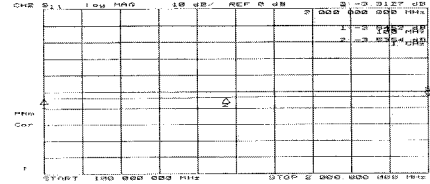


그림 30 선형 테이퍼링으로 정합된 전력 증폭부의 입력 반사계수

Fig. 30 Input return loss of power matched amplifier using linear tapering

표 3 출력 정합된 전력 증폭기의 측정결과
Table 3 Test result of power matched amplifier

항 목	100MHz	1GHz	2GHz
Gain	11.389dB	12.533dB	10.796dB
Input return loss	3.845dB	3.53dB	3.3dB

그림 31, 그림 32, 그림 33은 주파수에 따른 전력 증폭기의 P1dB 특성을 나타낸다. 측정결과는 표 4에 나타내었다. 선형 테이퍼링을 이용한 경우 2GHz에 설계가 되었기 때문에 최적의 출력이 출력 되는 결과를 얻었다.

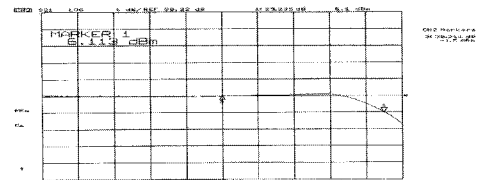


그림 31 2GHz에서 선형테이퍼링을 갖는 PA의 입력 전력에 따른 이득

Fig. 31 Gain of the PA with linear tapering vs. input power at 2GHz

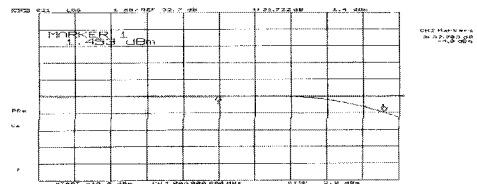


그림 32 1GHz에서 선형테이퍼링을 갖는 PA의 입력 전력에 따른 이득

Fig. 32 Gain of the PA with linear tapering vs. input power at 1GHz

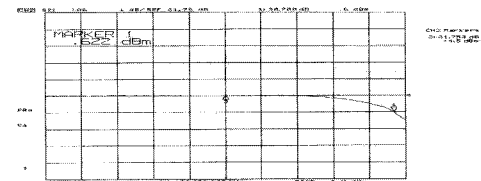


그림 33 100MHz에서 선형테이퍼링을 갖는 PA의 입력 전력에 따른 이득

Fig. 33 Gain of the PA with linear tapering vs. input power at 100MHz

표 4 선형 테이퍼링을 갖는 전력 증폭부 출력 전력
Table 4 Output power of power amplifier with linear tapering

항 목	100MHz	1GHz	2GHz
P1dB	31.41dBm	33.175dBm	35.348dBm

4.3 임피던스 변환기를 이용한 광대역 전력 증폭부 제작 및 측정

그림 34는 임피던스 변환기를 이용한 광대역 출력 정합을 위한 전력 증폭부의 사진이다. 출력 정합회로에 임피던스 변환기와 발룬이 결합된 구조를 나타내고 있다.



그림 34 임피던스 변환기를 갖는 전력 증폭부 사진
Fig. 34 Photograph of fabricated power amplifier with impedance transformer

그림 35는 주파수에 따른 출력 응답특성이며 전체 대역에 걸쳐서 약 1.86dB의 평탄도를 갖음을 알 수 있다. 입력 반사계수 특성은 선형 테이퍼링을 사용할 때보다 약간 특성이 우수하다. 측정결과는 표 5에 나타내었다. 주파수에 따른 출력 전력은 그림 36, 그림 37, 그림 38에 나타내었으며, 낮은 주파수의 경우 출력전력이 많이 개선되었다. 출력결과는 표 6에 나타내었다.

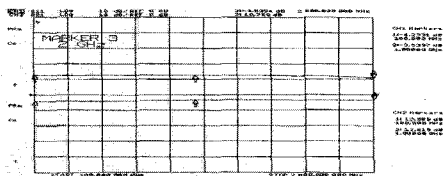


그림 35 임피던스 변환기를 갖는 전력증폭부의 주파수 응답특성
Fig. 35 Frequency response of power amplifier with impedance transformer

표 5 임피던스 변환기를 갖는 전력 증폭기의 측정결과
Table 5 Test result of power amplifier with impedance transformer

항 목	100MHz	1GHz	2GHz
Gain	12.58dB	12.61dB	10.75dB
Input return loss	4.29dB	3.54dB	3.54dB

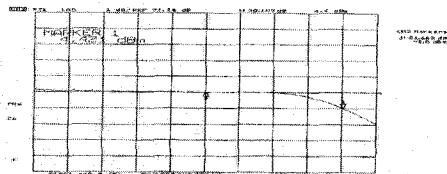


그림 36 2GHz에서 임피던스 변환기를 갖는 PA의 입력 전력에 따른 이득
Fig. 36 Gain of the PA with impedance transformer vs. input power at 2GHz

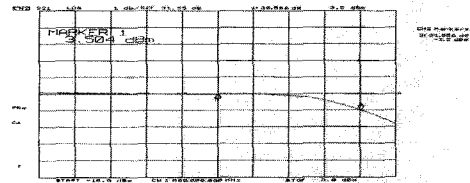


그림 37 1GHz에서 임피던스 변환기를 갖는 PA의 입력 전력에 따른 이득
Fig. 37 Gain of the PA with impedance transformer vs. input power at 1GHz

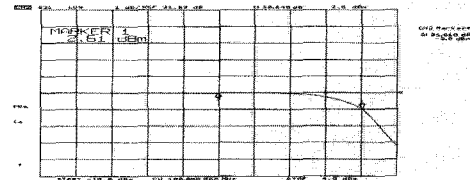


그림 38 100MHz에서 임피던스 변환기를 갖는 PA의 입력 전력에 따른 이득
Fig. 38 Gain of the PA with impedance transformer vs. input power at 100MHz

표 6 임피던스 변환기를 갖는 전력 증폭부 출력 전력
Table 6 Output power of power amplifier with impedance transformer

항 목	100MHz	1GHz	2GHz
P1dB	33.255dBm	34.07dBm	34.61dBm

4.4 측정 결과 분석

제작된 전력증폭부는 출력정합을 하지 않은 경우와 선형테이퍼링을 이용한 방법, 임피던스 변환기를 이용한 방법으로 나누어서 측정되었다. 전체 이득 특성은 3가지 경우 비슷하지만 출력 전력의 경우 주파수에 따라서 차이를 많이 보인다. 각 방법에 따른 측정결과는 그림 39와 표 7과 같이 나타내었으며, 선형 테이퍼링의 경우 2GHz 대역에서는 약 0.74dB 높지만 100MHz 주파수에서는 1.845dB 출력이 낮다.

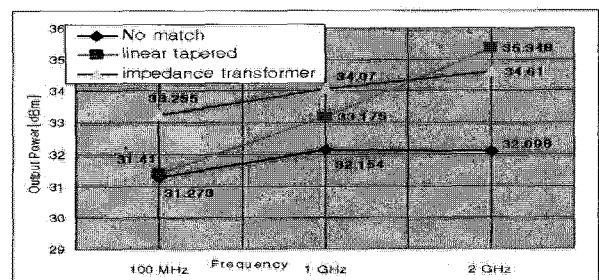


그림 39 전력 증폭기의 출력 성능
Fig. 39 Output performance of UPA

표 7 정합 타입에 따른 측정값 비교

Table 7 Measurement value comparison by matching types.

Types		주파수 범위		
		100 [MHz]	1 [GHz]	2 [GHz]
No match	Gain	9.367 [dB]	13.82 [dB]	11.46 [dB]
	Input return loss	3.17 [dB]	3.35 [dB]	3.93 [dB]
	Output power	31.273 [dBm]	32.154 [dBm]	32.098 [dBm]
Linear tapered	Gain	11.389 [dB]	12.533 [dB]	10.796 [dB]
	Input return loss	3.845 [dB]	3.53 [dB]	3.3 [dB]
	Output power	31.41 [dBm]	33.175 [dBm]	35.348 [dBm]
Impedance transformer	Gain	12.58 [dB]	12.61 [dB]	10.75 [dB]
	Input return loss	4.29 [dB]	3.54 [dB]	3.54 [dB]
	Output power	33.255 [dBm]	34.07 [dBm]	34.61 [dBm]
Power consumption		11[W] / 1.1[A]		

5. 결 론

본 논문에서는 100MHz 에서 2GHz 대역에 걸쳐서 최적의 출력을 갖는 전력 증폭부에 대해서 연구하였다. 측정된 S파라미터로부터 추출한 load-pull 데이터를 바탕으로 선형 테이퍼링 기법과 임피던스 변환기법을 이용하여 출력 정합회로를 구성하여 비교 검토하였다. 먼저 선형 테이퍼링을 이용하여 출력정합회로를 구성할 경우 2GHz 주파수에서 35.348dBm, 1GHz에서 33.175dBm, 100MHz에서 31.41dBm으로 2GHz 주파수에서는 3.25dB 개선 되었다. 출력결과 2GHz 주파수에서는 출력 전력 특성이 매우 좋은 반면에 100MHz 주파수에서는 특성이 좋지 못하다. 이유는 선형테이퍼링을 이용할 경우 전체 테이퍼링의 길이와 사용된 주파수에 따라서 임피던스 변환이 이루어 지지 않음을 볼 수 있다. 두 번째로 임피던스 변환기를 이용한 출력 정합회로를 구성할 경우 출력결과는 2GHz 주파수에서 34.61dBm, 1GHz 주파수에서 34.07dBm, 100MHz 대역에서 33.255dBm으로 2GHz 주파수에서는 선형 테이퍼링을 이용한 정합회로 보다 출력이 0.74dB 작지만 출력 전체 대역에 걸쳐서 가장 이상적인 출력을 얻었다. 따라서 임피던스 변환기를 이용한 전력 정합회로가 우수한 전력 특성을 갖기 때문에 광대역에 걸쳐서 설계 할 때 적용하게 되면 개선효과를 얻을 수 있을 것으로 사료된다.

참 고 문 헌

- [1] S. C. Cripps, RF Power Amplifiers for Wireless Communications, Artech House Inc.,1999.
- [2] S. C. Cripps, "A Method for the Prediction of Load-pull Power Contours in GaAs MESFETs," Proc.IEEEIntl. Microwave Symp., MTT-S, 1983, pp. 221-223.
- [3] M. Berroth and R. Bosch, "Broadband determination of the FET small signal equivalent circuits," IEEE Transaction on Microwave Theory and Techniques, MTT-40, p. 891, July 1994.
- [4] H. Fukui, "Determination of the basic device parameters of GaAs MESFET," BSTJ, Vol. 58, No. 3, 1979, pp. 771-797.
- [5] A. Platzker, "Large-signal GaAs FET Amplifier CAD Program," IEEEIntl. Microwave Symp., MTT-S, 1982,pp.450-452.
- [6] H. A. Willing, C. Rauscher and P. Santis, "A Technique for Predicting Large-Signal Performance of a GaAs MESFET," IEEETrans.on MTT, Vol. 26, No. 12, 1978, pp. 129-135.
- [7] A. Materka and T. Kacprzak, "Computer Calculation of Large-Signal GaAs FET Amplifier Characteristics,"IEEE Trans .on MTT, 1988, pp. 129-135.
- [8] M. Albulet, RFPowerAmplifiers, Noblepublishing, 2001.
- [9] R. Sturdivant, "Balun Designs for Wireless, ... Mixers, Amplifiers and Antennas," AMW, 1993, pp. 34-44.

저 자 소 개



이 한 영 (李 辰 瑩)

1971년 9월 18일생. 1998년 세종대 물리학과 졸업(이학사). 2002년 국민대 전자공학과 졸업(공학 석사). 2005년 건국대 전자정보통신 졸업(공학 박사). 1999년~현재 대림대학 실습행정기사
 Tel : 031-467-4745
 Fax : 031-467-4908
 E-mail : hylee@dealim.ac.kr