

5GHz 대역 고효율 주파수 체배기 설계 및 디지털 선형화

Design of 5GHz High Efficiency Frequency Multiplier and Digital Linearization

노희정*, 전현진*, 구경현*

Hee-Jung Roh*, Hyun-Jin Jeon* and Kyung-Heon Koo*

요 약

본 논문에서는 로드풀 시뮬레이션을 이용하여 고효율 주파수 체배기를 설계하는 방법을 제시하고, 주파수 체배기의 비선형 왜곡을 분석하였다. 주파수 체배기는 변조된 신호원을 인가하였을 경우에는 비선형 특성으로 인해 신호 대역이 체배되는 심각한 왜곡이 발생하므로, 이러한 주파수 체배기의 왜곡을 보상할 수 있는 테이블 참조기법을 이용한 디지털 사전왜곡기법을 실행하였다. 주파수 체배기는 입력신호를 주파수 2 체배하여 5.8GHz 출력신호를 얻도록 설계되어 IEEE 802.11a 표준 무선 랜 대역의 동작주파수를 갖도록 설계하였다. 선형화 후의 출력 스펙트럼은 중심주파수에서 각각 +11MHz, +20MHz offset인 주파수에서 각각 12dB의 ACPR 특성이 향상되었다.

Abstract

This paper presents the design of a high efficiency frequency multiplier with load-pull simulation and analyses the nonlinear distortion of the frequency multiplier. The frequency multiplier shows serious distortion of multiplying signal bandwidth because of nonlinearity when modulated signal is applied, so a digital predistortion with look up table (LUT) is applied to compensate for the distortion of the frequency multiplier. The frequency multiplier is designed to produce 5.8GHz output by doubling the input frequency to be operating at IEEE 802.11a standard wireless LAN. The output spectrum shows 12dB ACPR improvement both at +11MHz, +20MHz offset from center frequency after linearization.

Keywords : frequency multiplier, high efficiency, load pull

I. 서 론

무선 통신시스템에서 국부발진기 (LO: Local Oscillator)의 위상 잡음 특성은 전체 시스템의 성능 특성 및 질적 용량을 결정하므로 주파수 특성이 보다 안정적이고 위상 잡음 특성이 좋은 신호원이 필요하다. 특히, 마이크로파 대역이나 밀리미터파 대역에서는 기술의 발전에도 불구하고 여전

히 높은 주파수에서의 반도체 물성 때문에 저잡음 특성의 신호원을 구현하기가 용이하지 않다. 이를 해결하기 위한 방안으로 낮은 위상잡음 특성을 갖는 신호원을 구현한 후 주파수 체배기 (Frequency Multiplier)를 이용하여 정수배의 높은 신호원을 이용하는 방법이 활용된다. 주파수 체배기는 소자의 비선형 특성을 이용하여 입력 신호를 왜곡시켜 하모닉 성분을 발생시킨 후 원하는 하모닉 성분만을 선택 추출하는 회로를 말한다. 주파수 체배기는 마이크로파 및 밀리미터파 통신 시스템에서 고 안정 저 잡음 신호원을

* 인천대학교 전자공학과(Dept. of Electronics Engineering, University of Incheon.)

- 제1저자 (First Author) : 노희정
- 투고일자 : 2009년 11월 17일
- 심사(수정)일자 : 2009년 12월 30일 (수정일자 : 2009년 12월 23일)
- 게재일자 : 2009년 12월 30일

발생기위한 기법으로 많이 사용되어 왔다. 마이크로파 통신 시스템에서 주파수가 높아질수록 위상잡음이 증가하여 안정적인 신호원을 제작하기 어려운 반면 낮은 주파수를 발생한 뒤 높은 주파수로 변환하면 고안정의 저 잡음 신호원을 얻을 수 있기 때문이다.

본 논문에서는 주파수 체배기 설계시 목표한 효율 및 전력 특성을 얻기 위하여 로드풀 시뮬레이션을 이용하였고, 제작된 주파수 체배기의 비선형 왜곡을 보상하기 위하여 사전왜곡 선형화 기법을 활용하였다.

II. 주파수 대역폭 체배 및 선형화

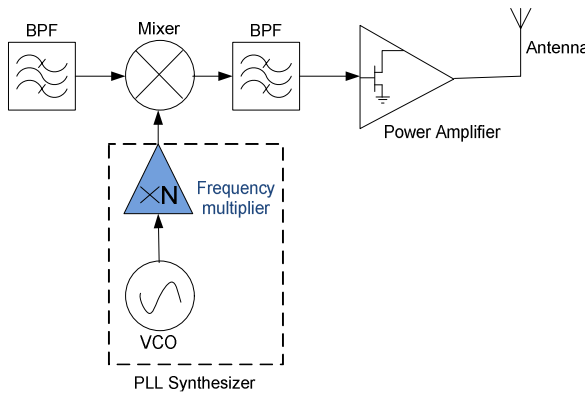


그림 1. 주파수 체배기를 이용한 국부발진기 응용
Fig. 1. Frequency multiplier application of LO driver.

그림 1은 마이크로파 송신시스템에서 주파수 체배기 이용의 예를 나타내고 있다. 저위상 잡음의 신호원을 얻기 위한 방법 중 발진기와 주파수 체배기를 이용하여 단일 발진 소자를 이용하여 얻은 신호원의 위상잡음 특성보다 더욱 좋은 특성의 신호원을 얻는 것이 가능하다는 연구 결과가 보고되고 있다[1]. 그러나 주파수 체배기를 마이크로파 및 밀리미터파 통신 시스템의 신호원을 얻기 위해 사용할 경우, 주파수 체배되는 차수에 따라 위상잡음이 증가하는 단점이 있다. 따라서 기존의 주파수 체배기의 선형화와 관련된 많은 연구들은 주파수 체배기 설계 시 위상잡음을 최소화하는 설계 기법 개발에 집중되었다. 본 논문에서는 주파수 체배기를 송신부 종단에 위치시켜 변조된 무선랜 신호가 주파수 체배기에 인가되기 때문에 체배된 신호가 무선랜 송신규격을 만족해야 하므로 변조 신호 인가에 따른 주파수 체배기의 비선

형 왜곡 분석 및 주파수 체배기의 선형화를 통하여 송신규격을 만족시키도록 연구를 진행하였다.

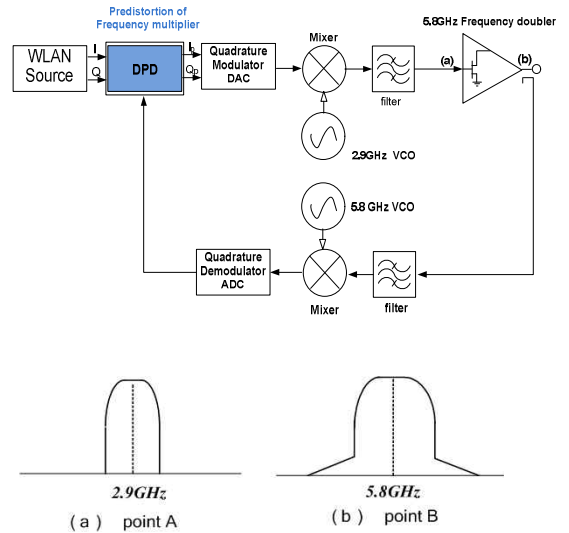


그림 2. 주파수 대역폭 체배 및 사전왜곡 선형화 개요
Fig. 2. Bandwidth multiplication and overview of predistortion linearization.

일반적으로 주파수 체배기는 비선형소자의 고조파성분을 이용해 높은 주파수 대역의 통신시스템 단일 주파수 신호원을 얻기 위해 사용되며, 주파수 체배기에 변조된 대역신호원을 인가하였을 경우에는 주파수 체배기의 비선형 특성으로 인해 신호에 심각한 왜곡이 발생하게 되는 것을 그림 2의 주파수 체배기의 출력스펙트럼을 통해서 알 수 있다. 따라서 그림 2에서와 같이 주파수 체배기의 비선형 왜곡을 보상하고 개선 할 수 있는 적절한 선형화 기법이 수행된다면 주파수 체배기를 이용한 증폭부의 설계가 가능할 것이다[2].

비선형 소자의 왜곡 특성으로 인해 야기되는 문제점을 극복하기 위해 사용할 수 있는 방법은 비선형 소자의 앞단에 선형화기(Linearizer)를 장착하는 것이다. 그중 선형화기 중 가장 보편적으로 사용되어 온 것이 사전왜곡 방식이며, 사전왜곡이란 비선형소자의 특성과 정확하게 역이 되는 특성을 인가하여 결과적으로 비선형소자의 출력은 선형적인 결과를 얻을 수 있도록 하는 방법이다. 이론적으로 사전왜곡 방식은 RF, IF 또는 기저대역에서 구현이 가능하나, RF대역에서 구현하기 위해서는 각 주파수 대역별로 별도의 회로가 필요 하는 등 여러 가지 구현의 복잡성이 존재하게 된다. IF대역이나 기저대역에서 구현하면 이러한 문

제점을 해결할 수 있으며, 낮은 주파수 대역에서 운용되기 때문에 더욱 안정적이다[3].

Ⅲ. 로드풀 기법을 기용한 고효율 주파수 체배기 설계

5.8GHz 출력 신호를 갖는 주파수 2 체배기를 ADS 시뮬레이션 툴을 이용해 설계 하고 테플론 기판에 구현하였다. 주파수 체배기의 스위치 능동소자로 pHEMT를 사용하였다. 2.9GHz 입력신호 및 5.8GHz 출력에서의 입출력 임피던스는 입력과 출력의 가능한 모든 임피던스를 변화시켜 가면서 출력 특성을 측정하여 최적의 부하 조건을 얻는 기법인 소스풀, 로드풀 시뮬레이션을 이용하여 값을 구하였다. 그리고 로드풀 시뮬레이션에 의해 구한 부하 임피던스 값을 ADS를 이용하여 기본파(fundamental) 주파수인 2.9GHz 신호에 대한 억압특성이 큰 값을 갖도록 하고, 높은 변환이득 특성을 갖도록 하기 위해 출력단 반사손실을 최소화 하여 부하 임피던스 값을 최적화 하였다.

본 논문에서 설계하고자 하는 주파수 체배기의 목표치는 무선 랜용 주파수 체배기를 목표로 했기 때문에, 설계 목표치의 설정은 IEEE 무선 랜 표준을 참고로 하여 설정하였다. 그리고 기존에 나와 있는 주파수 체배기의 설계 값과 비교하여 설계 목표를 정하였으며, 설정 값은 아래 표 1과 같다.

표 1. 주파수 체배기의 설계 목표

Table 1. Design target of frequency multiplier.

요구 항목	목표 설계 값	switched-mode amplifiers and multipliers[9]
Frequency	5.7 ~ 5.8GHz (802.11a standard)	5 GHz
P _{out} (Second harmonic)	25 dBm	25 dBm
PAE	>30%	29 %
Gain	≒ 8 dB	2.8 dB

3-1 로드-풀 시뮬레이션

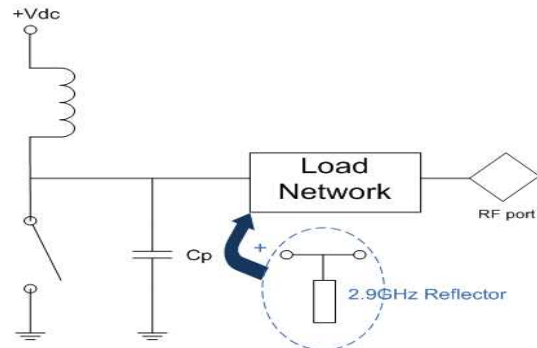


그림 3. 입력주파수 반사기를 포함한 주파수 체배기 블록 다이어그램

Fig. 3. Block diagram of the frequency multiplier with input $\lambda_g/4$ reflector.

동작 바이어스를 선정하고 본 논문에서 제안한 고효율 주파수 체배기를 설계하기 위해 그림 3과 같이 출력단 회로를 구성하였다.

또한 주파수 체배기의 동작을 위해 입력주파수인 2.9GHz에서의 리플렉터를 고효율 주파수 체배기로 동작하는 출력 단 회로에 추가하였다. 리플렉터는 입력 된 기본파 주파수를 억압하고 2차 고조파를 출력 신호로 전달하기 위해 필요한 회로이다. 리플렉터의 특성 임피던스 값이 높아지면 입력 신호의 억압특성이 좋아지고 기본파 저지대역이 좁아지는 특성을 보인다. 고효율 주파수 체배기로 동작하기 위한 부하단 임피던스 값을 갖는 회로에 2.9GHz 리플렉터를 추가한 후의 부하단 임피던스의 값을 5.8GHz에서 고효율 주파수 체배기의 부하단 임피던스 값과 같도록 정합회로를 구성하였다.

구성한 뒤 주파수 체배기의 최대 전력전송을 위한 부하의 임피던스 점을 찾기 위해 로드풀 시뮬레이션을 하였다. 로드풀 시뮬레이션에서 입력 전력 크기의 변화는 최대 전력 전송 부하점이 변동하는 특성으로 인하여 시뮬레이션 할 때 최대 입력크기를 알아보기 위한 것이다. 그림 4는 로드풀 시뮬레이션 결과로서 38-j7 근방의 임피던스에서 약 40%의 효율과 15dBm의 출력을 나타낸다.

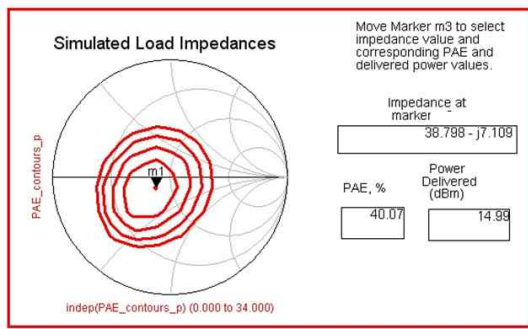


그림 4. 로드풀 시뮬레이션 결과
Fig. 4. simulation result of load-pull.

3-2 고효율 주파수 체배기

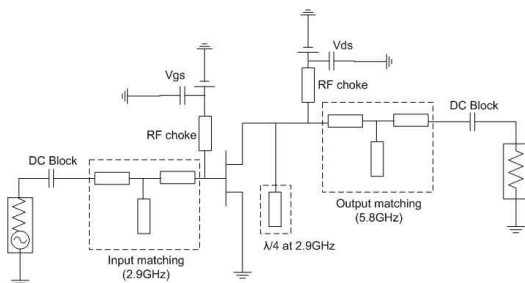


그림 5. 주파수 체배기 회로도
Fig. 5. Overall schematic of frequency multiplier.
로드풀 시뮬레이션을 통해서 입력신호가 트랜지스터에 최대한 전송될 수 있는 부하의 임피던스 점을 결정하기위해 트랜지스터 소스에서 바라본 반사계수를 구한 후, 공액 정합을 이용하여 입력 정합 회로를 설계하였다. 그림 5는 로드풀 시뮬레이션 결과로 얻어진 임피던스로 입출력 정합한 주파수 체배기 회로도를 보여준다. 바이어스 라인과 입출력 정합을 마이크로스트립 라인으로 구성하였다.

3-3 설계된 고효율 주파수 체배기 시뮬레이션

그림 7은 주파수 체배기의 출력 전력을 시뮬레이션 한 결과로 최대 출력전력은 입력전력 15dBm에 28.이상이며 38dBc 이상의 기본주파수 억압특성을 갖는다. 그림 8은 주파수 체배기의 전력부가효율 시뮬레이션 결과로 33%의 효율 특성을 갖는다.

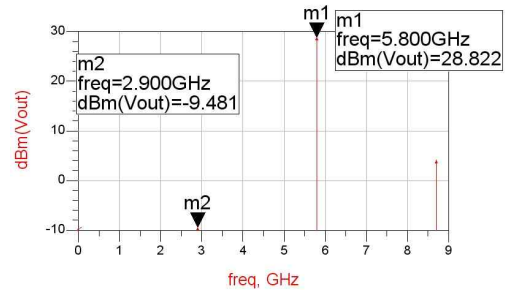


그림 7. 주파수 체배기의 출력전력 시뮬레이션
Fig. 7. Output simulation of frequency multiplier.

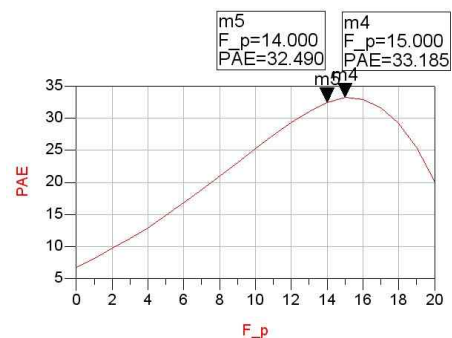


그림 8. 주파수 체배기의 PAE 시뮬레이션
Fig. 8. PAE simulation of frequency multiplier.

IV. 주파수 체배기 제작 및 측정결과

그림 9에 유전율 3.5의 테플론 기판에 마이크로스트립 선로를 이용하여 제작한 5.8GHz 주파수 체배기를 제시하였다.

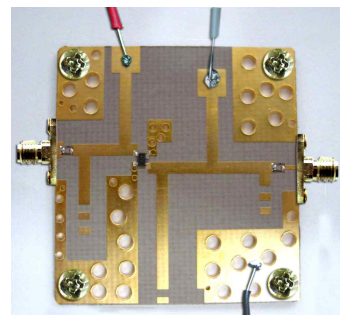


그림 9. 제작된 주파수 체배기
Fig. 9. The fabricated frequency multiplier.

제작한 주파수 체배기를 입력전력의 크기에 따라 출력전력, 전력부가효율을 측정 한 결과를 그림 10과 그림 11에 각각 나타내었다. 낮은 입력전력에서는 변환 손실을 갖으며 동작하고 전력부가효율은 입력전력에 따라 증가하고 출력전력 24dBm에서는 최대

8.5dB의 변환 이득을 가지며 최대 32%의 효율 특성을 보이는 주파수 체배기로 동작하는 것을 확인할 수 있다. 이 때 기본파 성분의 크기는 -14.7dBm으로서 입력된 신호보다 39dB 억압된 특성을 나타내고 있다.

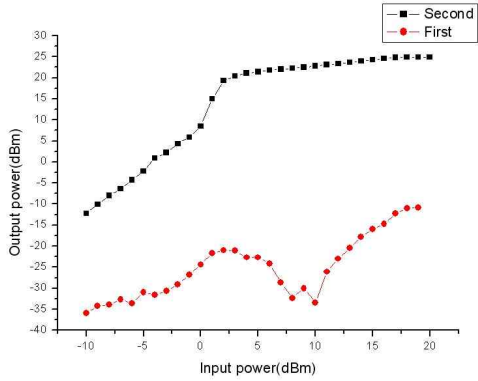


그림 10. 출력전력과 기본파 성분의 측정결과
Fig. 10. Measured result of second harmonic and fundamental frequency.

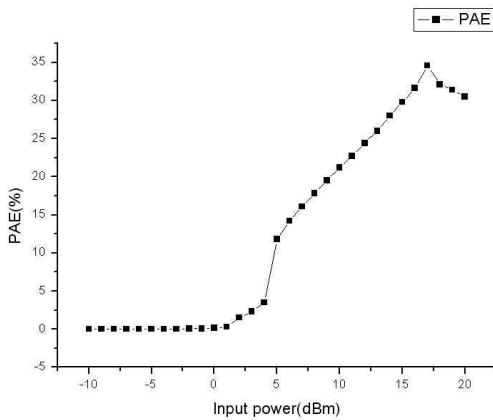


그림 11. 5.8GHz에서의 PAE 측정결과
Fig. 11. Measured result of PAE at 5.8GHz.

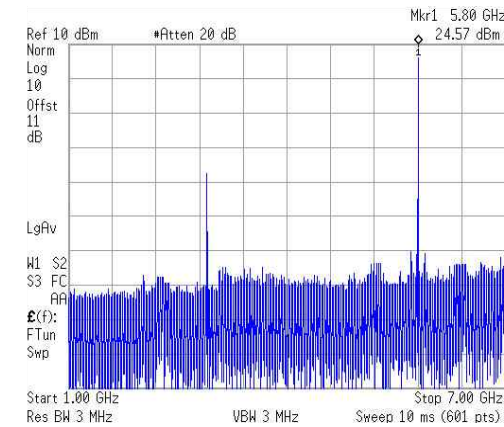


그림 12. 출력 스펙트럼 측정결과(16dBm 입력)
Fig.12. Output at 16dBm input power.

V. 디지털 선형화 결과

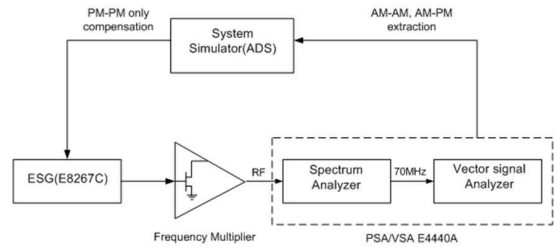


그림 13. 주파수체배기의 선형화 측정시스템
Fig.13 Experimental set-up for linearization of frequency multiplier

디지털 사전왜곡기의 성능은 비선형 소자의 특성과 정확하게 역이되는 신호를 모델링하여 인가하는데에 있다. 주파수 체배기의 비선형 왜곡특성인 AM-AM, AM-PM 왜곡특성을 추출하여 원하는 사전 왜곡신호를 생성하기 위해서는 1-톤 인가에 의한 측정 방법보다는 실제 무선 랜(IEEE 802.11a)신호원을 주파수 체배기에 인가하여 왜곡특성을 추출하는 것이 바람직하다. 그림 13에 나타난 측정시스템을 이용하여 제작된 주파수 체배기의 선형화된 출력스펙트럼을 측정하였다.

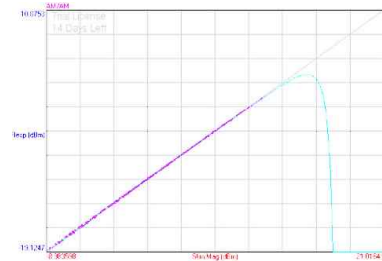


그림 14. 주파수체배기의 AM-AM 측정
Fig.14 Measured AM-AM characteristic of the frequency multiplier.

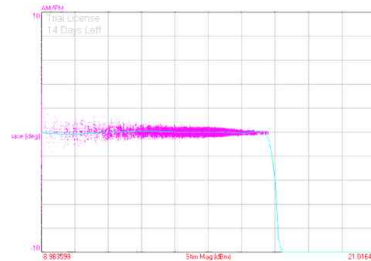


그림 15. 주파수체배기의 AM-PM 측정
Fig.15 Measured AM-PM characteristic of the frequency multiplier

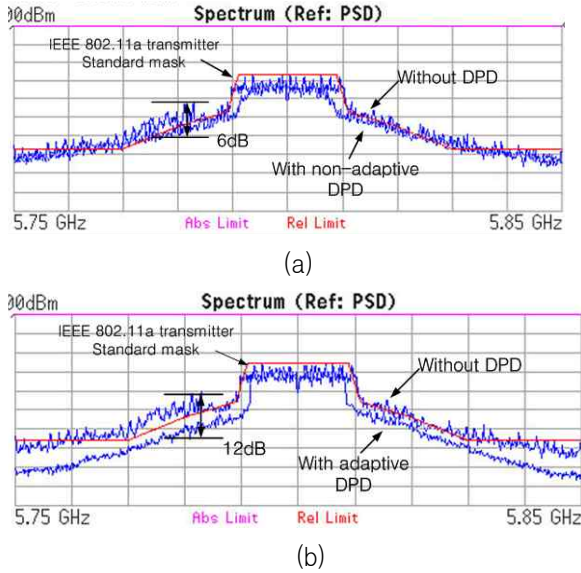


그림 16. 5.8GHz주파수 체배기의 출력 스펙트럼
Fig.16 Measured output spectrum of 5.8GHz frequency multiplier (a) With non-adaptive predistortion, (b) With adaptive predistortion

그림 14와 15는 IEEE 802.11a 신호원을 제작된 E 급 주파수 체배기에 인가하여 얻은 주파수 체배기의 AM-AM 및 AM-PM 왜곡 특성을 나타내고 있다.

그림 16은 제작한 고효율 주파수 체배기의 선형화 전과 후의 출력스펙트럼을 보여주고 있다. 2.9GHz 입력신호에 5.8GHz 출력신호에서 ACPR을 측정하였다. 주파수 체배기의 비선형 왜곡특성으로 인해 신호에 심각한 왜곡이 발생한다. 그림 16(a)는 초기에 왜곡특성(AM-AM, AM-PM) 측정값을 통하여 얻은 정보를 이용하여 구현된 LUT의 값을 이용하여 측정된 출력스펙트럼이다. 중심주파수에서 offset 주파수가 증가함에 따라 ACPR이 심각하게 악화된다. 대역외 생기는 왜곡을 보상할 수 있도록 LUT의 계수(값)를 갱신시켜주는 적응형 방식을 이용하여 얻은 정보를 이용하여 측정된 결과는 그림 16(b)이다.

적응형 방식의 선형화후의 출력스펙트럼은 중심 주파수에서 각각 +11MHz, +20MHz offset인 주파수에서 선형화 전과 비교하여 각각 12dBc의 ACPR 특성이 향상되었으며, 적응형 방식이 아닌 경우와 비교하였을 경우에는 각각 2dBc, 6dBc의 ACPR 특성이 향상되었다. 적응형 방식의 경우 IEEE 802.11a 송신 스펙트럼 마스크 규격을 만족함을 알 수 있다.

그림 17은 54Mbps 전송속도를 가지는 64-QAM 변

조방식에 따른 선형화전과 후의 I/Q성상도와 EVM 측정결과를 보여주고 있다. 제안한 기저대역 사전왜곡 적응형 선형화 방식의 경우 선형화 후의 EVM은 3.8%로 IEEE 802.11a 송신부 EVM 규격을 만족하였으며, 적응형 방식이 아닌 경우 14.6%의 EVM을 나타내었다.

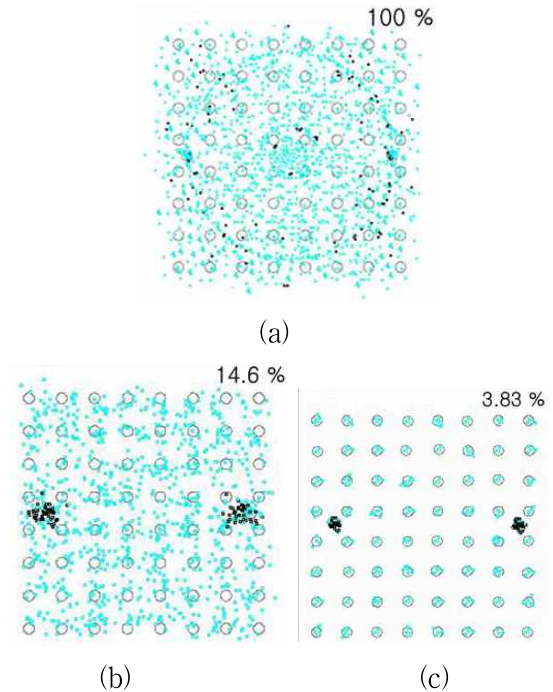


그림 17. 주파수 체배기의 EVM 과 I/Q성상도
Fig.17 Measured EVM and I/Q constellation of frequency multiplier
(a) Without predistortion,
(b) With non-adaptive predistortion
(c) With adaptive predistortion

VI. 결 론

본 논문에서는 고효율 주파수 체배기를 설계하고 디지털 사전왜곡 선형화를 이용하여 제작한 고효율 주파수 체배기의 비선형 왜곡을 보상하기위한 사전 왜곡 선형화 기법을 제안하였다.

주파수 체배기를 이용한 송신부는 2.9GHz 입력신호에 대하여 주파수 체배 방식을 사용해 5.8GHz 출력신호를 얻도록 설계되어졌다. 5.8GHz 고효율 주파수 체배기는 능동소자인 pHEMT를 사용하였고 마이크로스트립 선로를 이용하여 제작하였으며, 출력전

력에서는 8.5dB의 변환 이득을 가지며 최대 32%의 고효율 특성을 보이는 고효율 주파수 체배기로 동작하는 것을 확인할 수 있었다. 또한 주파수 체배기에서 발생하는 비선형 왜곡의 영향을 보상할 수 있는 신호 매핑방식의 기저대역 테이블 참조방식 사전왜곡기법을 사용하였다. 측정결과, 적응형 선형화 후의 출력스펙트럼은 중심주파수에서 각각 +11MHz, +20MHz offset인 주파수에서 각각 12dB의 ACPR 특성이 향상되었다. 또한 54Mbps 전송속도를 가지는 64-QAM 변조방식에 따른 적응형 선형화 후의 EVM은 3.8%로 개선되었다. 제작한 고효율 주파수 체배기의 측정결과를 표 2에 요약하였다.

본 논문의 결과, 설계된 고효율 주파수 체배기는 고선형성과 고효율성의 특성을 갖는 것을 확인할 수 있었다.

표 2. 설계된 주파수 체배기의 측정결과
Table 2. Measured results of the designed frequency multiplier

Mode	Parameter	Doubler
	PAE	32%
	Fundamental output	-14.7dBm
	Second harmonic	24.5dBm
	Gain	8.5dB

참 고 문 헌

[1] J. Ryyanen, K. Kivekas, J. Jussia, A. Parssinen, and K. Halonen, "A dual-band RF front end for WCDMA and GSM applications," *IEEE Trans. Microwave Theory Tech.*, vol.50, no.1, pp.288-301, Jan. 2002.

[2] F. H. Raab, "Idealized operation of the class E tuned power amplifier," *IEEE Trans. Circuits Syst.*, vol. CAS-25, pp. 725-735, Dec. 1977.

[3] 오정균, 최재홍, 구경현 "사전위상 왜곡을 이용한 IEEE 802.11a OFDM 무선랜 전력증폭기 위상 왜곡 특성 분석", *대한전자공학회지* 제 42권 TC

제2호 2005년 2월.

[4] Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications: High-Speed Physical Layer Extension in the 2.4GHz Band, *IEEE Standard 802.11b*, 1999.

[5] D. W. Portereld, T. W. Crowe, R. F. Bradley, and N. R. Erickson, "A high power fixed tuned millimeter wave balanced frequency doubler," *IEEE Trans. Microwave Theory Tech.*, vol. 47, pp.419-425, Apr. 1999.

[6] 전현진, 구경현, "기저대역 사전왜곡을 이용한 E급 주파수 체배기 선형화" *2008년도 한국 전자과학회 추계 종합학술발표회 논문초록집* Vol.18, No.1, p131, 2008년 11월

[7] J. H. Choi, S. M. Kang, and K. H. Koo, "Digital predistortion of frequency multiplier for dual band wireless LAN transmitter" *2005 IEEE MTT-S Int. Microwave Symp. Dig.*, 2005.

[8] Y. Park and J.S. Kenney, "Subsampling architecture for adaptive digital predistortion of frequency multipliers," *Proc. of 2003 APMC*, pp. 1924-1927, 2003.

[9] M. Weiss, M. Crites, E. Bryerton and J. Whittaker, "Time-domain optical sampling of switched-mode amplifiers and multipliers," *IEEE Microwave Theory Tech.*, vol. 47, no.12, pp. 2599-2604, Dec. 1999.

노 희 정 (盧 熙 正)



2000년 2월: 김포대학교 교수
2009년 현재: 인천대학교 전자공학과 박사과정
[주 관심분야] 마이크로파 회로 및 모듈 설계, 주파수 체배기 설계,

구 경 헌 (具京憲)



1981년 : 서울대학교 전자공학과 (공학사)
1991년 : 서울대학교 전자공학 (공학박사)
1999년~2000년 : UC San Diego 방문학자
2003년 ~ 현재 : 한국항행학회 논문
지 편집위원, 학술이사, 국제 이사, 부
회장, 차세대항행 통신연구회 위원장

1987년 ~ 현재 : 인천대학교 전자공학과 교수

관심분야 : 마이크로파 회로 설계, 무선통신시스템, 차세
대 항행시스템 등

전 현 진 (全炫珍)



2007년 2월 : 인천대학교 전자공학
과 (공학사)

2009년 2월 : 인천대학교 전자공학
과 (공학석사)

관심분야 : 마이크로파 회로 및 모
듈 설계, 주파수 체배기 설계,
RFIC설계