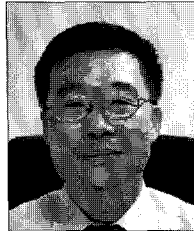


# 위성용 SMD 전기/전자 소자 파손 모드에 관한 연구

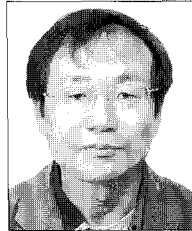
## A Study on the Failure Mode of Surface Mount Devices for Electronic Components of Satellite



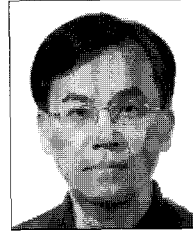
서현석\*



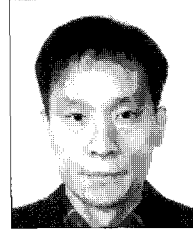
황도순\*\*



이주훈\*\*



이상곤\*\*\*



김대영\*\*\*\*

\* (주)한국항공우주산업 위성개발팀 책임연구원  
\*\* 한국항공우주연구원 위성기술실 위성구조팀 책임연구원  
\*\*\* 한국항공우주연구원 위성기술실 위성전자팀 책임연구원  
\*\*\*\* 한국항공우주연구원 다목적실용위성3호사업단 다목적3호체계팀 책임연구원

### 1. 서론

현대 문명과 더불어 전기/전자 부품의 개발은 급속하게 발전해왔다. 많은 상업용/공업용 부품에서 군사용 혹은 우주용의 다양한 기능과 용도를 가진 부품으로 개발, 발전되어 왔으며, 군사용 및 우주용 부품은 상업용/공업용 부품보다 높은 성능과 극심한 환경조건에 견딜 수 있도록 요구되고 있다. 군사용 및 우주용의 경우 이와 같은 극심한 환경에서 임무수행기간 동안 충분한 안정성을 가지고 동작될 수 있도록 극심한 환경조건에 대한 최적 설계가 매우 중요한 과제로 대두되었다.

인공위성에는 각 기능별 임무 수행을 위한 전기/전자부품이 사용되며, 이와 같은 전기/전자부품은 극심한 발사환경과 우주환경에 노출된다. 이러한 환경 하에서 전기/전자부품의 안전성을 보장하기 위한 많은 연구가 진행되었다.

국내에는 아직 적용 사례가 많지 않으나, 최근에는, 지속적인 인공위성 구성품의 국산화 개발로 설계 노하우 및 경험이 축적되고 있다.

SMD(Surface Mount Device)<sup>1)</sup> 형태의 소자는 상업용, 공업용, 군사용에 널리 적용되며, 우주용의 인공위성 전자부품에도 많이 사용되고 있다. SMD 소자에 파손을 유발할 수 있는 하중인자는 여러 가지 존재하지만 대표적인 하중은 진동 및

열 하중이다. 진동하중은 자동차, 군사용 및 우주용 전기/전자 부품 설계에 적용되며, 특히, 인공위성을 포함하는 우주 수송 시스템에 사용되는 전기/전자 소자는 인공위성 발사시의 극심한 진동하중을 견뎌야 한다. 발사 진동하중의 경우 발사체 종류 및 엔진의 추력 등에 따라 진동 하중 조건이 주어지며, 이에 따른 전기/전자부품의 기계적 설계가 수행된다. 열하중은 일반 상업/공업용 및 군사/우주용 부품 설계 시 일반적으로 고려해야 할 하중으로, 각 용도별로 다른 온도 조건을 적용하게 된다.

본 논문에서는 장착 패턴별 소자의 SMD 구조를 분류하고, 하중조건에 따른 일반적 파손 모드를 분석하여 수학적 모델을 제시하였다. 마지막으로 개발 중인 인공위성 부품의 시험 결과와 수학적 모델을 이용한 해석결과를 비교하여 타당성을 검증하였다.

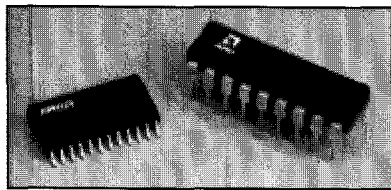
### 2. 본론

#### 2.1 SMD(Surface Mount Device)

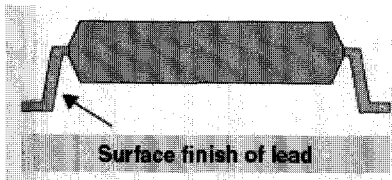
전기/전자(전자로 대표함) 소자는 기능에 따라 프로세서, 캐패시터, FET 등으로 분류되고, 인쇄회로기판(PCB: Printed

Circuit Board)에 장착하는 방법, 즉, SMD 구조에 따라 DIP(Dual In-line), QFP(Quad Flat Package), BGA(Ball Grid Array) 및 TSOP(Thin Small Outline Package)로 분류된다.

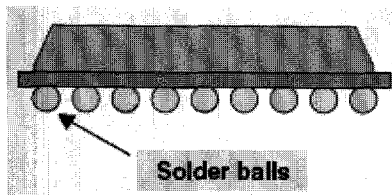
DIP는 인쇄회로기판을 관통하여 장착되는 방법으로 일반적으로는 SMD 형태의 소자와는 구분되어 진다(그림 1(a)). 그러나 본 논문에서는 일반적인 분류상 SMD로 간주하여 분류하였으며, 이와 같은 장착방법은 직접소자인 IC 소자에 대표적으로 적용된다. QFP는 전형적인 SMD 형태의 소자로서 납땜접합이 기판의 표면에 부착되는 방법으로(그림 1(b)) 프로세서 등 FPGA 소자에 적용된다. BGA는 LEAD Frame이 볼 형태로 제작되어 기판에 장착하는 방법으로(그림 1(c)) Lead-free Solder Joint에 적용되는 최신 설계 개념이다. TSOP는 단위 면적당 소모 열량이 큰 SDRAM 소자에 적용되는 최신 설계 개념으로, 열적 특성을 향상시키기 위하여 매우 가는 많은 Lead Wire를 적용한다(그림 1(d)).



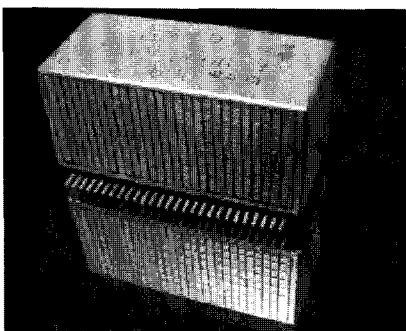
(a) DIP Mounting



(b) QFP Mounting



(c) BGA Mounting



(d) TSOP Mounting

그림 1 General Surface Mount Devices

## 2.2 기판(PCB) 하중

일반적으로 기판의 면외방향 하중은 광대역의 랜덤진동에 의해 발생되고, 면내방향 하중은 주로 재료의 열 특성 불일치로 인하여 발생한다. 이와 같은 하중은 소자에 직접적인 영향을 주어 소자의 파손<sup>2)</sup>을 유발하기 때문에 다음과 같은 설계<sup>3)</sup> 개념이 요구된다.

- 진동하중
  - PCBs의 충분한 강성
  - 소자 최적 배치
  - Frame 및 기구물 설계 고려 등
- 열하중
  - 적절한 소자의 선택
  - 충분한 열 경로를 고려한 유닛설계
  - Solder Joint의 안정적 제작
  - 회로 최적 설계 등

## 2.3 진동하중에 의한 파손모드

일반적으로 전자부품에 대한 발사 진동하중은 크게 랜덤 진동하중, 파이로(Pyro) 충격하중 등으로 분류된다. 랜덤 진동하중은 인쇄회로기판의 처짐을 유발하며, 특히 대역폭이 넓은 랜덤 진동하중은 소자의 Solder Joint 혹은 Lead Frame의 파손을 유발한다. 이를 방지하기 위하여 기판의 장착방법과 Frame의 강성 등을 고려한 설계를 하게 된다. 일반적인 기판의 처짐에 대한 예측은 기판을 1차원 굽힘 진동계로 가정하고 이를 다시 통계학적 관점으로 예측된 최대 하중을 이용한 최대 처짐을 예측하게 된다.

$$G_{OVT} = \sqrt{\frac{\pi PQf_n}{2}} \quad (1)$$

위의 식 (1)은 NASA의 Simmons S. Miles<sup>4)</sup>에 의해 확립되었고 일반적으로 식 (1)의 3sigma의 확률적 값을 이용하여 최대 출력을 구하게 된다. 이와 같은 최대 출력값은 다시 일차원 진동계에서의 인쇄회로기판의 최대 처짐 방정식으로 변환되고, 이때의 처짐을 기판의 최대 처짐으로 간주하여 소자별 안정성을 검토하게 된다.

충격 및 파이로 충격하중의 경우 기판의 처짐을 유발하지만 이때의 처짐은 랜덤 진동에 의해 발생하는 처짐보다 상대적으로 매우 작은 값을 갖게 된다. 따라서 큰 가속도 (High Acceleration Level)의 급속 에너지전달(Rapid Energy Transfer)에 의한 소자의 파손모드는 주로 전자기적 오작동

(Electrical Malfunction)을 초래하는 것이 통상적이다. 즉, Relay 혹은 Crystal Oscillator, Potentiometer 등에 장착된 소자의 전기적 기능 문제를 야기하게 된다. 이를 방지하는 방법으로는 충격완화장치 장착 및 소자 자체 충격흡수 방법 등이 있다.

### 2.4 열하중에 의한 파손모드

열 하중에 의한 파손모드에 대한 해석을 위한 모델의 예제를 그림 2에 나타내었다. 그림 2는 주어진 온도환경 하에서 각 재료의 특성으로 인한 하중분석을 수행하게 되고 이를 다시 직접적인 내구성 해석을 수행하게 된다.<sup>5-7)</sup>

열하중은 위성의 평균 임무 수명을 3~5년이라 가정할 때 반복적으로 부하되므로 파손소자 자체의 수명 예측 및 분석은 매우 중요한 설계인자로 간주된다. 그림 3은 소자, Lead Frame, Solder Joint 그리고 기판의 CTE(Coefficient of Thermal Expansion) 불일치로 발생하는 응력 분포를 나타낸다.

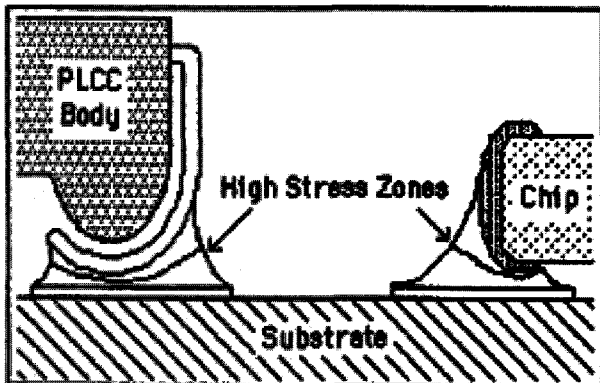


그림 2 Solder Joint Stress Zone

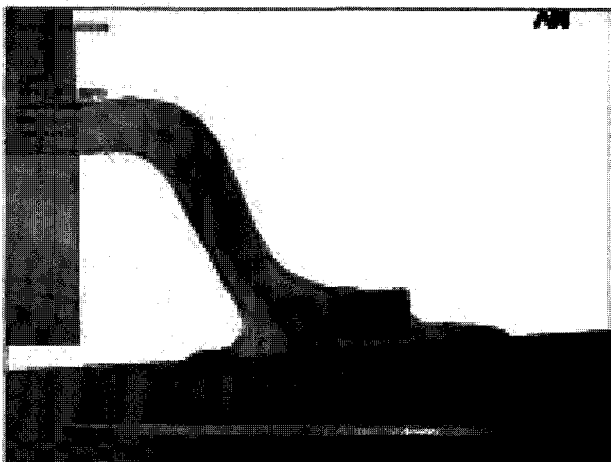


그림 3 Mathematical Model for Analysis of Thermal Failure

### 2.5 파손모델 적용 및 검증

#### 2.5.1 진동하중에 의한 소자의 파손

국내에서 개발 중인 위성용 전자장비에 탑재된 기판에 수학적 파손모델을 적용하여 예측 치와 시험 결과 치를 비교하였다. 그림 4는 현재 개발 중인 프로세서 기판으로, 다른 기판에 비해 기판 좌우 양 끝단에 비교적 크기가 큰 소자들이 장착되어 있어서, 기판의 Free Edge에 비하여 큰 처짐이 발생한다. 이러한 불안한 처짐으로 인한 랜덤 진동하중 해석결과, 특정위치의 소자에 파손이 발생함이 예측되었다.

그림 5의 프로세서 기판의 1차 모드의 특성을 통해 볼 수 있듯이 좌우 끝단에서 기판의 최대 처짐이 발생하였다. 처짐 양은 1차원 진동계에 대한 진동 방정식인 Miles 방정식을 이용하여 예측하였으며, 이때의 소자의 구조적 안전 마진이 Negative 값으로 나타났다. 이에 대한 검증을 위하여 실제 유닛의 설계 요구조건인 17Grms 레벨의 랜덤 하중으로 진동시험을 수행하였다. 그림 6은 랜덤 진동시험 레벨을 나타낸다.

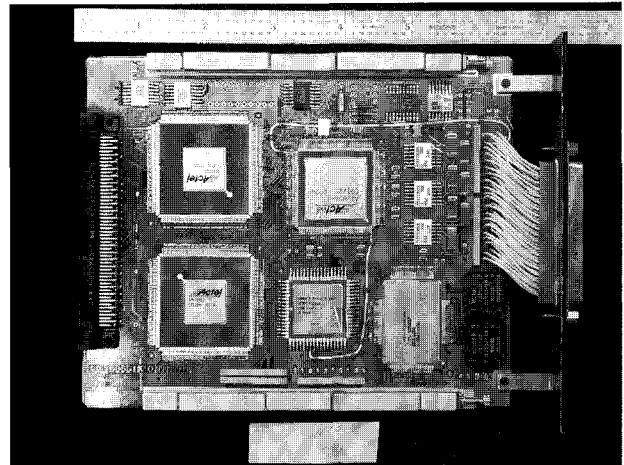


그림 4 Processor Board for Satellite Electronic Unit

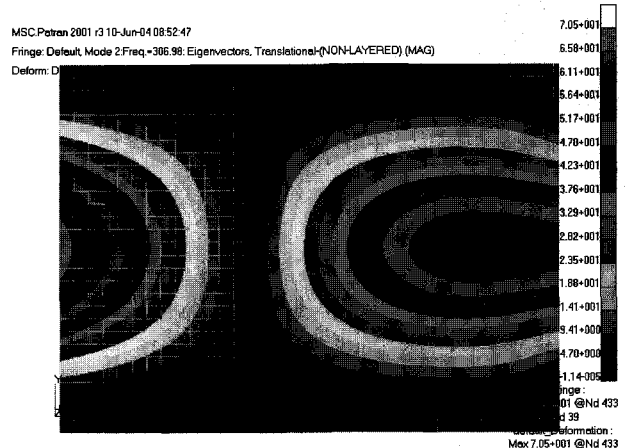


그림 5 Mode Analysis of Processor Board(306Hz)

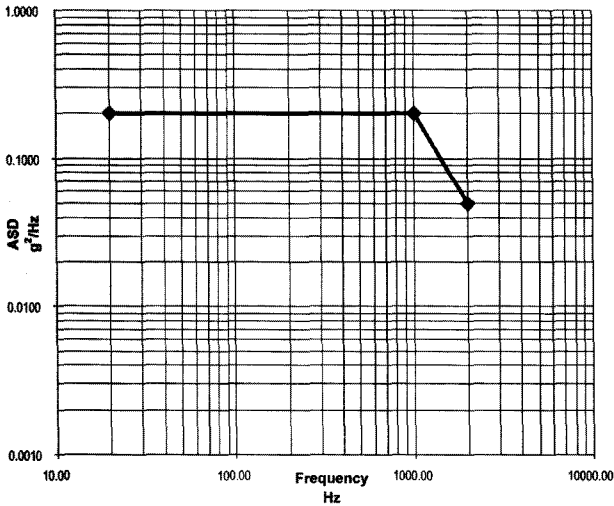


그림 6 Random Vibration Test Condition

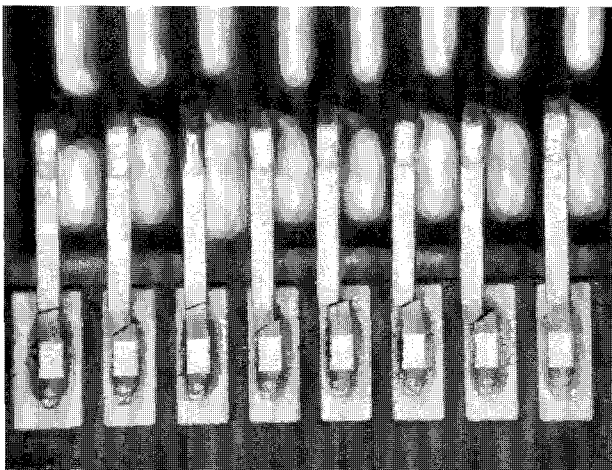


그림 7 Configuration of Lead Wire Fracture

시험 전 전기적 기능시험은 통과하였으나, 상기 진동시험 후 기능시험에서 이상 현상이 발생되었다. 기판을 꺼내어 소자의 이상 유무를 확인한 결과, Negative 마진이 예측된 부위와 일치하는 위치의 소자에서 Lead Wire가 파단된 것이 확인되었다. 그림 7은 랜덤 진동 시험 후 소자의 Lead Wire에서 파단을 보여준다.

파단 부위는 그림 4의 우측하단에 장착된 1553 Chip으로 Lead Wire가 파단 됨을 알 수 있었다. 즉, Solder Joint는 주어진 하중조건에 충분한 강도를 가짐을 알 수 있었고, 파손 모드는 Lead Frame에서 발생됨을 알 수 있었다.

### 2.5.2 열 하중에 의한 소자의 파손

열 하중에 의한 파손을 검증하기 위하여 전기적 Shut-down 모드가 발생하는 부품을 선정하였다. Solder Joint 혹은 Lead

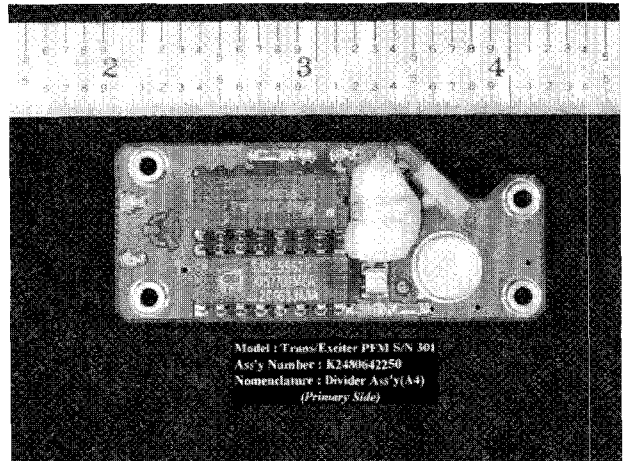


그림 8 Configuration of LM117 Mounting Board

Frame에 파손이 발생하는 것이 아니며, 소자가 자체적으로 Shut-down되는 회로를 가지고 있어서 설계 한계온도에 도달했을 때 전기적 Shut-down 모드가 발생하게 된다.

그림 8과 같이 LM117 Regulator 소자가 장착된 위성용 전자부품 기판을 열하중에 의한 Shut-down 모드를 검증하기 위한 모델로 선정하였다. 그림 8의 우측하단에 있는 원형소자가 Regulator이며, 유닛의 공간적인 제약으로 인하여 열적 경로특성이 다소 떨어지는 장착패턴을 갖게 되었다.

열하중에 의한 Shut-down 모드를 검증하기 위하여 선정된 기판의 크기가 그림 8과 같이 매우 작아서 열적 성능이 좋은 볼트를 이용하여 소자를 기판에 장착하는 것이 어렵다. 소자의 열적 성능을 향상시키기 위하여 소자와 기판 사이에 Thermal Pad를 장착하였다. 소자의 특성상 Thermal Pad와 소자 및 기판은 단순 접촉으로 작업이 수행되며, 소자와 패드 그리고 기판의 접촉이 매우 중요한 열 경로가 된다. 볼트를 이용한 장착 방법은 조립 토오크의 규격화를 통한 접촉 크기의 표준화가 가능하나, Thermal Pad를 이용한 장착 방법은 손가락 압력의 비표준화 된 장착방법을 이용하여 조립을 수행하므로 표준화된 접촉이 어렵게 된다. 그러므로, 열진공 시험을 통하여 얻어진 온도분포 데이터를 이용하여 역으로 수학적 모델을 분석하였다. 표 1은 열진공 시험을 위한 센서의 위치를 나타낸다.

표 1 Sensor Location for Thermal Vacuum Test

구분	번호	위치
1	17	IC 소자1
2	18	IC 소자2
3	19	기판, REGULATOR 근처
4	20	REGULATOR 케이스 위
5	46	주변 온도
6	45	주변 온도

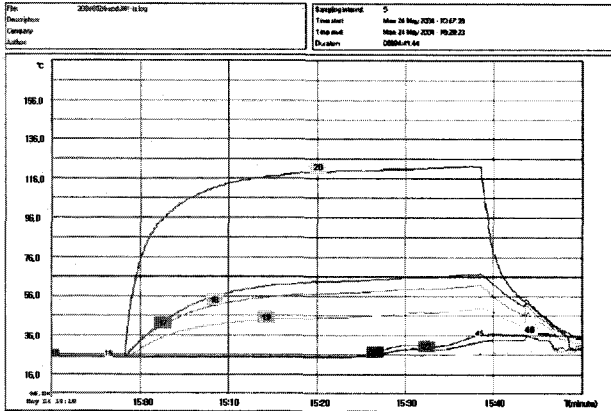


그림 9 Thermal Vacuum Test Results

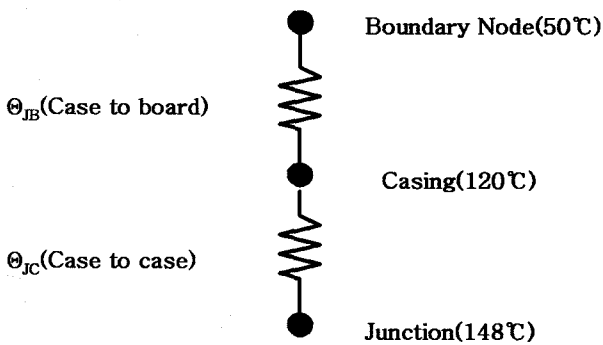


그림 10 Thermal Network Model for LM117

그림 9의 열진공 시험결과, 소자 케이스의 온도는 약 120°C 정도였으며, 소자를 장착한 기판의 온도는 약 50°C 정도였다. 따라서 소자의 장착부분에서 소자의 케이스까지는 약 70°C의 온도차가 존재한다. 즉, 소자의 Thermal Pad 장착으로 인한 열 접촉 저항이 매우 크다는 것을 알 수 있었다. 그림 10은 LM117의 군사용 규격에 제시된 Case to Junction Thermal Resistance를 이용하여 간략화된 열 저항 모델을 표현한 것이다.

일반적으로 군사용 LM117은 약 40°C/W<sup>8)</sup>의 Case to Junction Thermal Resistance를 가진다. 즉, 상기 열진공 시험 결과에서 알 수 있는 기지의 값인 소자의 케이스의 온도정보를 이용하여 소자 내부의 온도를 예측할 수 있다는 것을 의미한다. 앞에서 언급한 내용을 토대로 LM117소자의 열 저항을 검토하여 보면,

$$T_J = T_A + \theta_{JC} \cdot P + \theta_{CB} \cdot P \quad (2)$$

상기  $T_J$ 는 소자의 접합온도이고  $T_A$ 는 소자의 주변온도이다.  $\theta_{JC}$ 는 소자의 접합과 케이스의 열저항 특성이고 문헌<sup>8)</sup>에 언급된 바와 같이 40°C/W임을 알 수 있다.  $\theta_{CB}$ 는 소자의 케이스와 기판의 열저항을 나타내고, P는 소자의 소모

전력, 즉 열원의 값을 나타낸다. 지상시험에서의 주변온도는 소자 주위 공기의 온도를 일컫지만 우주환경을 모사하기 위한 열 진공환경에서는 기판의 온도를 주변온도로 간주한다. 즉 이에 소자의 케이스와 기판간의 열 저항이 소자의 접합온도에 큰 영향을 주게 된다. 열 진공환경 하에서의  $\theta_{CB}$ 는 아래와 같이 표현된다.

$$\frac{1}{R_{CB}} = \frac{1}{R_{SIL-PAD}} + \frac{1}{R_{LEAD}} \quad (3)$$

여기서 R은 열저항을 의미하고 lead에 관계한 값은 재질 및 전도 특성, 사양등을 통하여 얻어질 수 있다. 그러나 Thermal Pad로 사용된 Sil-pad는 접촉의 상태에 따라 접촉 열저항의 영향을 주므로 이에 대한 사항은 시험적 결과를 토대로 분석 되어진다.

그림 9의 시험 데이터를 상기 모델을 적용하여 분석하면, 소자 부착 위치에서의 기판의 온도는 약 50°C이고 케이스의 온도는 120°C이다. 소자의 규격을 이용하여 소자의 Junction 온도를 분석하면 약 146°C 정도로 예측된다. 그림 11은 시험결과를 토대로 예측된 소자의 접합온도를 나타낸다. 상기의 검토 결과를 토대로 소자 장착시 필요한 접촉 열저항이 다소 작게 적용된 것을 분석할 수 있었다. 이는 소자의 장착방법의 특성상 표준화된 압력을 이용한 작업이 현실적으로 어렵고 실제 도면상에서도 이와 같은 표준화된 압력 조건을 제시할 수 없는 것이 현실이다.

앞에서도 언급한 바와 같이 150°C 온도를 갖는 소자 회로 부근에서 전기적으로 Shut-down이 발생하는 구조이다. Shut-down이 발생된 소자를 제거하고 새로운 소자를 기존 방법보다 추가적인 압력을 주어 장착한 후 열 진공 재시험을 재수행하였다. 그림 12는 새로 작업한 기판의 열진공 시

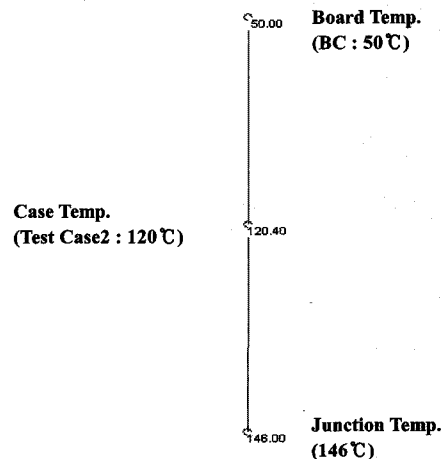


그림 11 Thermal Network Model for LM117

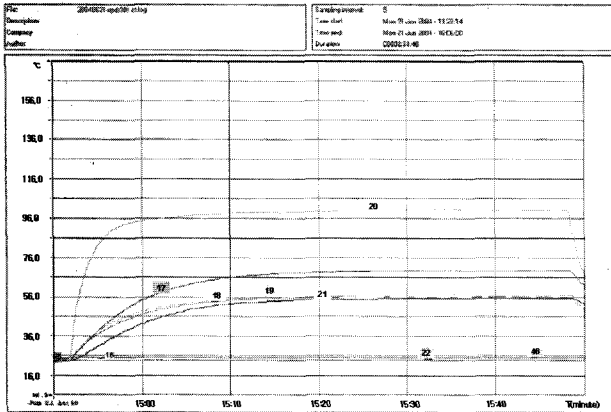


그림 12 Therm Test after Rework Process

험 결과를 나타낸다.

그림 12에서 21번 센서가 소자의 케이스의 온도이고 20번 센서가 소자 옆 기판의 온도이다. 소자의 케이스의 온도는 약 100°C이고 기판의 온도는 약 66°C가 되었다. 따라서 기존의 열 경로를 단순한 압력증가를 통하여 얻을 수 있었고 이로 인해 기판의 상대적인 온도는 상승하게 되었다. 이를 통하여 분석한 결과, 열하중으로 인해 발생하는 Shut-down 파손 모드는 작업자의 기능이 부족하여 발생된 것이 아니라, 표준화된 접촉압력 설계 데이터가 없음으로 발생하는 문제로 판명되었다.

### 3. 결론

본 논문에서는 위성용 혹은 군사용 극한 환경 하에서 SMD 형태의 전기/전자 소자의 파단 및 파손에 대하여 검토하였다. 장착 패턴별 소자의 SMD 구조를 분류하고, 특히 소자에 치명적인 열적 혹은 동적 거동에 대하여 하중조건에 따른 일반적 파손 모드를 분석하여 수학적 모델을 제시하였다. 개발 중인 위성부품의 시험 결과와 수학적 모델을

이용한 해석결과를 비교하여 타당성을 검증하였다. 자체 개발 유닛의 파손의 경험을 토대로 보다 신뢰성 높은 전자 탑재부품 평가 방법을 제시하였다.

### 참 고 문 헌

1. Charles A. Harper, *Electronic Packaging & interconnection Handbook*, Second Edition, McGraw Hill, 1997
2. Engelmeier, W., "Surface Mount Solder Joint Reliability: Issue, Design, Testing, Prediction" Workshop Notes, Engelmaier Associate, Inc., Mendahm, NJ, 1995
3. Dave S. Steinburg, *Vibration Analysis for Electronic Equipment*, Second Edition, Wiley Inter-Science, 1980
4. John W. Miles, "On Structural Fatigue Under Random Loading", *Journal of the Aeronautical Science*, pp.753, 1954
5. John Parry, Chris Bailey, Chris Aldham, "Multiphysics Modeling for Electronic Design", *Proceedings of ITHERM Conference*, Las Vegas, May 2000, pp.86-93
6. R. Darveaux et al., "Solder Joint Fatigue Life Model", *Design and Reliability of Solders and Solder Interconnection*, 1997, pp.213-218, Pub. TMS
7. H. Lu, C. Bailey, M. Dusek, C. Hunt and J. Nottay, "Modeling the Fatigue Life Prediction of Solder Joints for Surface Mount Resistor", *International Symposium on Electronic Materials and Packaging*, Hong Kong, pp. 136-143, Pub. IEEE, ISBN 0-7803-6654-9, 2000
8. *Military Specification Microcircuits, Linear, Adjustable, Positive, Voltage Regulators, Monolithic Silicon, MIL-M-38510/117A*, March 1980

[담당 : 이주훈, 편집위원]