

논문 2009-46SD-6-3

# Stacked Interleaved 방식의 50MHz 스위칭 주파수의 벅 변환기

( Stacked Interleaved Buck DC-DC Converter  
With 50MHz Switching Frequency )

김 영 재\*, 남 현 석\*, 안 영 국\*, 노 정 진\*\*

( Youngjae Kim, Hyunseok Nam, Youngkook Ahn, and Jeongjin Roh )

## 요 약

본 논문에서는 인덕터와 커패시터를 집적화한 DC-DC 벅 변환기를 설계하였다. 출력전압의 리플크기를 줄이기 위해 stacked interleaved 방식을 이용하였고 변환기의 제어부는 전압모드 방식의 제어방법을 사용하여 설계하였다. 설계한 DC-DC 벅 변환기는 표준 0.5 $\mu$ m CMOS 공정으로 제작 중이며 전체면적은 9mm<sup>2</sup>이다. 설계된 회로는 3V~5V의 입력전압에서 동작하며 LC 필터의 크기를 줄이기 위해 50MHz의 주파수로 동작하였다. 최대 250mA의 부하전류 구동이 가능하며 최대 71%의 전력변환 효율을 가졌다.

## Abstract

In this paper, DC-DC buck converter with on-chip filter inductor and capacitor is presented. By operating at high switching frequency of 50MHz with stacked interleaved topology, we reduced inductor and capacitor sizes compared to previously published DC-DC buck converters. The proposed circuit is designed in a standard 0.5 $\mu$ m CMOS process, and chip area is 9mm<sup>2</sup>. This circuit operated at the input voltage of 3~5V range, the maximum load current of 250mA, and the maximum efficiency of 71%.

**Keywords :** Power management, buck converter, interleaved 구조, on-chip, ripple cancellation

## I. 서 론

오늘날 휴대용기기의 증가로 회로의 전력효율을 고려한 LDO<sup>[1]</sup>, 스위칭 타입의 DC-DC 변환기<sup>[2]</sup>, switched-capacitor DC-DC 변환기<sup>[3]</sup> 등의 전원관리의 중요성이 날이 갈수록 더 해지고 있다. 하지만 이 중에서 고효율을 요구하는 곳에서는 스위칭 타입의 DC-DC

변환기가 많이 쓰이고 있다<sup>[4~5]</sup>. 현재 많이 쓰이는 대부분의 DC-DC 변환기는 5MHz이하의 동작주파수와 큰 사이즈의 외부소자(인덕터, 커패시터)를 사용하여 높은 효율을 얻고 있다. 하지만 그러한 외부소자들은 모듈에 비해 많은 면적을 차지하여 다른 시스템과의 집적화에도 어려움이 있다. 따라서 면적, 비용측면에서 제품 응용의 제약을 가질 수밖에 없다. 그 외에 회로 적으로도 패키지의 기생성분에 의한 문제점들을 가지고 있다. 이러한 문제점들은 외부소자를 DC-DC 변환기의 제어부와 같이 모두 집적화를 통해서 해결 할 수 있다.

외부소자 및 내부 회로의 모든 집적화는 면적, 외부 소자에 대한 비용, 빠른 응답시간, I/O 핀의 감소, 패키지 기생성분의 영향을 줄일 수 있는 장점이 있는 반면,

\* 학생회원, \*\* 정회원, 한양대학교 전자컴퓨터공학  
(Dep. of Electronic, Electrical, Control and  
Instrumentation Engineering, Hanyang Univ.)  
※ 이 논문은 2009년도 정부(교육과학기술부)의 재원으로  
한국과학재단의 지원을 받아 수행된 연구임(No.  
R01-2008-000-11056-0)  
접수일자: 2008년12월26일, 수정완료일: 2009년4월14일

인덕터 집적화의 어려움, 낮은 효율, 높은 동작 주파수에서의 정확한 컨트롤 구현이 어렵다는 점이 단점이라 할 수 있겠다<sup>[6]</sup>. 본 논문에서는 표준 CMOS 공정에서 외부 소자 인덕터 및 커패시터를 집적화하여 다양한 시스템에서 사용 가능하게 하였다. 인덕터 및 커패시터의 사이즈를 줄이기 위해 50MHz를 동작주파수로 정했으며 출력전압의 리플을 더욱 줄이기 위해 특별한 구조인 stacked interleaved 구조 방식을 이용하였다. 이렇게 모두 집적화된 DC-DC 변환기는 기존의 변환기보다 면적, 부피가 줄어들어 소형화 추세에 있는 휴대용 기기에 적합한 회로가 될 것이다.

## II. 본 론

### 1. 제어 회로 디자인

기존 buck 변환기에서는 인덕터와 커패시터는 높은 효율을 내기 위해 사이즈가 컸으며 칩 외부에 배치되어져 있었다. 하지만 본 논문에서는 높은 주파수에서 동작되도록 설계하고 L, C 필터의 사이즈를 줄여 그림1에서처럼 L, C, 제어부 모두 집적화 하였다.

DC-DC buck 변환기의 기본 구성과 동작을 살펴보면 클락 발생기, 삼각파 신호 발생기, 비교기, 보상 회로 등으로 구성된다. 집적화된 인덕터와 커패시터는 2차 저 대역 필터(2nd-order lowpass filter)를 구성하여 DC 전력을 부하에 전달하는 역할을 한다. 클락 신호에 의한 셋신호와 비교기에서 생성되는 리셋신호를 통하여 변환기는 일정한 듀티(duty)를 가지게 되고, 스위치의 동작에 의해서 변환기는 일정한 출력 전압을 유지할 수 있게 된다.

출력 전압을 이용하여 전체 PWM 신호를 제어하는 전압모드 방식은 전류를 감지하여 이용하는 방법보다 설계가 용이하고 간단한 회로로 전체 컨버터를 구성할 수 있다는 장점이 있기 때문에 전압모드 방식으로 설계하였다.

본 설계의 가장 큰 목적은 DC-DC buck 변환기의 LC 필터인 인덕터와 커패시터를 작게 설계하여 집적하는데 있다. 하지만 인덕터를 작게 설계하면 인덕터의 리플전류가 커지게 되고 그에 따라 출력전압 리플크기 역시 커지게 된다. 이때 리플전압 크기를 줄이기 위해서는 다시 커패시터의 크기를 키워야 한다. 이를 예방하기 위해 본 설계에서는 인덕터의 리플전류가 크더라도 LC 필터의 커패시터에 흘러들어가 리플전류를 줄이기 위해 stacked interleaved 방식을 사용하여 주(main) 인덕터에 흐르는

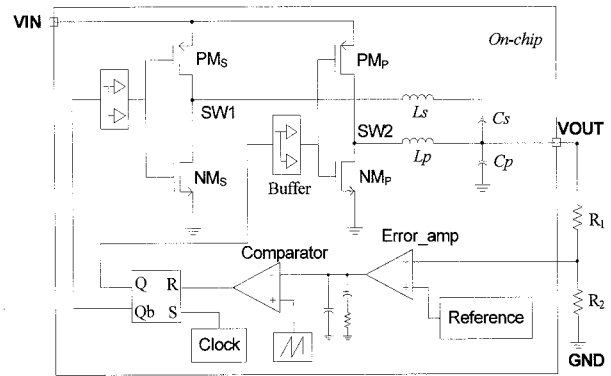


그림 1. Stacked interleaved 방식의 buck 변환기의 블록 다이어그램

Fig. 1. Stacked interleaved buck converter circuit block diagram.

전류만큼 반대의 전류를 부(slave) 인덕터에 흐르게 하여 최종 LC 필터의 커패시터에 흐르는 리플전류를 줄이게 하였다<sup>[7]</sup>.

본 설계의 가장 큰 장점은 두개의 위상으로 모든 duty에 상관없이 인덕터전류 리플감소(ripple cancellation)가 일어남으로써 출력전압 리플크기가 작아지는 점이다. 이렇게 함으로써 커패시터의 크기를 줄일 수 있고 그림 1에서 보는 바와 같이 인덕터와 커패시터 모두 집적을 시킬 수 있었다. 그림 2 (a)는 그림 1의 블록 다이어그램을 간단히 묘사한 것이다. SW2, Lp, Cp는 부하에 연결되어 있어 듀티 주기인 D구간에 buck 변환기의 출력노드(VOUT)에 전류를 공급하고, SW1, Ls, Cs는 부하와 분리되어 있고 SW2와 정 반대의 위상으로 동작이 된다.

주요 동작은 클락 발생기에서 발생된 신호가 PWM 신호의 셋 타이밍을 결정한다. 피드백이 된 신호와 삼각파 신호 발생기에서 발생된 신호의 조합으로 리셋 타이밍을 결정하고, 셋신호와와의 조합으로 PWM 타이밍 및 듀티 주기인 D와 1-D를 만든다.

듀티 D인 구간에서 SW2의 PMp는 켜지고 NMp는 꺼짐으로써 인덕터 Lp의 양쪽에 입력전압(VIN)과 출력전압(VOUT)에 연결되어 Lp의 전류, Ip가 증가한다. 반대로 SW1은 동작이 반대의 상태로 PMs는 꺼지고, NMp는 켜짐으로써 Ls의 한쪽 노드에 그라운드가 연결되고 Ls의 전류, Is가 감소하게 된다. 최종 출력전압 노드에는 가하는 전류 Ip와 감소하는 전류 Is가 합쳐져 각 인덕터의 리플전류가 감소된 부하전류가 공급되기 때문에 출력노드의 리플전류가 줄어들게 되고 최종 리플크기 역시 줄어들게 된다.

듀티 1-D인 구간에서는 SW2의 PMp는 꺼지고 NMp는

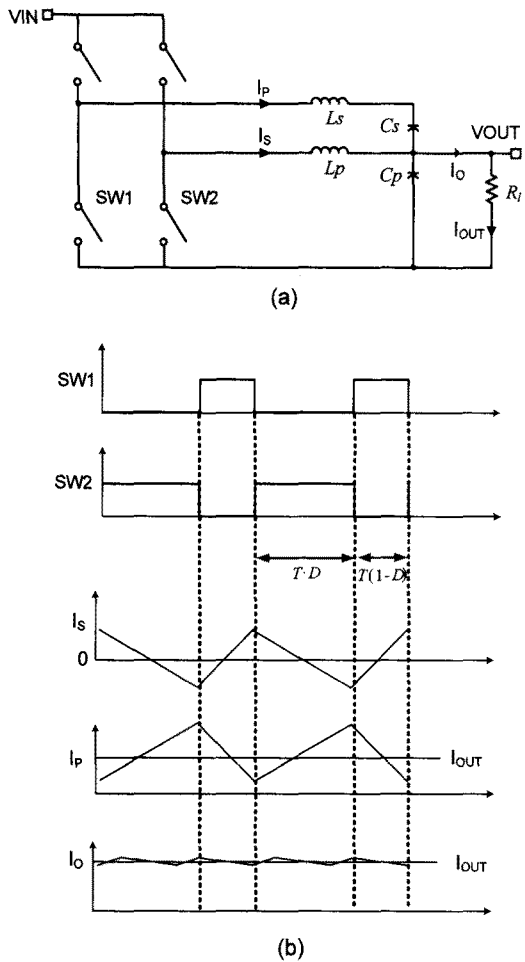


그림 2. (a) Stacked interleaved 방식의 벅 변환기의 대표적인 구조<sup>[7]</sup> (b) 타이밍도

Fig. 2. (a) Simple schematic for circuit analysis of Stacked interleaved topology<sup>[7]</sup> (b) timing diagram

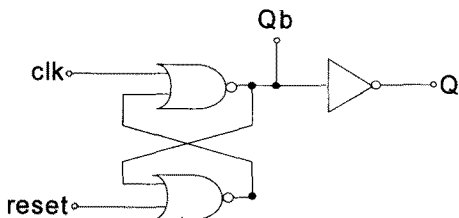


그림 3. SR 래치 제어부  
Fig. 3. SR latch controller.

켜지면 인덕터  $L_p$ 의 양쪽에 그라운드와 출력전압이 연결되어  $L_p$  전류,  $I_p$ 가 감소하게 된다. 반대로 SW1의 PMF는 켜지고  $L_s$ 의 한쪽 노드에 입력전압이 연결되어  $L_s$  전류,  $I_s$ 가 증가하게 된다. 이때 출력노드에는 증가하는 전류  $I_s$ 와 감소하는 전류  $I_p$ 와의 합으로 전류가 공급되기 때문에 전류리플이 줄어들게 된다.

그림 2 (b)에서는 정 반대의 위상의 Q, Qb가 SW1,

SW2를 드라이브 하고 그에 따른 전류 파형을 보여주고 있다.  $I_p$ 의 평균 전류는 부하 전류( $I_{out}$ )에 해당되고  $I_s$ 의 평균 전류는 0이고 리플크기는  $I_p$ 와 같고 전류 방향은 반대다. 최종 출력노드에 흐르는 전류의 평균값은 부하 전류에 해당하는 값을 갖고 리플은 각각의 인덕터의 리플이 합쳐진 것으로 리플감소가 일어나는 모습을 보여주고 있다.  $C_s$ 는 인덕터 전류  $I_s$ 의 직류전류를 막아주고 리플전류만 흐르게 해주는 역할을 한다. 그림 3은 반대의 위상을 가진 PWM인 Q, Qb를 생성하는 간단한 SR 래치를 보여주고 있다. 클락과 리셋신호에 의해 각 스위치를 드라이브 하는 버퍼의 PWM인 Q, Qb가 생성된다.

### 2. 고주파수 보상 회로

인덕터 타입의 스위칭 DC-DC 변환기는 스위칭 동작에 의해 변환기가 동작하기 때문에 비선형시스템이다. 따라서 변환기 회로의 피드백 루프의 안정성을 해석하기 위해서는 선형적인 소 신호 모델이 필요해진다. 전압 모드 DC-DC 변환기는 두 개의 극점을 가지고 제어-출력 전달함수 방정식으로 나타낼 수 있다. 방정식 (1)은 제어-출력 전달 함수  $G_{vd}$ 를 나타낸다.

$$G_{vd}(s) = \frac{V}{D} \frac{1}{1 + (\frac{L}{R}) \cdot s + LC \cdot s^2} \quad (1)$$

여기서 D는 PWM 파형의 1인 부분의 비율을 나타낸다. 그림 4는 변환기의 전달함수  $G_{vd}$ 의 주파수 특성을 보여주고 있다. 그래프에서 보여 지듯이 변환기의 위상 여유도(phase margin)는 충분하나, 이득(gain)은 매우 낮다. 낮은 이득을 높이기 위해 proportional-plus-integral

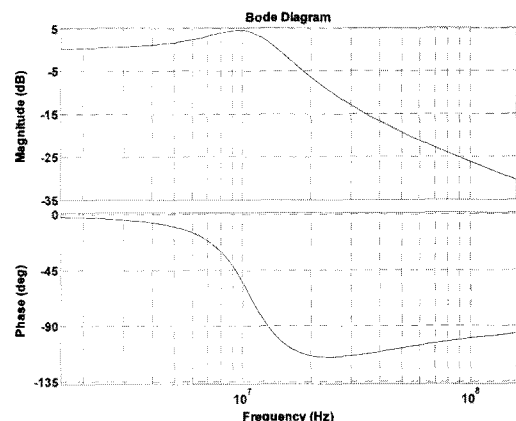


그림 4. 벅 변환기의 주파수 특성  
Fig. 4. Frequency characteristics of uncompensated buck converter.

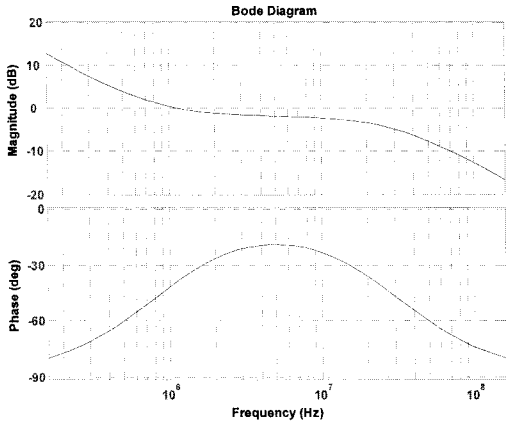


그림 5. 보상 회로의 주파수 특성  
Fig. 5. Frequency characteristics of compensator.

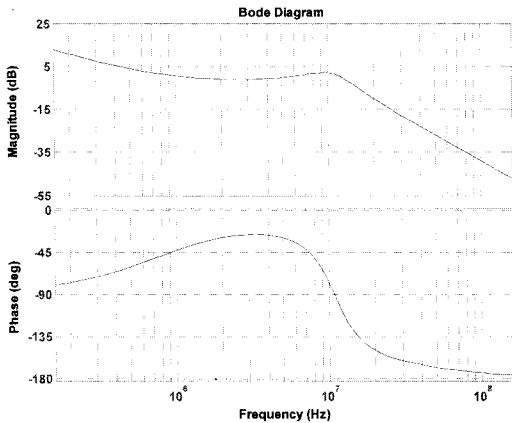


그림 6. gain의 보상이 된 벅 변환기의 주파수 특성  
Fig. 6. Frequency characteristics of compensated buck converter.

(PI) 보상 회로가 필요하게 된다.

보상 회로가 설계되어지기 전에 첫 번째로 결정해야 하는 것은 단위 이득 주파수(unit gain frequency)이다. 보통 변환기 루프의 단위 이득 주파수는 스위칭 주파수의 1/10~1/20으로 결정한다. 단위 이득 주파수가 스위칭 주파수의 근처에 위치하게 된다면 전체 변환기 루프에서 스위칭 하모닉(swimming harmonic)이 증폭될 수 있기 때문이다. 대개의 경우 스위칭 주파수의 1/10인 주파수에서 전달함수는 단위 이득에 미치지 못한다. 따라서 보상 회로는 전체적인 이득을 높여줌으로써 단위 이득 주파수를 조절하게 해준다<sup>[8]</sup>.

변환기 루프의 단위 이득 주파수가 정해지면 보상회로의 극점과 영점 주파수가 결정이 되고 단위 이득 주파수에서의 이득이 결정이 된다. 이때 주의할 점은 단위 이득 주파수는 보상회로의 영점 주파수와 극점 주파수의 가운

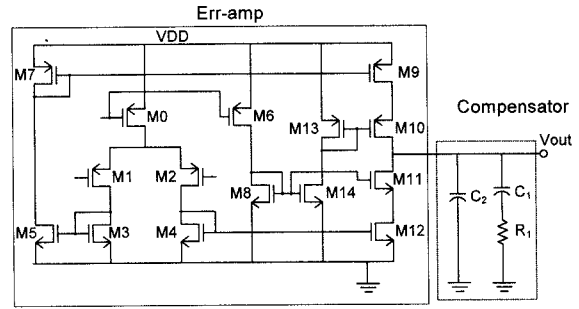


그림 7. 증폭기와 보상회로  
Fig. 7. Error amplifier and compensator.

데 있어야 한다는 것이다. 이렇게 함으로써 그림 5에서처럼 위상 여유도가 최소로 떨어지는 것을 막을 수 있기 때문이다.

그림 7은 일반적인 PI 보상회로와 operational trans-conductance amplifier(OTA)를 보여주고 있다. 이러한 형태의 보상회로는 위상 여유도를 충분히 감소시키지 않으면서 시스템의 전달함수 이득을 높여준다. 그림 7의 두 개의 커패시터와 하나의 저항은 하나의 영점과 극점을 형성한다. 영점 주파수와 극점 주파수는 다음과 같은 식으로 유도할 수 있다<sup>[9]</sup>.

$$f_z = \frac{1}{2\pi R_1 C_1} \tag{2}$$

$$f_p = \frac{C_1 + C_2}{2\pi R_1 C_1 C_2} \approx \frac{1}{2\pi R_1 C_2} \text{ where } C_2 \ll C_1 \tag{3}$$

### 3. 스위치 드라이브 버퍼

본 논문은 스위칭 형식의 DC-DC 변환기이기 때문에 전체 전력소모 중에서 스위치에서 소비하는 전력은 전체 소비전력의 가장 큰 비중을 차지하고 있다. 스위치 드라이브 버퍼 소비전력은 동적인 스위칭 전력소비와 스위칭 할때 NMOS와 PMOS간에 흐르는 short-circuit 전력소비가 있다. 이중 스위칭 전력소비는 Ron 저항을 고려한 스위치(그림 8.  $M_P, M_N$ )의 사이즈에 비례하는  $C_{load}$  때문에 더 이상 줄일 수가 없다. 하지만  $M_P, M_N$ 가 동시에 켜질 때 흐르는 short-current는 각 트랜지스터가 켜지는 시간차를 두어 줄일 수가 있다<sup>[10]</sup>.

그림 8 (a)는 일반적인 스위치 버퍼로서 하나의 신호로써 제어가 되기 때문에 각 스위치 간에 short-current가 흐른다. 그림 8 (b)는 각 스위치의 켜지는 시간차를 두어 동시에 켜지게 하는 것을 막았다. 그림 9에서처럼

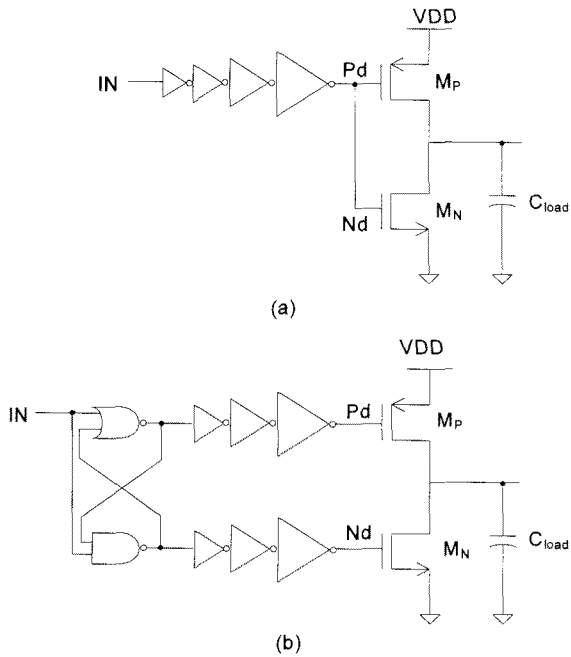


그림 8. (a) 태퍼 버퍼 (b) 피드백 제어 버퍼  
Fig. 8. (a) Tapered buffer (b) Feedback controlled buffer.

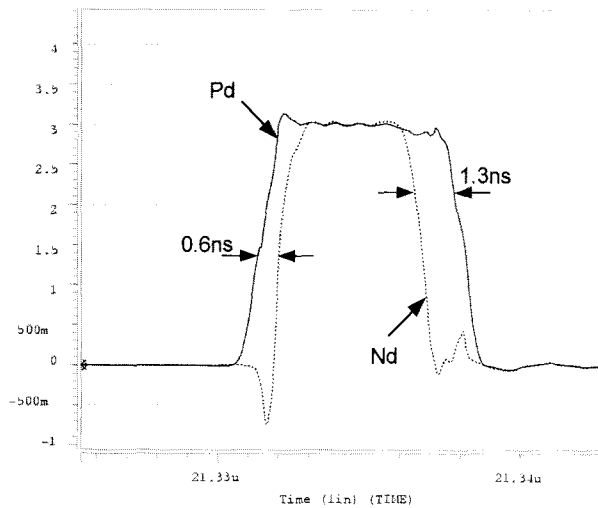


그림 9. 피드백 제어 버퍼 시뮬레이션  
Fig. 9. Feedback-controlled CMOS buffer simulation.

NMOS가 켜지기 전에 PMOS가 먼저 꺼지게 하였고 역시 PMOS가 켜지기 전에 NMOS가 꺼지도록 하였다. 각 시간차는 0.6ns~1.3ns로 20ns의 스위칭 주기에서도 안정적으로 벽 변환기가 동작하도록 하였다.

4. 고성능 전압 비교기

그림 10은 3단 비교기이다. 본 논문의 회로는 50MHz의 꽤 높은 주파수에서 동작하기 때문에 비교기의 속도 역시 빨라야 하기 때문에 3단 비교기를 사용하여 지연시

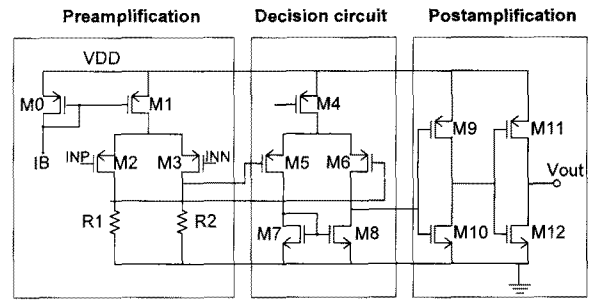


그림 10. 비교기 회로  
Fig. 10. comparator schematic.

간(delay time)을 최소화 하였다. 첫 번째 선 증폭단 (pre-amplification) 단계에서는 INP, INN의 전압차이를 증폭시켜주는 역할을 하고, 두 번째 단계에서는 일반적인 증폭기를 사용하여 M5, M6의 게이트 전압이 어떠한 것이 높고 낮은가를 결정한다. 세 번째 단계에서는 두 번째 단계의 출력을 high, low로 디지털 신호로 구분해주는 역할을 한다. 이러한 구조를 이용하여 비교기의 지연시간을 1.1~1.3ns로 설계하였고, 20ns주기의 스위칭 주파수에서도 변환기가 안정적으로 동작하도록 하였다.

III. 시뮬레이션 결과

그림 2에서 듀티 D인 구간에 Ip가 증가하면 Is의 전류가 줄어들고, duty 1-D인 구간에서 Ip의 전류가 감소하면 Is의 전류가 증가하는 모습을 볼 수 있었다. 이렇게 하여 최종 LC 필터의 커패시터에 흐르는 전류는 거의 DC 수준의 전류를 제공하게 하였다. 시뮬레이션 조건은 VIN/VOUT=3V/1.5V, Cp=8nF, Cs=2nF, 부하 전류=10mA~250mA일 때이다.

그림 11에서는 Ip, Is의 시뮬레이션 파형을 보여주고

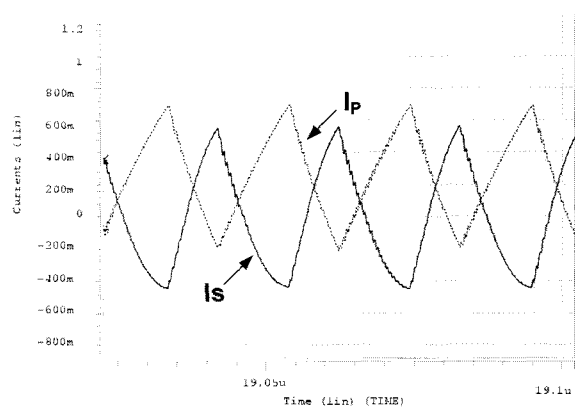


그림 11. 전류 파형 시뮬레이션  
Fig. 11. Current waveforms simulation.

있다. 그림 2와 같이 load 전류 250mA가 흐를 때,  $I_p$ 는 250mA의 평균값을 가지고 흐르고 있으며,  $I_s$ 는 0mA의 평균값을 가지고 흐르고 있고, 그 방향은  $I_p$ 와 반대방향으로 흐르고 있음을 알 수 있다.

그림 12는 최종 벅 변환기의 부하 전류가 변할 때 출력 전압이 안정적으로 원래의 값으로 복귀하는 시뮬레이션을 보여주고 있다. 부하 전류가 200mA 일때 최대 효율은  $V_{OUT}/V_{IN} = 2.4V/3V$ 일 때 71%까지 나온다.

현재까지의 많은 상용 벅 변환기는 800kHz~2MHz로 동작하고 있고, 최대 스위칭 주파수는 4MHz정도이다<sup>[11~12]</sup>. 본

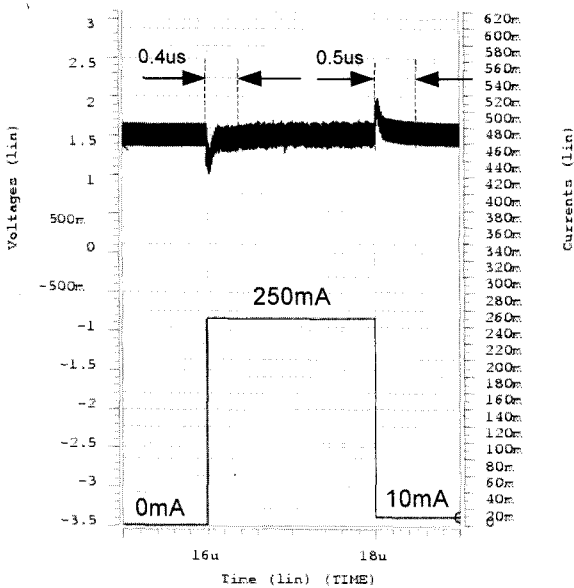


그림 12. 벅 변환기의 부하전류에 대한 응답특성  
Fig. 12. Buck converter load regulation.

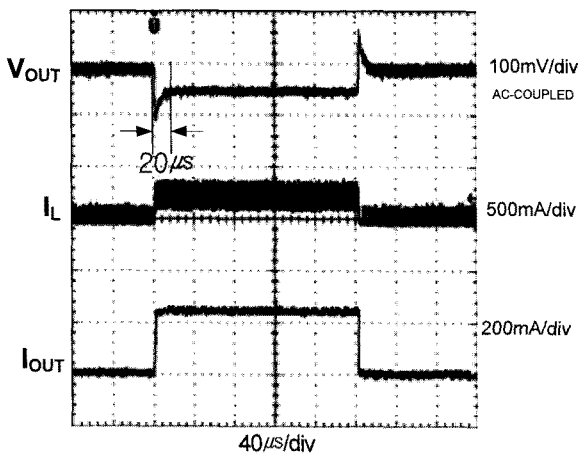


그림 13. 상용제품(MAX8640Y) 벅 변환기의 부하전류에 대한 응답특성<sup>[11]</sup>  
Fig. 13. load regulation characteristic of a commercial buck converter(MAX8640Y).<sup>[11]</sup>

논문에서는 인덕터와 커패시터의 집적 및 출력전압의 응답속도를 매우 빠르게 하는데 설계 초점을 맞추어 스위칭 주파수를 50MHz로 결정하였다. 그림 13은 Maxim사의 가장 빠른 벅 변환기의 응답특성을 나타내고 있는데, 250mA 부하 전류에 대한 응답시간이 20 $\mu$ s로 나타나고 있지만, 본 회로에서 같은 크기의 부하 전류에 대한 응답시간은 0.4 $\mu$ s~0.5 $\mu$ s로 매우 빠른 응답속도로 동작함을 알 수 있다.

인덕터의 구현은 금속과 금속과의 거리, 금속의 시트 저항, 공정으로 인한 공정상의 제약이 있기 때문에 평면 나선형 인덕터 시뮬레이션 결과시 그리 크지 않은 Q값과 높은 등가 직렬저항이 나타나게 되었다. 따라서 본 논문에서는 패드와 핀까지의 본딩 와이어(bonding wire) 기생성분을 이용하여 그림 14와 같이 모델링하고 기생성분의 R, L, C를 이용하여 인덕터를 구현하였다<sup>[13]</sup>. 하나의 기생 파라미터만으로 인덕터를 구현하면 크기가 작으므로 4개를 직렬로 하여 인덕터를 구현하였다. 각 R, L, C 파라미

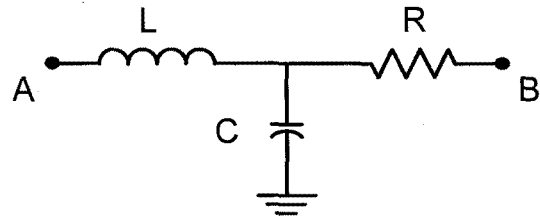


그림 14. 싱글 패키지 리드선 파라스틱 모델  
Fig. 14. equivalent circuit model of a single package lead.

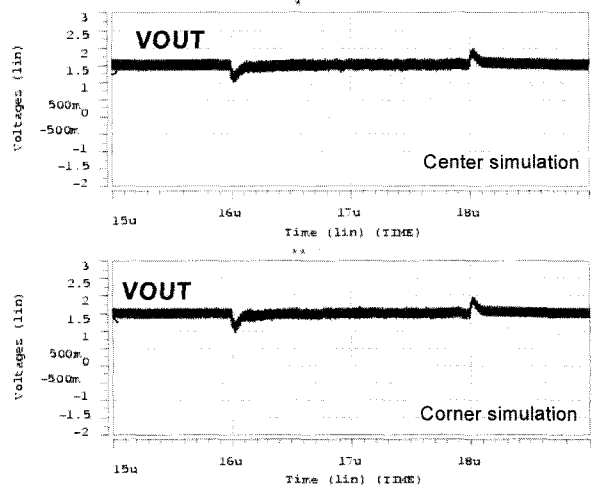


그림 15. Center-Corner 각 파라미터에 따른 부하전류 응답특성 시뮬레이션  
Fig. 15. Center-Corner parameter load regulation simulation.

터 corner-center 간의 변화 값이 20% 정도 차이가 나지만<sup>[14]</sup>, 각 파라미터 값을 적용한 최종 출력전압의 리플크기는 각각 285mV, 260mV로 약 9%정도의 차이가 남을 그림 15 시뮬레이션 결과 확인이 되었다. 따라서 패키지의 기생성분 오차범위 안에서는 벅 변환기가 안정적으로 동작이 됨을 알 수 있다.

그림 16에서는 실제로 stacked interleaved 방식으로 어느 정도 출력전압 리플크기가 줄어드는지 알 수 있는 시뮬레이션 결과이다. 본 논문의 stacked interleaved 방식으로 할 때의 L, C 값을 다 합친 일반적인 벅 변환기와 비교하였다.

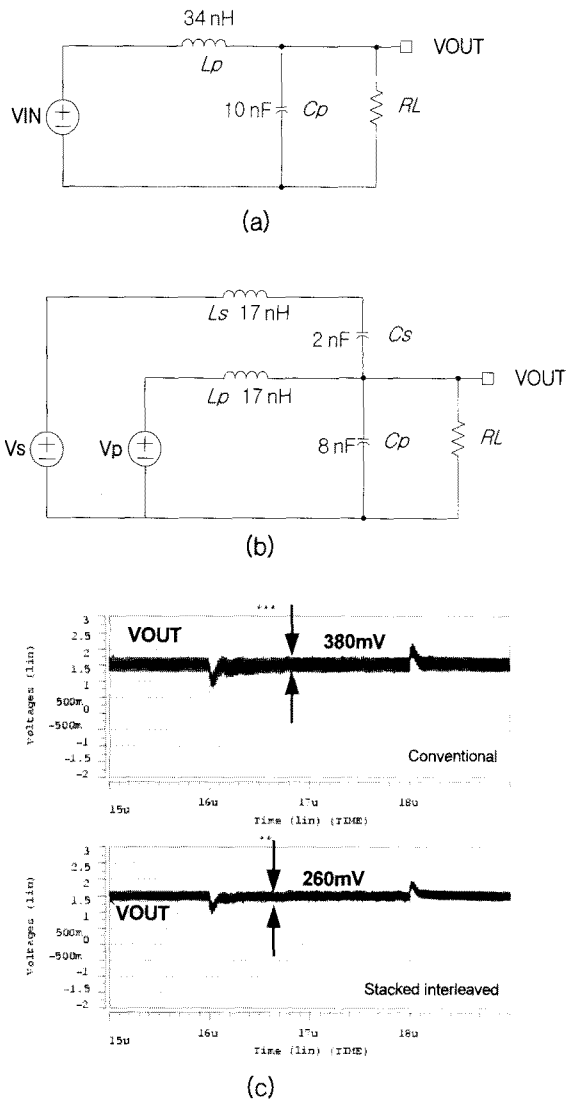


그림 16. (a) 일반 벅 변환기 (b) stacked interleaved 벅 변환기 (c) 각각의 시뮬레이션 결과  
 Fig. 16. (a) conventional buck converter (b) stacked interleaved buck converter (c) simulation results.

환경은  $V_{IN}/V_{OUT} = 3/1.5V$ ,  $I_{OUT} = 250mA$ 일 때이고 각각의 인덕터, 커패시터를 합친 크기인 34nH, 10nF의 L, C를 가진 일반적인 벅 변환기의 경우보다 리플크기가 32% 줄어든 모습을 볼 수 있다.

그림 17은 제안된 회로의 레이아웃 단면도이다. 기존의 벅 변환기 외부에 구성되어 있는 수  $\mu F$ 단위의 커패시터를 10nF 로 최대한 사이즈를 줄여서 칩 패키지 안에 넣은 모습을 확인할 수 있다. 그 외에 그림 1의 SW1, SW2, 각종 회로 블록들이 들어가 있는 것 역시 확인할 수 있다.

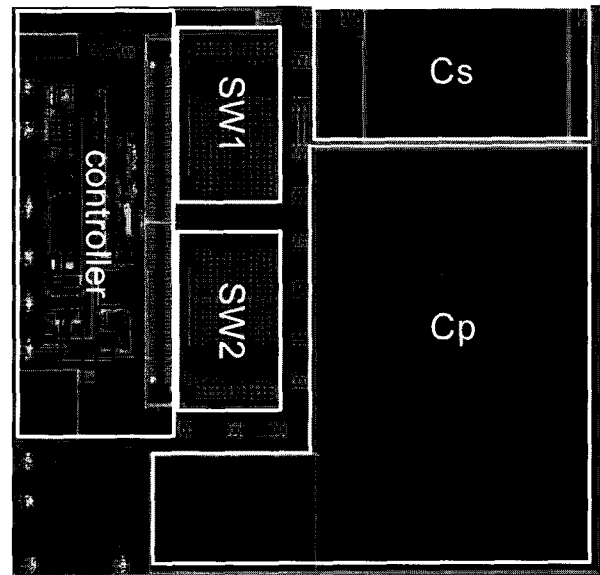


그림 17. 제안된 논문의 레이아웃  
 Fig. 17. Proposed circuit layout.

표 1. PLCC 전기적 특성  
 Table 1. PLCC electrical data.

PLCC - simulated Results			
	L	C	R
corner	4.26nH	0.99pF	69.1mΩ
Center	3.55nH	0.79pF	66.3mΩ

표 2. 본 논문의 DC-DC 벅 변환기 시뮬레이션 요약  
 Table 2. Proposed DC-DC buck converter simulation.

Die size	9mm <sup>2</sup>
Technology	5V 0.5 $\mu$ m
Switching frequency	50MHz
Efficiency	Max 71%
Input voltage range	3~5V
Output voltage range	0.6V~4.5V
Load current range	0~250mA
Load regulation	1.0%

본 논문의 인덕턴스는 기존의 수  $\mu\text{H} \sim 10\mu\text{H}$  보다 훨씬 작게 설계했기 때문에 출력전압 리플크기도 상용제품에 비해 다소 컸다. 따라서 패드위치를 조정하여 패드와 패키지 핀까지의 거리를 더 늘려 인덕턴스의 크기를 표 1에 나타난 파라미터보다 키우도록 도모하였다<sup>[15]</sup>.

나머지 자세한 시뮬레이션 요약은 표 2에 나타나 있다.

#### IV. 결 론

기존의 벽 변환기의 LC 필터는 외부에 존재하였고, 그러한 점은 보드 상에서 각종 회로의 패키지의 기생성분과 맞물려서 벽 변환기의 최종 출력전압에는 노이즈가 많이 생기고 그에 따라 리플전압도 커지게 되었다. 그 외 비용, 크기에서 외부 LC 필터는 문제점을 안고 있었다. 이러한 것들을 해결하기 위해 본 논문에서는 LC 필터를 모두 집적화한 벽 변환기 설계에 중점을 두었다.

커패시터의 사이즈를 줄이기 위해 50MHz의 스위칭 주파수로 동작하도록 하였으며 더욱 리플을 줄이기 위해 stacked interleaved 방식으로 기존의 컨버터 구조 외에 파워 트랜지스터와 L, C 하나씩 더 구성을 하여 설계하였다. 본 설계는 표준 5V 0.5 $\mu\text{m}$  공정으로 설계하였고, 효율은 최대 71%까지이며, 출력범위는 0.6V~4.5V, 최대 부하전류는 250mA까지이다.

#### 참 고 문 헌

- [1] J. Wong, "A low noise low dropout regulator for portable equipment," in Proc. Power Conv. Intell. Motion Conf., pp. 38-43, 1990.
- [2] F. Ueno, "Emergency power supply for small computer systems," in Proc. IEEE ISCAS, pp. 1065-1068, 1991.
- [3] S. Cuk, "Basics of switched-mode conversion : topologies, magnetics, and control," Adv. Switched-Mode Power Conv., vol. 2, pp. 279-310, 1981.
- [4] D. K. Su and W. J. Mcfarland, "An IC for linearizing RF power amplifiers using envelope elimination and restoration," IEEE J. Solid-State Circuits, vol. 33., no. 12, pp. 2252-2258, Dec. 1998.
- [5] G. Hannington, P. Chen, P. M. Ashbeck, and L. E. Larson, "High-efficiency power amplifier using dynamic power-supply voltage for CDMA applications," IEEE T. Microw. Theory Tech., vol. 47, no. 8, pp. 1471-1476, Aug. 1999.
- [6] S. Abedinpour and B. Bakaloglu, "A multistage interleaved synchronous buck converter with integrated output filter in 0.18 m SiGe process." IEEE T. Power Electronics, vol. 22, no. 6, pp. 2164-2175, Nov. 2007.
- [7] J. Wibben "A high-efficiency DC-DC converter using 2nH integrated inductors." IEEE J. Solid-State Circuits, vol. 43, no. 4, pp. 844-854, Apr. 2008.
- [8] 허동훈, 남현석, 노정진, "휴대용 멀티미디어 기기를 위한 400mA급 전류 방식 DC-DC 컨버터," 대한전자공학회지, 제45권, SD편, 제8호, pp. 24-31, 2006.
- [9] R. W. Erickson and D. Maksimovic, "Fundamentals of power electronics." 2nd edition KAP, 2001.
- [10] C. Yoo, "A CMOS buffer without short-circuit power consumption", IEEE T. Circuits and Systems-II Analog and digital signal processing, vol.47, no. 9, pp. 935-937, Sep. 2000.
- [11] DC-DC converter product tree data sheet, <http://www.maxim-ic.com>
- [12] DC-DC converter product tree data sheet, <http://www.linear.com>
- [13] Tsai and C. hi-Taou, "Package inductance measurement at high frequencies", IEEE Conf. Electronic Components and Technology, 42nd, pp. 740-744, May. 1992.
- [14] PLCC data sheet, <http://www.amkor.com>
- [15] M. Berkhout, "Integrated overcurrent protection system for audio power amplifiers", IEEE J. Solid-State Circuits, vol. 10, no. 11, pp. 2237-2245, Nov. 2005.



## — 저 자 소 개 —

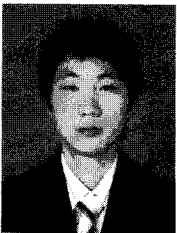


김 영 재(학생회원)  
 2007년 한양대학교 전자컴퓨터  
 공학과 학사 졸업  
 2007년~현재 한양대학교 전자.  
 전기.제어.계측공학과  
 석사과정  
 <주관심분야 : System IC design,  
 DC-DC converters 설계>



남 현 석(학생회원)  
 2005년 한림대학교 전자공학과  
 학사 졸업  
 2006년~현재 한양대학교 전자.  
 전기.제어.계측 공학과  
 석·박사 통합 과정

<주관심분야 : System IC design, DC-DC  
 converters 설계>



안 영 국(학생회원)  
 2006년 경상대학교 전자공학과  
 학사 졸업  
 2007년~현재 한양대학교 전자.전  
 기.제어.계측 공학과 석·  
 박사 통합 과정

<주관심분야 : System IC design, DC-DC  
 converters 설계>



노 정 진(정회원)  
 1990년 한양대학교 전기공학과  
 학사 졸업  
 1996년 삼성전자 선임 연구원  
 1998년 미국 Pennsylvania State  
 University 전기공학  
 석사 졸업

2001년 Intel. USA, senior design engineer  
 2001년 University of Texas at Austin.  
 컴퓨터공학 박사.  
 2001년~현재 한양대학교 안산캠퍼스 전자컴퓨터  
 공학부 교수  
 <주관심분야 : CMOS DC-DC converters 설계,  
 Over-sampling delta-sigma data converters 설  
 계>