

논문 2009-46SD-6-8

0.18 μm CMOS 저 잡음 LDO 레귤레이터(A Low-Noise Low Dropout Regulator in 0.18 μm CMOS)

한 상 원*, 김 종 식*, 원 광 호**, 신 현 철***

(Sangwon Han, Jongsik Kim, Kwang-Ho Won, and Hyunchol Shin)

요 약

본 논문은 CMOS RFIC 단일 칩을 위한 Bandgap Voltage Reference와 이를 포함한 저 잡음 Low Dropout (LDO) Regulator 회로에 관한 것이다. 저 잡음을 위해 Bandgap Voltage Reference에 사용된 BJT 다이오드의 유효면적을 증가시켜야 함을 LDO의 잡음해석을 통해 나타내었다. 이를 위해 다이오드를 직렬 연결하여 실리콘의 실제면적은 최소화 하면서 다이오드의 유효면적을 증가시키는 방법을 적용하였고, 이를 통해 LDO의 출력잡음을 줄일 수 있음을 확인하였다. 0.18 μm CMOS 공정으로 제작된 LDO는 입력전압이 2.2 V 에서 5 V 일때 1.8 V의 출력전압에서 최대 90 mA의 전류를 내보낼 수 있다. 측정 결과 Line regulation은 0.04 %/V 이고 Load regulation은 0.46 %를 얻었으며 출력 잡음 레벨은 100 Hz와 1 kHz offset에서 각각 479 nV/ $\sqrt{\text{Hz}}$ 와 186 nV/ $\sqrt{\text{Hz}}$ 의 우수한 성능을 얻었다.

Abstract

This paper presents a low-noise low-dropout linear regulator that is suitable for on-chip integration with RF transceiver ICs. In the bandgap reference, a stacked diode structure is adopted for saving silicon area as well as maintaining low output noise characteristic. Theoretical analysis for supporting the approach is also described. The linear regulator is fabricated in 0.18 μm CMOS process. It operates with an input voltage range of 2.2 V - 5 V and provide the output voltage of 1.8 V and the output current up to 90 mA. The measured line and load regulation is 0.04 %/V and 0.46 %, respectively. The output noise voltage is measured to be 479 nV/ $\sqrt{\text{Hz}}$ and 186 nV/ $\sqrt{\text{Hz}}$ from 100 Hz and 1 kHz offset, respectively.

Keywords : Bandgap reference, Regulator, LDO, CMOS, RFIC.

I. 서 론

CMOS RF 무선송수신회로의 SoC화가 발전되면서 전력관리기능 (Power Management)의 집적화가 필수적인 요소로 부각되고 있다. CMOS RF 송수신회로는 외부 전원 전압을 이용하여 구동되는데, 이때 사용되는 전원 전

압이 변화하더라도 일정한 전압을 공급해 줄 수 있는 Regulator가 필요하다. Regulator는 크게 효율이 좋은 Switching Regulator와 잡음특성이 좋은 Linear Regulator로 구분된다. Regulator가 집적화된 CMOS RF 집적회로는 Regulator에서 발생하는 잡음에 의해서 전체 시스템의 성능이 저하될 수 있기 때문에, Switching Regulator보다는 Linear Regulator가 선호된다.

Linear Regulator는 출력전압과 기준전압을 비교하여 부하조건이 바뀌어도 출력특성을 일정하게 유지시켜주는 회로이다. Linear Regulator가 이러한 일정한 출력특성을 얻기 위해서는 매우 안정된 기준전압을 필요로 하는데, 흔히 Bandgap Voltage를 기준전압으로 사용한다. 이 때, Bandgap Voltage는 온도변화에 매우 안정적인 특성을 갖도록 설계되어야 하는데, 음의 온도계수를 갖는

* 학생회원, *** 평생회원, 광운대학교 전자공학과
(Department of Wireless Communications
Engineering, Kwangwoon University)

** 정회원, 전자부품연구원 유비쿼터스컴퓨팅센터
(Ubiquitous Computing Center, Korea Electronics
Technology Institute)

※ 본 연구는 지식경제부 및 정보통신연구진흥원의 대학 IT 연구센터 지원 사업 (IITA-2009-C1090-0902-0038)과 IT핵심기술개발사업(2009-F-010-01)의 지원을 받아 수행되었음.

접수일자: 2008년12월9일, 수정완료일: 2009년5월6일

PN 접합 다이오드의 접합 특성과 양의 온도계수를 갖는 열 전압(V_T ; Thermal Voltage)을 적용하여 설계된 Bandgap Reference (BGR)로부터 얻을 수 있다. 이렇게 해서 얻어진 Bandgap Voltage를 Low Dropout (LDO) Regulator가 기준전압으로 사용하여 구동시키고자 하는 회로의 부하조건이 변화하더라도 (예를 들어, 출력전류의 변동), 출력특성을 일정하게 유지시키는 역할을 한다.

일반적으로 Regulator 설계 시 고려해야 할 사항은 위상여유(Phase Margin)와 관련된 회로의 안정성, 전원 신호 제거 비(PSRR; Power Supply Rejection Ratio)^[1~2], 시간영역에서의 응답속도^[3], 그리고 캐패시터의 집적화^[4] 등이 있다. 그중에서도 응답속도와 캐패시터의 집적화에 대한 많은 연구가 이루어지고 있지만, Regulator의 출력잡음특성에 대한 연구는 아직 미비하다. Regulator의 출력잡음은 Regulator가 저 잡음 증폭기나 전압조정 발진기등과 연결되면 잡음지수나 위상잡음^[5] 등과 같은 잡음 관련 특성에 크게 영향을 줄 수 있으므로, 우수한 출력잡음특성을 갖는 Regulator를 설계해야 한다.

본 논문에서는 LDO 출력잡음특성에 대한 이론적인 해석과 이를 바탕으로 저 잡음 Linear Regulator의 설계, 제작, 측정 결과를 제시하고자 한다.

II. 회로 설계

그림 1은 Bandgap Voltage Reference를 포함하는 Linear Regulator의 회로이며, BGR 부분과 LDO 부분으로 구성된다. 여기서, $M_1 \sim M_4$ 는 MOSFET, A_1, A_2 는 Operational Amplifier (OPAMP), $Q_1 \sim Q_3$ 은 PN접합 다이오드를 구성하기 위해 사용된 NPN BJT이다. BGR의 출력 잡음은 대부분 OPAMP A_1 의 잡음수준에 의해 결정이 되며, 이 잡음수준은 최종 Linear Regulator의 출력잡음에 영향을 주게 되어 수식 (1)과 같이 표현할 수 있다.

$$\bar{v}_{n,out}^2 \cong \left(1 + \frac{R_5}{R_4}\right)^2 \cdot \left[\left(\frac{R_2}{R_1}\right)^2 \cdot \bar{v}_{n,A_1}^2 + \bar{v}_{n,A_2}^2 \right] \quad (1)$$

여기서, $\bar{v}_{n,A_{1,2}}^2$ 는 OPAMP A_1, A_2 의 잡음전압을 의미한다. 식 (1)에서와 같이 Regulator의 출력단자 V_{OUT} 에서의 출력잡음 $\bar{v}_{n,out}^2$ 은 OPAMP $A_{1,2}$ 의 잡음성분, 저항

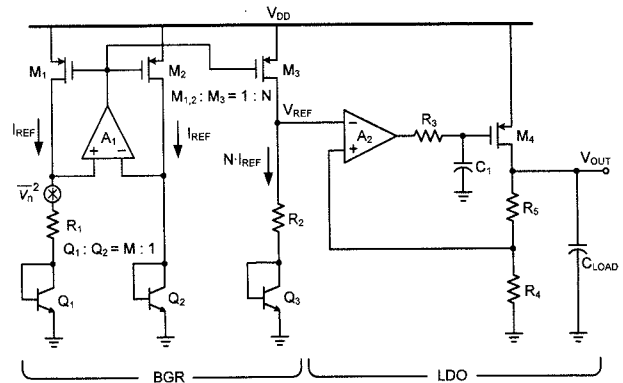


그림 1. 일반적인 Linear Regulator의 회로
Fig. 1. Circuit schematic of conventional linear regulator.

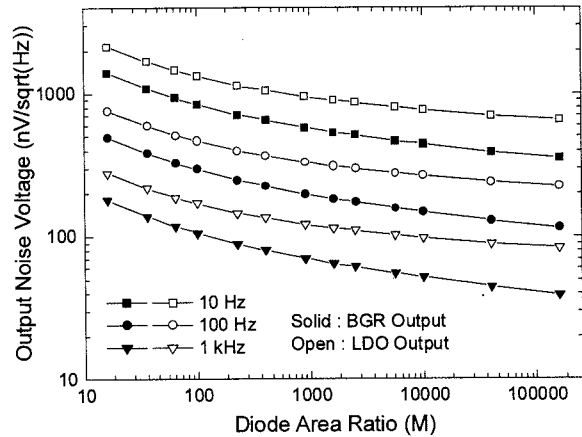


그림 2. M값의 변화에 따른 출력잡음지수
Fig. 2. Output noise vs. diode area ratio(M).

R_1, R_2 와 R_4, R_5 의 비로 결정된다. OPAMP A_2 의 잡음보다 A_1 의 잡음성분이 $(R_2/R_1)^2$ 항 때문에 전체 출력 잡음에 더 큰 영향을 미치게 되므로, 전체 출력 잡음성분을 낮추기 위해서는 (R_2/R_1) 의 값을 낮춰야 한다.

한편 BGR의 출력전압 V_{REF} 는 다음과 같은 수식으로 나타낼 수 있다.

$$V_{REF} = V_{BE3} + N \frac{R_2}{R_1} V_T \ln M \quad (2)$$

여기서, V_{BE3} 은 Q_3 의 베이스-에미터 양단의 전압강하, N 은 $M_{1,2}$ 와 M_3 의 전류비, M 은 다이오드 Q_1 과 Q_2 의 면적비이다. 첫 번째 항 V_{BE3} 은 음의 온도계수를 가지고 있고, 두 번째 항은 양의 온도계수를 가지고 있기 때문에, V_{REF} 가 온도변화에 영향을 받지 않으려면 $N \times (R_2/R_1) \times \ln M$ 의 값이 적절한 값으로 조절되어야 한다. 하지만, 수식 (1)과 같이 낮은 잡음지수를 얻기 위해서는 (R_2/R_1) 값을 줄여야 하고, 동시에 V_{REF} 가 온도변화에 영향을 받지 않게 하

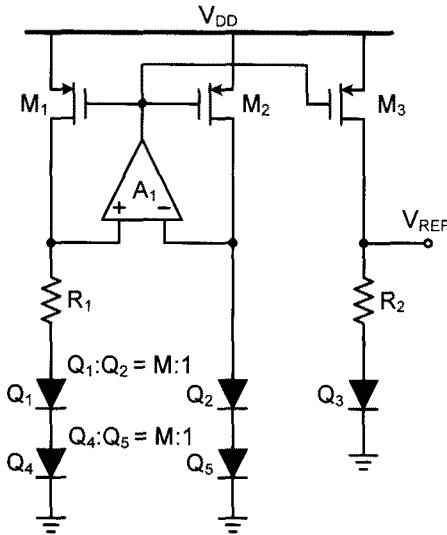


그림 3. Stack구조의 다이오드를 사용한 BGR 회로도
Fig. 3. Circuit schematic of BGR with stacking diode device.

기 위해서는 N 또는 M값을 증가시켜야 한다. N값을 증가시키면 M₃에서의 전류 소모량이 N배만큼 늘어나는 단점이 있고, 반면 M값을 증가시키면 다이오드의 면적이 늘어나야 하는 단점이 있다. 더욱이 M의 증가효과는 자연로그에 의해 더 작아짐으로 필요한 다이오드 면적증가는 감당할 수 없을 만큼 커질 수 있다. 이와 같은 Diode Area Ratio M의 증가에 따른 출력잡음의 변화를 SPICE 시뮬레이션을 통해 그림 2와 같이 나타내었다. 앞에서의 예상과 같이 출력잡음을 낮추기 위해 필요한 M값이 수천에서 수만이 필요하다는 것을 알 수 있다.

본 논문에서는 이러한 한계를 극복하기 위해 다이오드 Q_{1,2,3}를 직렬 Stack으로 쌓아 다이오드의 유효면적을 증가시키는 방법을 사용하였다^[6]. 그림 3은 다이오드를 Stack구조로 연결하여 만든 BGR 회로도이다. 여기서, M₁, M₂는 각각 Q₁, Q₂ 그리고 Q₄, Q₅의 비를 나타낸다. 그림 1과 비교하였을 때 Q₁, Q₂부분의 다이오드는 Stack 구조로 구성되었다. 이 구조에서 출력 전압에 대한 표현식은 다음과 같다.

$$V_{REF} = V_{BE3} + \frac{R_2}{R_1} V_T \ln M_1 M_2 \quad (3)$$

수식 (3)에서 M에 대한 표현식은 수식 (2)와는 다르게 M₁×M₂로 바뀌었는데, 이는 BGR의 출력 잡음지수를 줄이기 위해 단순히 M값을 지수함수 적으로 증가시키는 기존의 방법보다 훨씬 효과적인 방법임을 알 수 있으며, 이러한 다이오드 구조를 통해 M₁·M₂/(M₁+M₂) 만큼의 면

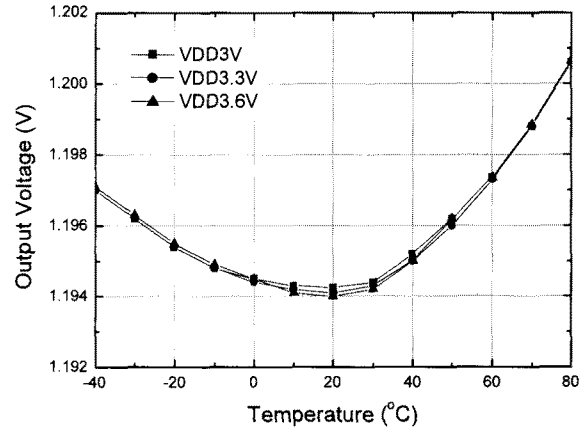


그림 4. 온도변화에 따른 BGR 기준전압의 변화량
Fig. 4. Reference voltage vs. temperature variation.

적개선 효과를 기대할 수 있다. 예를 들어, 필요한 M이 10,000일 때 식(3)에 의하면 M₁과 M₂를 각각 100으로 설정한 것과 같은 효과를 얻을 수 있는 것이다. 이와 같은 결과는 Regulator의 출력잡음특성을 우수하게 유지하면서 동시에 사용된 다이오드의 면적을 50배 만큼 줄일 수 있다는 것을 보여준다.

앞서 분석한 BGR의 성능을 확인하기 위해 그림 3과 같이 설계하였다. 그림 4는 온도변화에 따른 출력전압의 시뮬레이션 결과이다. BGR의 출력전압은 3.0 V~3.6 V (약 10%)의 전원전압변화와 -40 °C ~+80 °C의 온도변화를 포함시켜 시뮬레이션 하였을 때, 최대 약 6.7 mV의 Variation을 가지고 있다. 제안된 Stack 구조를 가지는 BGR은 전원전압의 변화와 온도변화에 안정적으로 동작하고 있다.

그림 5는 설계된 Regulator의 전체 회로도이며, BGR과 LDO로 구성된다. C_{LOAD}와 R_{LOAD}는 부하회로에 의한 유효 커패시터 성분과 저항성분을 나타낸다. M₁₃~M₁₆은 Start-up 회로로서 전원을 컷을 때, 전체 회로의 안정적인 동작을 위한 초기전압조건을 설정해주며, BGR이 안정된 동작 상태로 진입하면 이 부분은 전체 회로에 영향을 주지 않도록 설계되었다. M₅~M₈과 M₉~M₁₂는 OPAMP를 구성하고 있으며, 충분히 높은 전압이득과 위상여유를 갖도록 설계되었다. BGR은 1.1 mA의 전류를 소모하고, Regulator는 무 부하 조건에서 0.1 mA의 전류를 소모하며 허용 출력 전류 범위 내에서 안정된 1.8 V의 전압을 유지하도록 설계했다. 출력전압 V_{OUT}은 설계된 BGR과 LCO Regulator의 특성에 큰 영향을 주지 않으면서 R₄와 R₅의 비율을 바꾸어 V_{REF}~(V_{DD}-V_{DS,M4}) 사이의 범위 내에서 출력 전압을 조절할 수 있다.

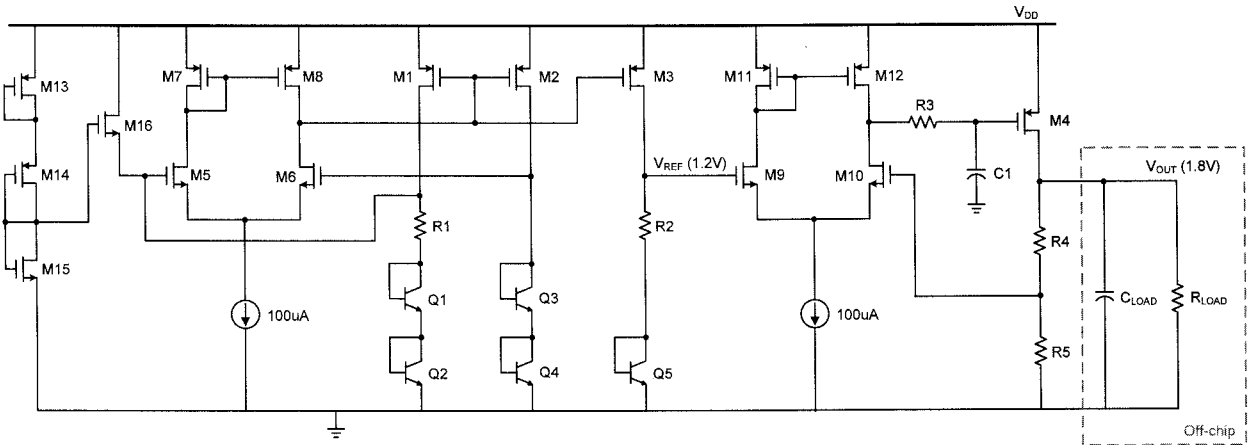


그림 5. Low dropout Linear Regulator의 회로도
Fig. 5. Circuit schematic of the low dropout linear regulator.

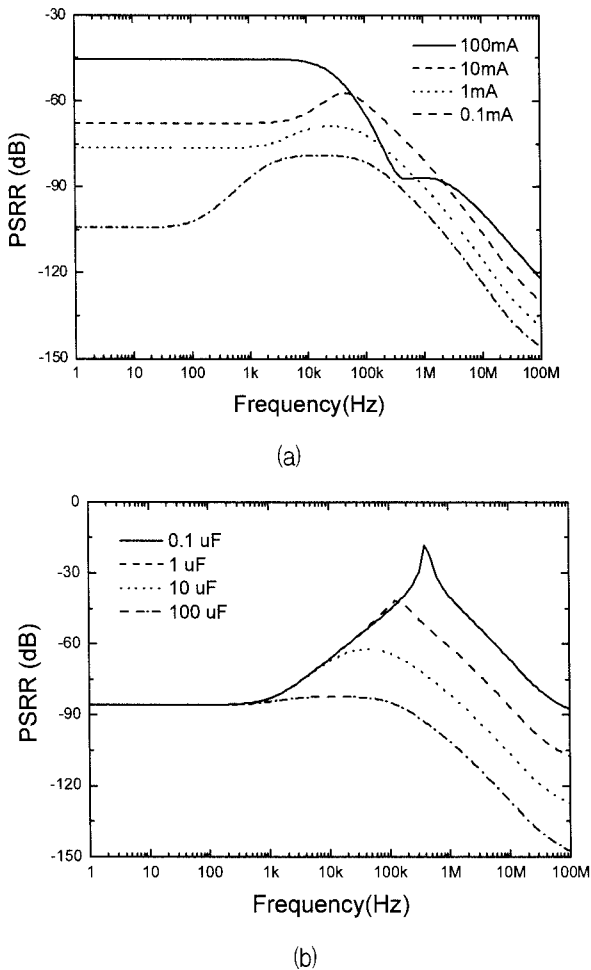


그림 6. PSRR 시뮬레이션 결과
(a) 출력전류 영향.
(b) 출력 커패시턴스의 영향
Fig. 6. Simulation result of PSRR.
(a) Output current effects.
(b) Load capacitance effects.

그림 6은 출력전류와 부하 캐패시터의 변화에 따른 PSRR 시뮬레이션 결과이다. 부하 캐패시터가 100 uF이고 출력전류를 그림 6(a)와 같이 100 uA에서 100 mA까지 변화 시켰을 때, PSRR은 100 mA의 최대 출력전류 조건에서 -45 dB의 값을 가지고 있다. 그림 6(b)는 출력전류가 0.5 mA일 때 부하 캐패시터의 크기에 따른 PSRR의 변화를 나타낸다. 부하 캐패시터의 크기가 작아질수록 PSRR의 값이 점점 나빠지게 되는데, 이것은 공급전원 V_{DD}에 발생한 잡음성분이 출력단자에 점차 크게 나타난다는 것을 의미한다. 만약 설계된 Regulator가 낮은 PSRR을 가지게 되면 모든 전체 시스템에 공급되는 전원에 무시할 수 없는 잡음성분이 공급되므로 전체 시스템의 성능저하의 원인이 되므로 이러한 현상을 막기 위해서는 적어도 0.1 uF이상의 부하 캐패시터가 사용되어야 한다.

IV. 제작 및 측정 결과

설계된 LDO Regulator는 TSMC 0.18 μm RF CMOS 공정을 이용하여 그림 7과 같이 제작되었다. 제작된 칩의 전체 면적은 282×250 μm²이며, BGR Block은 181×250 μm², Regulator Block은 101×250 μm²이다. 제안된 Stack 다이오드 구조의 Block Area는 172×29 μm²로 기존의 Linear Regulator구조에 비해 작은 면적을 차지하고 있다.

그림 8은 Linear Regulator의 출력 잡음 성분의 측정결과이다. 출력 잡음의 크기는 100 Hz와 1 KHz Offset에서 각각 479 nV/√Hz와 186 nV/√Hz가 측정되었으며, 시뮬

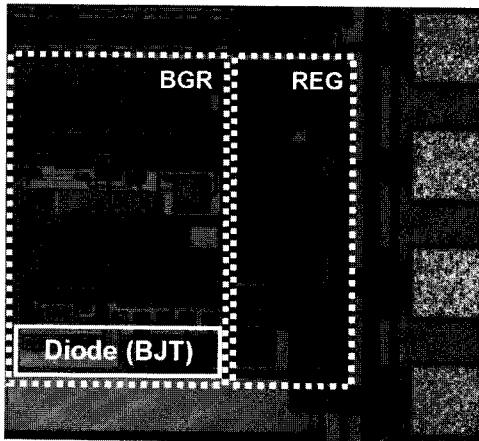


그림 7. 칩 현미경 사진
Fig. 7. Chip micrograph.

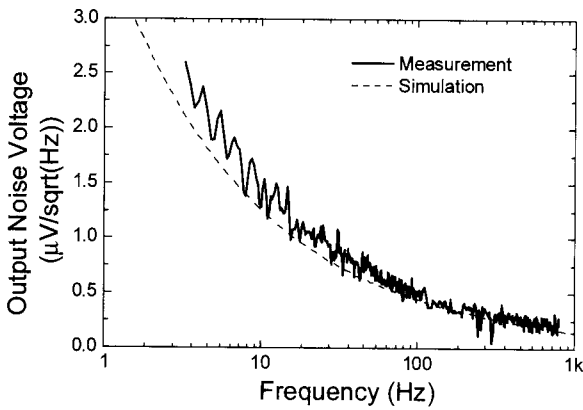
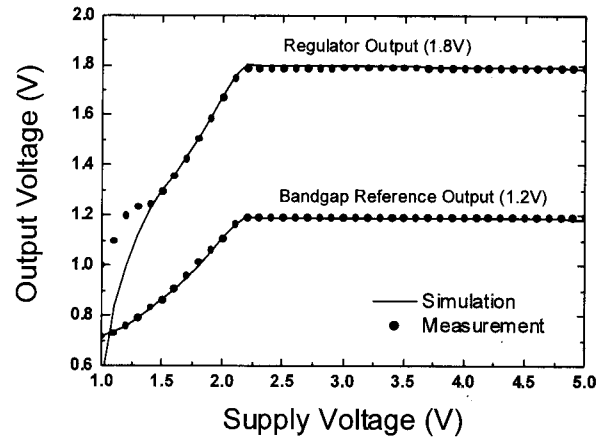


그림 8. 출력 잡음 지수 측정결과
Fig. 8. Output noise spectral density.

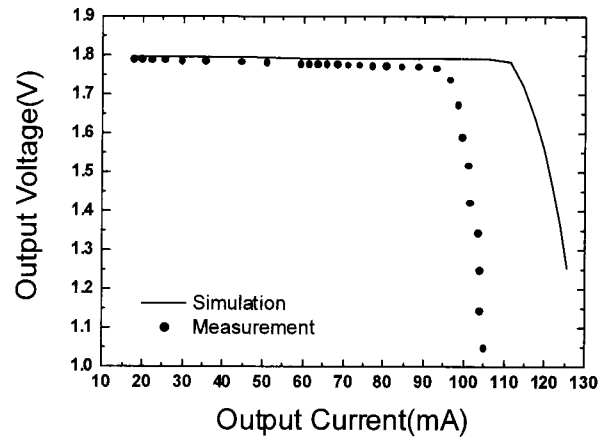
레이션 결과와 거의 일치하고 있다.

출력전압의 변동 성능 지표를 나타내는 요소인 Line Regulation과 Load Regulation의 측정 결과를 그림 9에 나타내었다. 전원전압을 1 V에서 5 V까지 변화시켰을 때, BGR과 Regulator의 출력전압은 약 2.2 V이상의 전원 전압에서 안정된 특성을 갖는다. Line Regulation은 전원 전압을 3.3 V 기준으로 $\pm 10\%$ 의 변화시켰을 때 0.04 %/V가 측정되었다. Regulator의 출력전류의 양을 가변 저항을 이용해 수 mA에서 수백 mA까지 변화시켰을 때, Regulator의 안정된 출력조건은 그림 9(b)와 같이 1.8 V / 90 mA까지 측정되었다. Load Regulation의 시뮬레이션 결과와 측정결과는 90 mA의 부하전류 조건에서 각각 0.185 %와 1.05 %이며, 50 mA의 부하전류 조건에서는 각각 0.064 %와 0.46 %의 결과를 얻었다.

표 1에 제안된 LDO Regulator의 성능을 요약하였고, 기존에 발표된 Regulator의 결과와 성능을 비교하고 있다.



(a)



(b)

그림 9. (a) Line Regulation과 (b) Load Regulation 측정 결과

Fig. 9. Measured (a) line regulation and (b) load regulation.

표 1. 제작된 Regulator의 성능 요약 및 비교

Table 1. Performance summary and comparison of linear regulator.

	This work	[3]	[4]
Technology	0.18 μm CMOS	0.35 μm CMOS	0.6 μm CMOS
Supply Voltage	2.2 ~ 5 V	1.5 ~ 4.5 V	1.5 ~ 4.5 V
Output voltage	1.8 V	1.2 V	1.3 V
Line Regulation	0.04 %/V	0.057 %/V	0.5 %
Load Regulation	0.46 % @ $\Delta I_{\text{out}}=50\text{mA}$	0.133 %	0.5 %
Output Noise Density (nV/ $\sqrt{\text{Hz}}$) @ offset frequency	479 @ 100kHz 186 @ 1kHz	2701 @ 20kHz	1800 @ 100Hz 380 @ 100kHz
Peak Output Current	90 mA (1% variation)	120 mA	100 mA
Current Consumption	BGR = 1.1 mA REG = 110 μA	NA	38 μA (Regulator only)
Active Area	282 x 250 μm^2	360 x 345 μm^2	568 x 541 μm^2

IV. 결 론

본 논문에서는 0.18 μm CMOS공정을 이용하여 RF집적회로용 On-chip Linear Regulator를 설계하였다. 제안된 Stack 다이오드 구조를 적용한 BGR은 적은 다이오드 면적을 사용하면서 낮은 출력잡음특성을 가지고 있다. 측정된 출력잡음전압은 100 Hz와 1 KHz offset에서 각각 479 nV/ $\sqrt{\text{Hz}}$ 와 186 nV/ $\sqrt{\text{Hz}}$ 이며, Line Regulation과 Load Regulation은 각각 0.04 %/V와 0.46 %가 측정되었다. 또한 2.2 V~5 V의 공급전원을 입력받아 1.8 V의 출력전압 조건에서, 최대 90 mA의 출력 전류 용량을 가지고 있다.

참 고 문 헌

[1] S. K. Lau, P. K. T. Mok, and K. N. Leung, "A Low-Dropout Regulator for SoC with Q Reduction," *IEEE J. Solid-State Circuit*, vol. 42, no. 3, pp. 658-664, Mar. 2007.

[2] V. Gupta and G. A. Rincon-Mora, "A 5mA 0.6mm CMOS Miller-Compensated LDO Regulator with -27dB Worst-Case Power-Supply Rejection Using 60pF of On-Chip Capacitance," in *IEEE Int. Solid-State Cir. Conf. Dig. Tech. Papers*, pp. 520 - 521, Feb. 2007.

[3] J. J. Chen, F. C. Yang, C. M. Kung, B. P. Lai, and Y. S. Hwang, "A capacitor-free fast-transient-response LDO with dual-loop controlled paths," in *Proc. IEEE Asian Solid-State Circuits Conference*, pp. 364-367, Nov. 2007.

[4] K. N. Leung and P. K. T. Mok, "A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency compensation," *IEEE J. Solid- State Circuits*, vol. 38, no. 10, pp. 1691-1702, Oct. 2003.

[5] Y. Wu, V. Aparin, "A monolithic low phase noise 1.7GHz CMOS VCO for zero-IF cellular CDMA receivers," in *IEEE Int. Solid-State Cir. Conf. Dig. Tech. Papers*, pp. 396 - 397, Feb. 2004.

[6] B. Razavi, *Design of Analog CMOS Intergrated Circuits*, New York: McGraw-Hill, 2001.

저 자 소 개



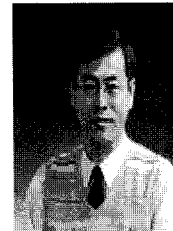
한 상 원(학생회원)
2007년 2월 광운대학교
전자통신공학과 공학사
2009년 2월 광운대학교
전파공학과 공학석사
2009년~현재 삼성전자
System LSI 사업부

<주관심분야 : CMOS Driver Amplifier/ Low Drop-out Regulator>



김 종 식(학생회원)
2005년 2월 광운대학교
전파공학과 공학사
2007년 2월 광운대학교
전파공학과 공학석사
2007년~현재 광운대학교
전파공학과 박사과정

<주관심분야 : Wideband CMOS Transceiver/ Linearization Method>



원 광 호(정회원)
1989년 단국대학교 전자공학과
공학사.
2004년 중앙대학교 정보통신
공학과 공학석사.
2007년 광운대학교 전자통신학과
박사수료.

1991년~1997년 현대전자 정보통신연구원
주임연구원
1997년~현재 전자부품연구원 유비쿼터스
컴퓨팅 연구센터 책임연구원

<주관심분야 : WPAN System and SoC>



신 현 철(평생회원)
1991년 2월 KAIST 전기 및
전자공학과 공학사
1993년 2월 KAIST 전기 및
전자공학과 공학석사
1998년 2월 KAIST 전기 및
전자공학과 공학박사

1998년 1월~2000년 3월 삼성전자 System LSI
선임연구원
2000년 4월~2002년 4월 미국 UCLA
박사후 연구원

2002년 5월~2003년 8월 미국 Qualcomm
RF/Analog IC Design 선임연구원

2003년 9월~현재 광운대학교 전파공학과 부교수
<주관심분야 : CMOS RF/Analog Integrated Circuits>