

The Characteristics and Technical Trends of Power MOSFET

배진용* · 김용†
(Jin-Yong Bae · Yong Kim)

Abstract - This paper reviews the characteristics and technical trends in Power MOSFET technology that are leading to improvements in power loss for power electronic system. The silicon bipolar power transistor has been displaced by silicon power MOSFET's in low and high voltage system. The power electronic technology requires the marriage of power device technology with MOS-gated device and bipolar analog circuits. The technology challenges involved in combining power handling capability with finger gate, trench array, super junction structure, and SiC transistor are described, together with examples of solutions for telecommunications, motor control, and switch mode power supplies.

Key Words : Power MOSFET, Switching Characteristic, Finger Gate, Trench Array, Super Junction Structure, SiC Transistor

1. 서론

전력용 MOSFET는 반도체 제조 기술의 발전과 동반하여 급속하게 발전하고 있다. 특히, 1965년 인텔(Intel)사의 공동 설립자인 고든 무어(Gordon Earle Moore)가 제시한 반도체의 집적도는 18개월마다 2배로 증가한다는 Moor의 법칙(Moore's law)을 제시했으며, 2002년 삼성전자에 황창규사장은 반도체 집적도가 1년마다 2배로 증가한다는 황의 법칙(Hwang's law)을 언급한 가운데 반도체의 집적도는 매년 급격하게 높아지고 있다.

2001년 ITRS(International Technology Roadmap for Semiconductor) 보고서에서 반도체 선폭의 변화를 2010년에 50나노에 도달하고, 2020년에 10나노에 접근하는 것으로 분석하고 있다[1-3].

이미 2007년 상반기 이미 국내 기업은 60나노 D램을 양산하고 있으며[4], 2008년 9월에 삼성전자는 50나노급 D램의 양산에 돌입하고 있다[5].

이 ITRS 보고서는 반도체 직접회로의 동작 주파수를 2010년에 10[GHz]를 돌파하고, 2020년에는 100[GHz]에 근접할 것으로 예측하고 있으며, 반도체의 집적도가 향상되고, 반도체의 동작 주파수의 상승으로 반도체가 요구하는 공급 전압도 이미 1[V] 이만이고 2010년에 0.4~0.7[V]가 될 것이며, 2022년에서 2030년에 0.1[V] 부근으로 낮아짐을 예측하고 있다[1-3].

이러한 반도체의 발전과 변화는 전력용 반도체의 변화를

요구하고 있으며, 특히 전력용 MOSFET가 전력용 반도체 스위치에서 주목받도록 만들고 있다.

본 논문에서는 전력용 MOSFET의 스위칭 특성의 분석으로 Miller 효과와 MOSFET의 차단 주파수 및 스위칭 구간별 분석을 하고, B.J. Baliga와 Antoine A. Timer 등이 연구를 바탕으로 1970년대부터 1990년대 초반까지 전력용 MOSFET를 구조적인 변화를 고찰하고자 한다. 또한, 1990년대부터 현재까지는 손가락형 게이트(Finger Gate), 트렌치 배열(Trench Array), 초접합 구조(Super Junction Structure) 및 탄화규소 트랜지스터(SiC Transistor)의 구조 및 재료 기술에 대하여 전력용 MOSFET 기술을 선도하는 기업의 특허를 중심으로 전력용 MOSFET의 발전 현황을 고찰하고자 한다.

2. 본론

2.1 전력용 반도체의 분류 및 생산업체

그림 1은 전력용 반도체의 분류를 나타낸다. 전력용 반도체는 P형과 N형 반도체의 PN접합(PN Junction)의 개수에 따라서 구분한다.

- 1) 다이오드(Diode) : 1개의 PN접합을 통하여 전류를 단 방향으로 흐르게 소자
- 2) 트랜지스터(Transistor) : 2개의 PN접합이 존재하는 NPN 또는 PNP 접합의 소자
- 3) 다이리스터(Thyristor) : 3개의 PN접합이 존재하여 NPNP 접합을 형성하는 소자
- 4) IPM(Intelligent Power Module) : 여러 종류의 전력용 반도체를 하나의 반도체 장치 내에 형성하는 전력용 소자

* 정 회 원 : 특허청 사무관 · 공박 · 법학석사

† 교신저자, 정회원 : 동국대학교 전기공학과 교수 · 공박

E-mail : kyee@dongguk.edu

접수일자 : 2009년 1월 16일

최종완료 : 2009년 6월 10일

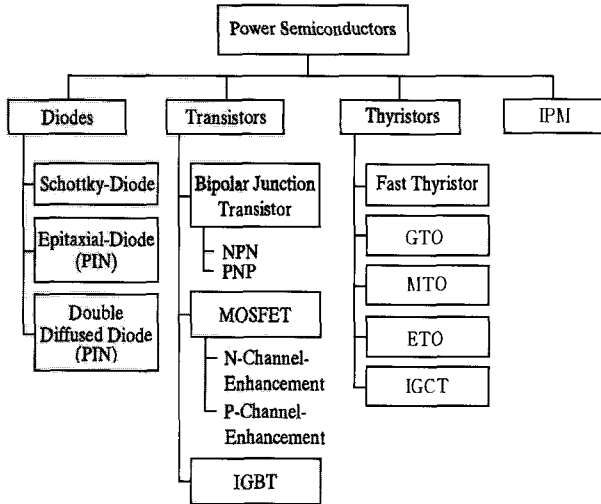


그림 1 전력용 반도체의 분류
Fig. 1 The classification of power semiconductor

표 1은 전력용 반도체의 생산업체와 경쟁력 및 특징에 대하여 정리한 것이다. 전력용 반도체에 대해서는 일본이 세계 최고의 경쟁력을 유지하고 있는 가운데, 미국은 특성화 및 기술개발을 통하여 일본을 추격하고 있으며, 유럽은 업체간의 제휴 및 합병을 통하여 경쟁력을 회복하고 있다.

또한, 중국은 최근 자국의 전력용 반도체의 수요를 충족하기 위하여 유럽으로부터 기술도입 및 현지화 생산을 추진하고 있으며, 한국의 몇몇 기업들을 응용기술 개발과 국내·외 시장확장을 위해 노력하고 있다[6].

표 1 전력용 반도체의 생산업체 및 특징
Table 1 The product company and characterize of power semiconductor

국가 및 지역	생산업체	생산품목	경쟁력 및 특징
일본	도시바, 후지, 미쓰비시, 히타치 외 중견기업 다수	전 품 목	- 세계 최고의 경쟁력 - 전세계 시장의 50~55% 점유 - 대부분의 대기업은 6인치 이상의 라인 설치 - 대기업과 중견전문 업체 특화
미국	모터롤라, IR, IXYS, 해리스 등	중대용량소자 군사 우주용	- 주요소자의 원천특허 보유
유럽	ABB, Siemens, Eupec, SGS-Thomson 등	중대용량소자 고전압 소자	- 업체의 제휴 및 합병이 활발 - Eupec : Siemens 및 AGE사의 합병회사 - 대용량소자 특화
러시아 및 동유럽	사란스크 전력반도체, 러시아연방 전기연구소, 우크라이나 일렉트로, 프로미텔 등	중대용량소자	- 초기 유럽으로부터 생산라인 도입 - 90년대 이후 투자 부족으로 생산시설 낙후 - 최근 유럽 및 미국의 하청 업체로 전락
중국	시안 전력전자연구소, 항조우 철도연구소 등	중대용량소자	- 최근 유럽으로부터 기술도입 활발
한국	(주)페어차일드 코리아, (주)KEC, (주)삼성전기 등	MOSFET 및 개별전력소자	- 응용기술 개발 노력 - 국내·외 시장확장 노력

그림 2는 각각의 전력용 반도체의 부하전류와 제어전류를 나타낸다[7].

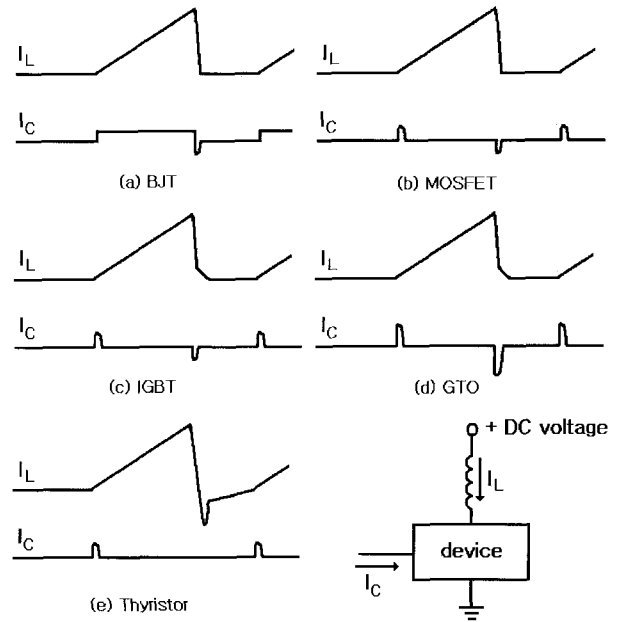


그림 2 전력용 반도체의 부하전류와 제어전류
Fig. 2 The load and control current of power semiconductor

다양한 전력용 반도체 중에서 현재 스위칭 특성 및 제어 특성이 가장 우수한 소자는 MOSFET이며, 이러한 이유로 인하여, MHz까지 고주파 스위칭이 가능하며, 생활가전, 산업용 전원장치 및 전력제어 응용에 활발하게 사용되고 있다.

2.2 전력용 MOSFET의 스위칭 특성

2.2.1 Miller 효과

전력용 MOSFET의 스위칭 특성은 Miller 효과(Miller Effect)와 매우 밀접한 관계가 있는 것으로 알려져 있다[8].

Miller 효과는 1920년대 발표된 이론으로 John M.Miller가 진공관 실험을 통하여 다음과 같은 이론을 제시하였다.

Miller 효과는 그림 3의 (a)와 같이 시스템의 전체 이득값이 (-)인 경우 입력단과 출력단 사이의 커패시터가 그림 7의 (b)와 같이 입력단 병렬 커패시터로 영향을 미치는 효과이다[9].

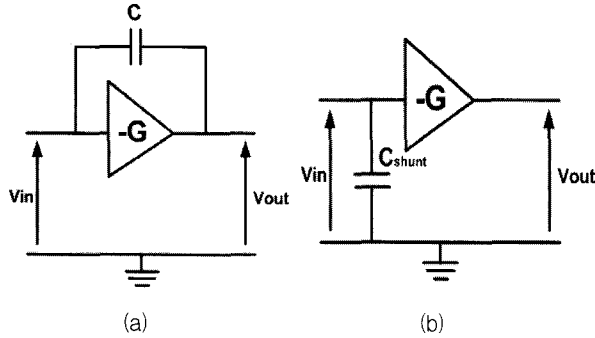


그림 3 Miller 효과
Fig. 3 The Miller effect

식(1) 내지 (4)는 커패시터 전압 및 전류를 나타낸다.

$$V_C = V_{in} - V_{out} \quad (1)$$

$$V_{out} = -G \times V_{in} \quad (2)$$

$$V_C = V_{in} - (-G \times V_{in}) = V_{in}(G + 1) \quad (3)$$

$$I_C = V_C \cdot j\omega C \quad (4)$$

$$C_{SHUNT} = \frac{I_C}{V_{in}} = \frac{V_C \cdot j\omega C}{V_C(G + 1)} = j\omega C(G + 1) \quad (5)$$

식(5)는 Miller 효과에 의한 병렬 커패시터 크기를 나타내며, 커패시터의 크기가 (G + 1)배 증가되는 특징을 지닌다.

2.2.2 Miller 효과와 MOSFET의 차단(한계) 주파수

그림 4는 전력용 MOSFET 단면도와 내부의 커패시터 및 저항성분을 나타내고, 그림 5는 그림 4(a)의 커패시터 성분을 중심으로 하는 MOSFET의 등가회로를 나타낸다[8,10].

그림 5로부터 MOSFET의 입력 커패시터 C_{iss} 는 식(6)과 같이 나타낸다.

$$C_{iss} = C_{gd} + C_{gs} \quad (6)$$

또한, MOSFET의 출력 커패시터 C_{oss} 는 식(7)과 같이 나타낸다.

$$C_{oss} = C_{gd} \cdot \frac{C_{gs} \times C_{gd}}{C_{gs} + C_{gd}} + C_{ds} \quad (7)$$

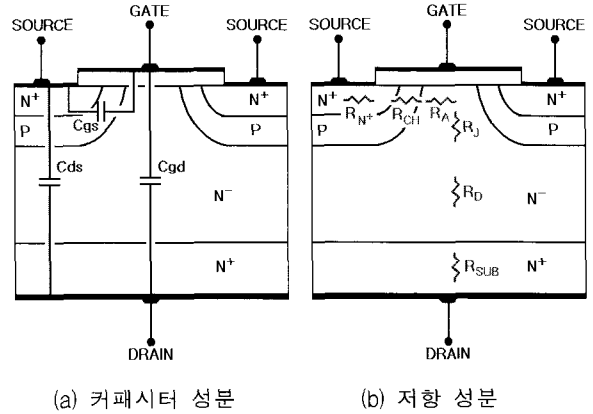


그림 4 MOSFET의 단면
Fig. 4 The cross section of MOSFET

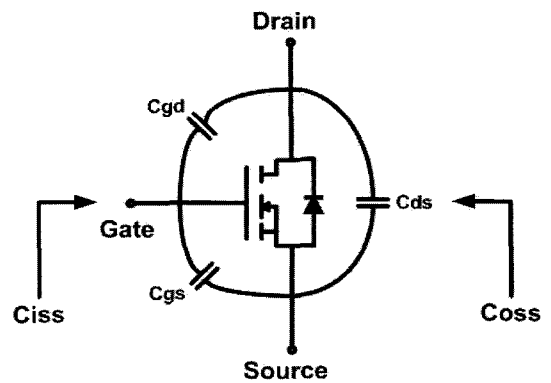


그림 5 커패시터를 중심으로 하는 MOSFET 등가회로
Fig. 5 The equivalent circuit for capacitor

게이트(Gate)와 소오스(Source) 사이의 커패시터인 C_{gs} 는 게이트와 소오스 사이에 산화막(Oxide) 두께에 의한 전력용 MOSFET의 구조적 변수로서 드레인(Drain)과 소오스(Source) 사이의 전압인 V_{ds} 변화에 대해서 C_{gd} 및 C_{ds} 대비 영향을 덜 받는 것으로 알려졌다.

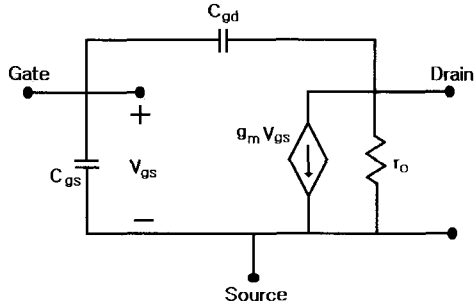
그러나 게이트(Gate)와 드레인(Drain) 사이의 커패시터인 C_{gd} 는 전력용 MOSFET의 구조적 변수이며, 동시에 V_{ds} 변화에 매우 민감한 특성을 가지며, 스위칭 특성을 결정짓는 가장 중요한 변수이다[8].

그림 6은 기생성분을 포함하는 전력용 MOSFET의 소신호 모델과 Miller 효과를 고려한 소신호 등가회로를 나타낸다[10].

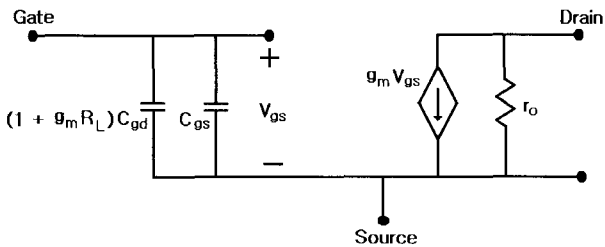
- 여기서, g_m 은 게이트 전압 V_{gs} 에 따른 I_{ds} 의 기울기
- r_o : 드레인과 소오스 사이의 기생저항
- R_L : I_{ds} 흐름에 영향을 미치는 저항 ($R_L = R_{N^+} + R_{CH} + R_A + R_J + R_D + R_{SUB}$)

따라서 Miller 효과는 MOSFET의 입력 커패시터 C_{iss} 의 크기를 식(8)과 같이 변경시킨다[8,10].

$$C_{iss} = C'_{gd} + C_{gs} = (1 + g_m R_L) C_{gd} + C_{gs} \quad (8)$$



(a) 소신호 모델



(b) Miller 효과를 고려한 등가회로

그림 6 MOSFET의 소신호 모델

Fig. 6 The small signal model of MOSFET

또한, MOSFET의 차단(한계) 주파수는 Miller 효과에 의하여 식(9)와 같이 정의된다[8].

$$f_{cutoff} = \frac{g_m}{2\pi C_{iss}}$$

$$= \frac{g_m}{2\pi \{(1 + g_m R_L) C_{gd} + C_{gs}\}} \quad (9)$$

따라서 고주파 스위칭을 위해서는 C_{iss} 를 저감하는 것이 매우 중요한 사항이며, 이를 위하여 R_L , C_{gd} 및 C_{gs} 를 저감하는 MOSFET의 설계가 필수적이다.

2.2.3 전력용 MOSFET의 스위칭 구간별 분석[8,10]

그림 7은 전력용 MOSFET의 게이트 전압에 따른 전류 특성을 나타내며, 문턱전압(V_T : Threshold Voltage)는 게이트 전압이 인가되도 드레인 전류가 흐르지 않는 전압으로 정의하였다.

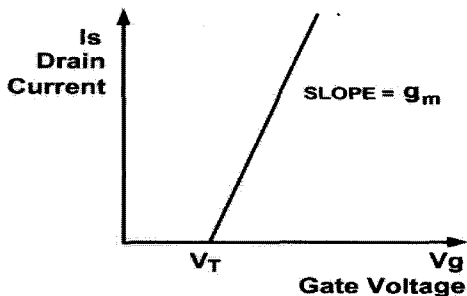


그림 7 MOSFET의 게이트 전압에 따른 전류 특성

Fig. 7 The current characteristic according to gate voltage of the MOSFET

그림 8은 스위치 턴온시 전력용 MOSFET 각부의 동작과형을 나타낸다.

1) Time Interval : t_1

이 시간은 게이트 전압 V_g 가 문턱전압 V_T 보다 작을 때이며, 드레인 전류 I_S 가 흐르지 않는 턴온 지연 시간이다. 이 시간동안 Miller 효과에 의해 입력 커패시터 $C_{iss} = C_{gs} + C'_{gd}$ 로 증가하는 시간이다.

따라서 이 시간동안 게이트 전압은 식(10)으로 나타낼 수 있다.

$$V_g(t) = V_{GA} \{1 - e^{-t/R_G(C_{gs} + C'_{gd})}\} \quad (10)$$

여기서, R_G : 게이트 직렬 저항

식(10)으로부터 t_1 의 시간은 식(11)과 같이 나타낼 수 있다.

$$t_1 = R_G(C_{gs} + C'_{gd}) \cdot \ln\left\{\frac{1}{1 - V_T/V_{GA}}\right\} \quad (11)$$

2) Time Interval : t_2

게이트 전압 V_g 가 문턱전압 V_T 보다 커지면, 게이트 전류는 증가하며, 동시에 드레인 전압은 강하되는 시간이다. t_2 시간의 게이트 전류는 식(12)와 같이 나타낼 수 있다.

$$I_S(t) = g_m(V_{GS} - V_T)$$

$$= g_m\{V_{GA} \cdot [1 - e^{-t/R_G(C_{gs} + C'_{gd})}] - V_T\} \quad (12)$$

식(13)로부터 t_2 의 시간은 식(13)과 같이 나타낼 수 있다.

$$t_2 = R_G(C_{gs} + C'_{gd}) \cdot \ln\left\{\frac{g_m \cdot V_{GA}}{g_m(V_{GA} - V_T) - I_L}\right\} \quad (13)$$

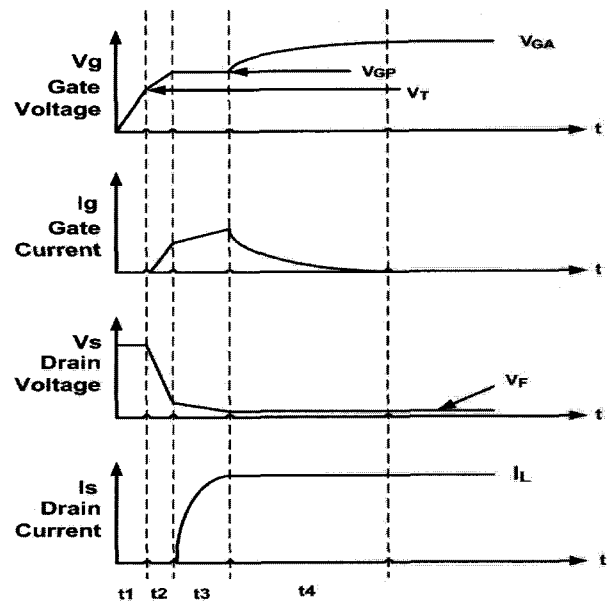


그림 8 스위치 턴온시 MOSFET의 동작과형

Fig. 8 The operation waveforms of MOSFET at switch turn-on

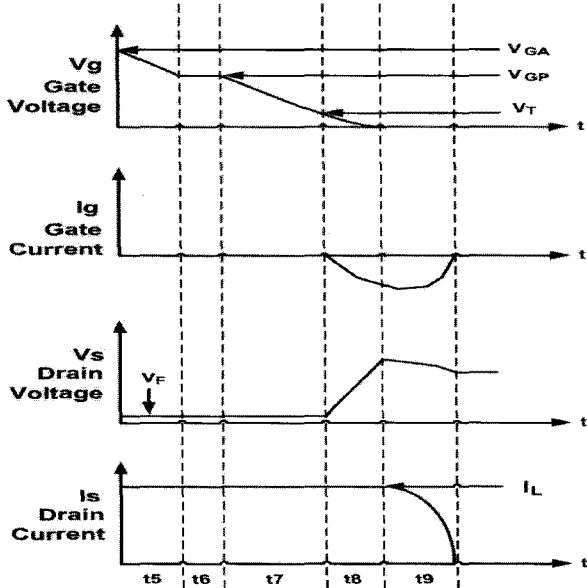


그림 9 스위치 턴오프시 MOSFET 각부의 동작파형
Fig. 9 The operation waveforms of MOSFET at switch turn-off

3) Time Interval : t₃

시간 t₂이후에 드레인 전압 V_S가 스위치 역병렬 다이오드 전압 V_F로 저감되는 시간이며, 드레인 전류 I_S가 부하전류만큼 증가하는 시간이다. 이 시간동안 드레인 전압 V_S는 감소하므로 스위칭 손실이 발생하는 주된 시간이다. 이 시간동안 게이트 전압과 전류는 식(14),(15)로 나타낼 수 있다.

$$V_g(t) = V_T + \frac{I_L}{g_m} = V_{GP} \quad (14)$$

$$I_g(t) = \frac{V_{GA} - V_{GP}}{R_G} = \frac{1}{R_G} \left[V_{GA} \left(V_T + \frac{I_L}{g_m} \right) \right] \quad (15)$$

식(14)의 게이트 전류는 Miller 효과에 의한 Miller 커패시터인 C'_{gd}를 충전한다. 이때 게이트와 드레인, 드레인과 소스 사이의 전압변화를 식(16)과 같이 나타낼 수 있다.

$$\frac{dV_{GD}(t)}{dt} = \frac{dV_{DS}(t)}{dt} = \frac{I_g(t)}{C'_{gd}} = \frac{V_{GA} - (V_T + I_L/g_m)}{R_G \cdot C'_{gd}} \quad (16)$$

식(16)으로부터 V_{DS}(t)를 식(17)과 같이 나타낼 수 있다.

$$V_{DS}(t) = V_L - \left[\frac{V_{GA} - (V_T + I_L/g_m)}{R_G \cdot C'_{gd}} \right] \cdot t \quad (17)$$

식(17)으로부터 t₃의 시간은 식(18)과 같이 나타낼 수 있다.

$$t_3 = \frac{(V_S - V_F) \cdot R_G \cdot C'_{gd}}{V_g - (V_T + I_L/g_m)} \quad (18)$$

4) Time Interval : t₄

시간 t₄는 스위치가 정상적으로 턴오프된 상태이며, 게이트 전류는 점차 감소하는 구간이다.

이 시간의 게이트 전류는 식(19)와 같이 나타낼 수 있다.

$$I_g(t) = I_{gmax} e^{-t/R_G(C_{gs} + C'_{gd})} \quad (19)$$

5) Time Interval : t₅

게이트 전압이 V_{GA}에서 V_{GP}로 감소하는 시간이며, 게이트 커패시터가 방전하는 시간이다. 이 시간에서 게이트 전압을 식(20),(21)로 나타낼 수 있다.

$$V_g(t) = V_{GA} \cdot e^{-t/R_G(C_{gs} + C'_{gd})} \quad (20)$$

$$V_{GS}(t) = V_T + \frac{I_L}{g_m} \quad (21)$$

식(20),(21)로부터 t₅의 시간은 식(22)와 같이 나타낼 수 있다.

$$t_5 = R_G(C_{gs} + C'_{gd}) \cdot \ln \left\{ \frac{V_{GA}}{V_T - I_L/g_m} \right\} \quad (22)$$

6) Time Interval : t₆

스위치 턴오프 지연시간인 이 시간동안 I_S는 부하전류를 유지하고 있다. 이 시간동안 게이트 전압과 전류는 식(23)으로 나타낼 수 있다.

$$V_g(t) = V_{GP} \quad (23)$$

7) Time Interval : t₇

시간 t₆이후에 게이트 전압은 V_{GP}에서 V_T로 감소하는 시간이다. 드레인 전압과 전류는 아직 온 상태이다. 게이트 전압은 식(24)로 나타낼 수 있다.

$$V_g(t) = V_T + \frac{I_L}{g_m} \quad (24)$$

8) Time Interval : t₈

게이트 전압이 V_T이하로 인가되면, 스위치 전압은 상승하며, 게이트 전류는 방전하는 구간이다.

게이트 커패시터에서 방전하는 전압과 전류는 식(25),(26)과 같이 나타낼 수 있으며, 이 때 게이트와 드레인, 드레인과 소스 사이의 전압변화를 식(27)과 같이 나타낼 수 있다.

$$V_g(t) = V_T + \frac{I_L}{g_m} \quad (25)$$

$$I_g(t) = -\frac{V_g(t)}{R_G} = -\frac{V_T + (I_L/g_m)}{R_G} \quad (26)$$

$$\frac{dV_{GD}(t)}{dt} = \frac{dV_{DS}(t)}{dt} = \frac{I_g(t)}{C'_{gd}} \quad (27)$$

식(27)로부터 V_{DS}(t)를 식(28)과 같이 나타낼 수 있다.

$$V_{DS}(t) = V_F + \frac{1}{R_G \cdot C'_{gd}} \left[V_T + \frac{I_L}{g_m} \right] \cdot t \quad (28)$$

식(28)로부터 t_8 의 시간은 식(29)와 같이 나타낼 수 있다.

$$t_8 = \frac{(V_S - V_F) \cdot R_G \cdot C'_{gd}}{V_T + I_L/g_m} \quad (29)$$

9) Time Interval : t_9

스위치 턴오프시 지연 시간으로 드레인 전류 I_S 가 감소되는 시간이다. 이 시간에서 게이트 전압은 식(30)과 같이 나타낼 수 있다.

$$V_{GS}(t) = \left\{ V_T + \frac{I_m}{g_m} \right\} \cdot e^{-t/R_G(C_{gs} + C'_{gd})} \quad (30)$$

또한, 드레인 전류는 식(31)로 나타낼 수 있다.

$$I_S(t) = (I_L + g_m \cdot V_T) e^{-t/R_G(C_{gs} + C'_{gd})} - g_m \cdot V_T \quad (31)$$

식(30)로부터 t_9 의 시간은 식(32)와 같이 나타낼 수 있다.

$$t_9 = R_G \cdot (C_{gs} + C'_{gd}) \cdot \ln \left\{ \frac{I_L}{g_m \cdot V_T} + 1 \right\} \quad (32)$$

2.3 전력용 MOSFET의 기술동향

2.3.1 1970년대부터 1990년대 초반 기술동향

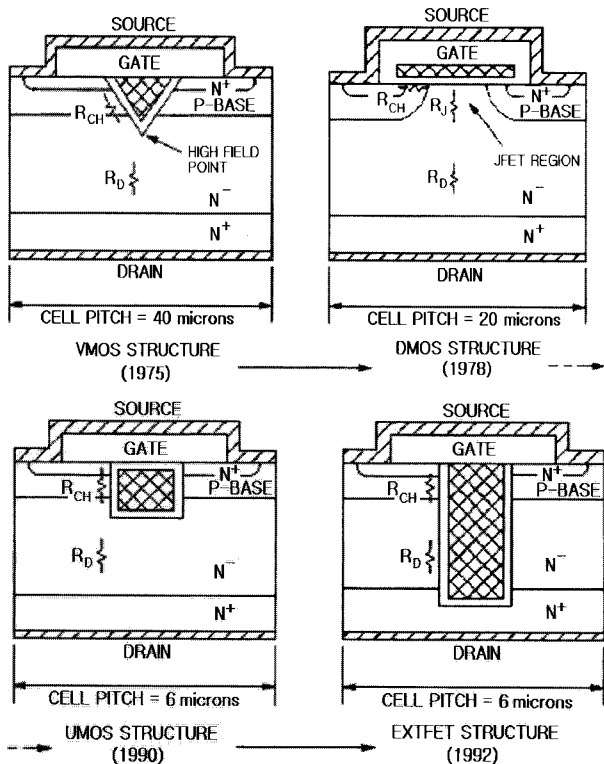


그림 10 전력용 MOSFET의 기술변화
Fig. 10 The technical trends of power MOSFET

1970년대부터 1990년대 초반까지 MOSFET 기술의 총체적인 변화는 B. Jayant Baliga에 의해서 그림 10과 같이 정리되었다[8,11].

1975년 게이트 구조가 V자로 형성된 VMOS가 등장하였고, 1978년 게이트 구조가 -자로 형성된 DMOS가 나타났으며, 1990년대에는 온(on)저항이 저감된 UMOS가 나타났으며, 게이트의 깊이가 점차 깊어지는 구조적인 발전경향을 보이고 있다.

특히 UMOS는 1980년대 DRAM 메모리 셀의 트렌치(trench) 설계 기술을 전력용 MOSFET 분야에 도입함을 통하여 발전하였다.

이러한 MOSFET는 다음과 같은 4가지 특징적인 장점이 있다[8,11].

- 1) 드리프트(drift) 영역의 저항이 작으며, 온(on)상태 전압강하가 작고,
- 2) MOS(Metal-Oxide-Semiconductor) 게이트 구조는 정상상태에 입력 임피던스가 매우 높으며,
- 3) 바이폴라 트랜지스터(BJT)에 비하여 스위칭 속도가 매우 높으며,
- 4) 바이폴라 트랜지스터(BJT)에 비하여 안정동작영역(FOSO : Forward Biased Safe Operating Area)이 크며, 하드 스위칭에 대한 손실이 작다.

MOSFET의 구조에 대한 수치적 비교에 관한 연구는 Antoine A. Tamer 등에 의해서 수행되었으며, 그 결과는 표 2와 3으로 정리할 수 있다[12].

표 2 MOSFET 구조와 내압에 따른 특성 비교

Table 2 The compared characteristics according to the structure and voltage of MOSFET

내 압	비교 대상	VMOS	DMOS	UMOS
1000[V]	W_{epi}	80 μm	65 μm	65 μm
	N_D	0.93×10^{14}	1.7×10^{14}	1.56×10^{14}
	R_{on}	$0.444 \Omega \cdot cm^2$	$0.226 \Omega \cdot cm^2$	$0.218 \Omega \cdot cm^2$
550[V]	W_{epi}	42 μm	35 μm	35 μm
	N_D	1.68×10^{14}	3.225×10^{14}	3.10×10^{14}
	R_{on}	$136m\Omega \cdot cm^2$	$73.7m\Omega \cdot cm^2$	$62.8m\Omega \cdot cm^2$
100[V]	W_{epi}	6 μm	5 μm	5 μm
	N_D	1.3×10^{15}	3.05×10^{15}	2.2×10^{15}
	R_{on}	$431m\Omega \cdot cm^2$	$3.13m\Omega \cdot cm^2$	$2.34m\Omega \cdot cm^2$

여기서, W_{epi} : 드레인 에피층의 두께 [μm]
 N_D : 드레인 층의 도핑농도[atoms/cm³]
 R_{on} : MOSFET의 단위 면적당 온저항 [$\Omega \cdot cm^2$]

표 2와 3을 참고로, Antoine A. Tamer의 연구 결과에 의하면, VMOS에 비하여 DMOS와 UMOS가 월등한 특성을 보이고 있으며, 온(on)저항 특성은 UMOS가 가장 우수한 것으로 나타났다.

따라서 현재 대부분의 전력용 MOSFET연구는 DMOS와 UMOS를 바탕으로 이루어지고 있는 실정이다.

표 3 MOSFET 구조와 게이트 피치에 따른 온저항 비교
Table 3 The compared on resistance according to the structure and gate pitch of MOSFET

게이트 피치[μm]	게이트 저항 [$\text{m}\Omega \cdot \text{cm}^2$]		
	VMOS	DMOS	UMOS
10	5.16		
12			3.36
14	6.98	4.31	3.90
17		5.24	4.74
20		6.13	

2.3.2 1990년대부터 현재 기술동향

1990년대부터 현재까지 전력용 MOSFET의 기술은 크게 구조적인 연구와 재료적인 연구로 구분할 수 있으며, 아래와 같이 나타낼 수 있다.

- 구조적 연구
 - 손가락형 게이트(Finger Gate) (2.3.2.1절)
 - 트렌치 배열(Trench Array) (2.3.2.2절)
 - 초접합 구조(Super Junction Structure) (2.3.2.3절)
- 재료적 연구
 - 탄화규소 트랜지스터(SiC Transistor) (2.3.2.4절)

각각의 기술내용에 대해서 전력용 반도체의 주요 생산업체의 특허문헌을 중심으로 기술동향을 분석하였다.

2.3.2.1 손가락형 게이트(Finger Gate)

손가락형 게이트 구조에 대한 기술은 1990년대 후반에 RF(Radio Frequency)분야의 트랜지스터에서 이미 제시된 기술로서 일본의 내셔널(National)사, 도시바(Toshiba)사와 미국의 International Business Machines사의 특허에서 이미 제안된 기술이다[13-16].

기술의 골자는 게이트의 구조를 손가락형으로 구성함을 통하여 MOSFET의 스위칭 속도를 향상시키는 것을 목적으로 하며, 주로 GHz의 주파수로 구동하는 RF 분야에서 먼저 개발되어 전력용 MOSFET에 응용되고 있는 것으로 분석된다.

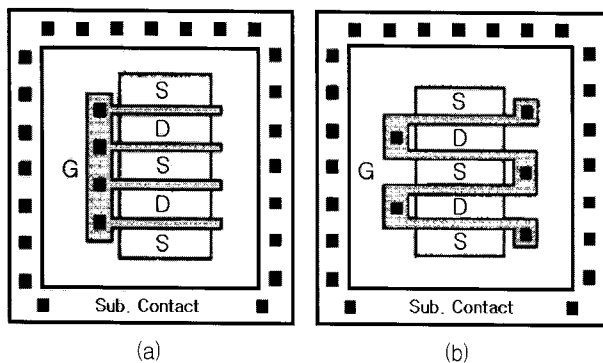


그림 11 손가락형 게이트 MOSFET
Fig. 11 The finger gate MOSFET

손가락형 게이트는 그림 11과 같이 (a)손가락 끝이 갈라진 형태와 (b)손가락 끝이 붙어있는 형태의 두 가지 구조로 구분할 수 있다[16].

특히 일본 내셔널(National)사의 미국의 등록특허[13]에서는 식(9)에서 나타난 차단(한계) 주파수를 바탕으로 식(33)과 같은 MOSFET의 최대 주파수를 정의하였다.

$$f_{\max} = \frac{f_{\text{cutoff}}}{2} \cdot \frac{1}{\sqrt{2\pi f_{\text{cutoff}} C_{gd} + g_o(R_g + R_s)}} \quad (33)$$

여기서, g_o : MOSFET의 출력 컨덕턴스[Ω^{-1}]
 R_g : MOSFET의 총 게이트 저항[Ω]
 R_s : MOSFET의 총 소오스 저항[Ω]

따라서 MOSFET의 스위칭 속도를 향상시키기 위하여 게이트 저항(R_g)를 저감하기 위해서 제시된 기법이라 할 수 있다[13].

그림 12는 일본의 신덴겐(Shindengen)사의 손가락형 게이트 기술을 게이트와 소오스 부분에 동시에 적용한 전력용 DMOSFET를 나타낸다. 이 특허에서 게이트 및 소오스 저항이 낮아지고, 고속 스위칭 특성이 우수한 효과가 있음을 언급하였다[17].

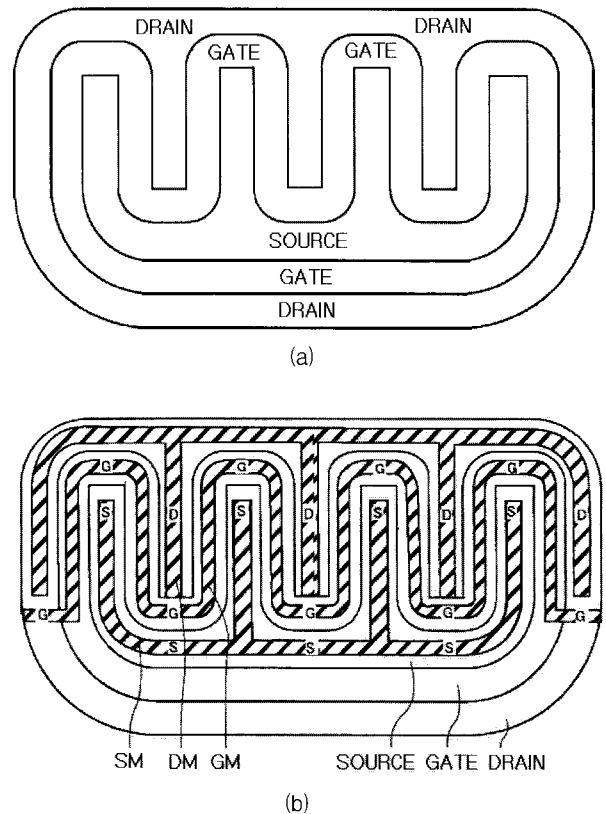


그림 12 손가락형 게이트 전력용 MOSFET
Fig. 12 The finger gate power MOSFET

여기서,
 도면부호 SM : 소오스 전극 저항 저감용 금속층
 DM : 드레인 전극 저항 저감용 금속층
 GM : 게이트 전극 저항 저감용 금속층

2.3.2.2 트렌치 배열(Trench Array)

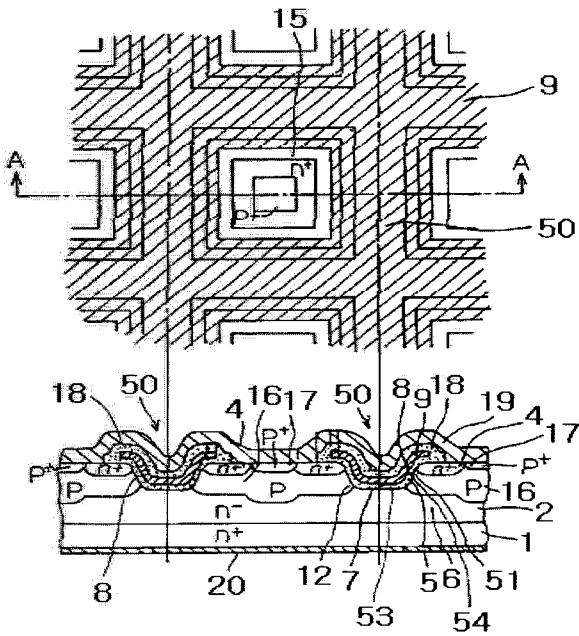
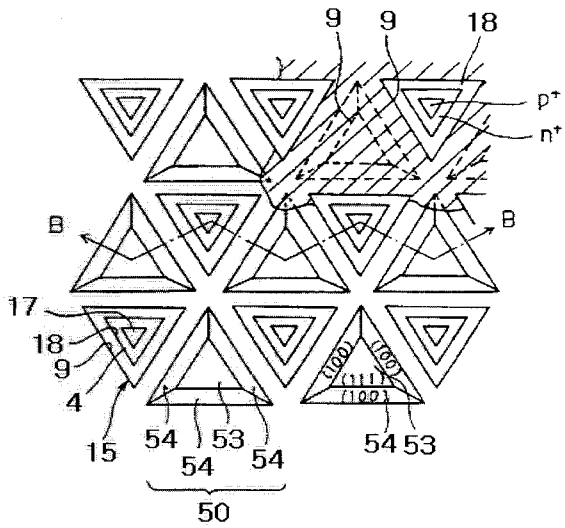
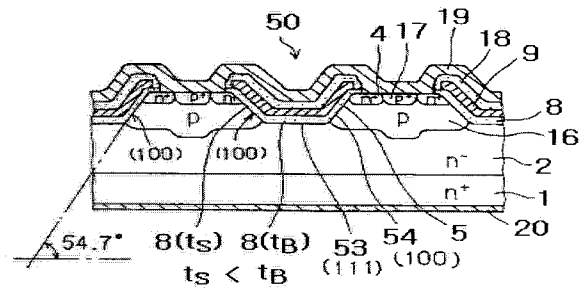


그림 13 정사각형 트렌치로 배열된 전력용 MOSFET
Fig. 13 The square trench array for power MOSFET



(a) 평면도



(b) 단면도

그림 14 정삼각형 트렌치로 배열된 전력용 MOSFET
Fig. 14 The triangle trench array for power MOSFET

여기서,

- 도면부호 1 : n+ 반도체 기판
- 2 : n- 에피택셜(epitaxial) 층
- 4 : n+ 소오스 영역
- 5 : 채널
- 6 : n- 드레인 영역
- 7 : JFET 영역
- 8 : 게이트 산화 층
- 9 : 게이트 전극
- 12 : 에지 영역
- 15 : 단위 셀(unit cell)
- 16 : p 베이스 영역
- 17 : p 베이스 접촉 영역
- 18 : 내부 절연 필름
- 19 : 소오스 전극
- 20 : 드레인 전극
- 50 : U자 홈
- 51 : 측벽(sidewall) 영역
- 53 : 아래면(bottom face)
- 54 : 측면(side face)

트렌치 배열에 관한 기술은 1990년대에 일본의 히타치(Hitachi)사 및 덴소(Denso)사가 제시한 기술로서, 트렌치 셀의 배열과 형상의 변경을 통하여 낮은 온(on)저항을 달성하는 것을 목적으로 한다[18-23].

그림 13과 그림 14는 일본의 덴소(Denso)사의 정사각형 및 정삼각형 트렌치 배열에 관한 UMOS 트랜지스터를 나타낸다. 이 특허에서 트렌치 배열에 대한 식(34)를 제안하였고, 온(on)저항이 저감되고 신뢰성이 향상된 MOSFET를 제안하였다[19].

$$\begin{aligned}
 a &= b + 2\alpha \\
 b &= c + 2\beta \\
 c &= d + 2\gamma \\
 d &= e + 2\delta
 \end{aligned}
 \tag{34}$$

그림 15는 일본의 덴소(Denso)사의 육각형 트렌치 배열에 관한 UMOS 트랜지스터를 나타내고, 그림 16은 각(θ)에 따른 계면전위밀도[cm^{-2}/eV](interstate density)의 변화를 나타낸다. 이 특허에서 각(θ)에 따른 계면전계밀도의 변화를 분석하였고, 각(θ)이 60°의 배수에서 계면전계밀도[cm^{-2}/eV]가 증가함을 언급하였다[23].

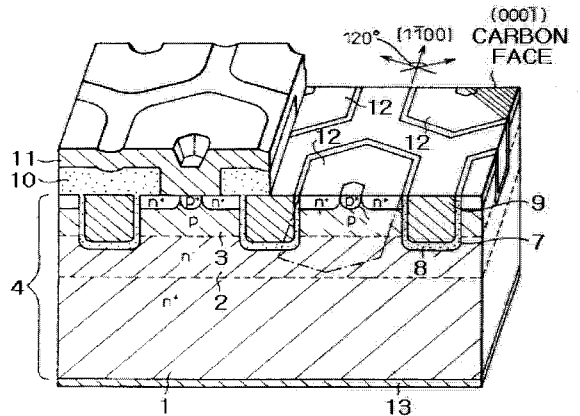


그림 15 육각형 트렌치로 배열된 전력용 MOSFET
Fig. 15 The hexagon trench array for power MOSFET

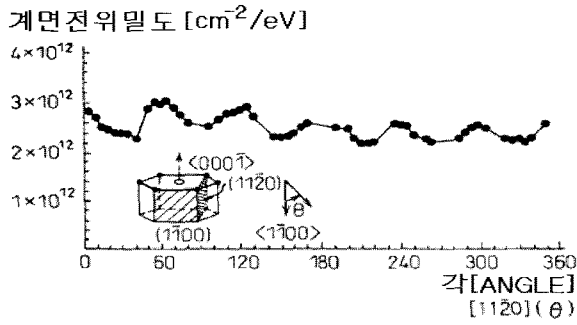


그림 16 각(θ)에 따른 계면전위밀도
Fig. 16 The interstate density according to angle(θ)

여기서,

- 도면부호 1 : n+ 탄화 규소(silicon carbide) 기판
- 2 : n- 탄화 규소(silicon carbide) 층
- 3 : p 탄화 규소(silicon carbide) 층
- 5 : n+ 소오스 영역
- 6 : p+ 탄화 규소(silicon carbide) 영역
- 7 : 트렌치
- 8 : 절연 필름
- 9 : 게이트 전극
- 10 : 절연 필름
- 11 : 소오스 전극
- 13 : 드레인 전극

2.3.2.3 초접합 구조(Super Junction Structure)

초접합 구조에 관한 기술은 1990년대 후반에 일본의 도시바(Toshiba)사, 미쓰비시(Mitsubishi) 및 한국의 페어차일드(Fairchild)사 독일의 지멘스(Siemens)사 등에서 제시한 기술로서, 전력용 MOSFET의 각 치수의 비율을 최적화하여 내압이 높으면서, 온(on)저항이 낮은 가장 이상적인 설계비율과 구조(일명 초접합 구조)를 달성하는 것을 목적으로 한다[24-27].

그림 17은 일본 도시바(Toshiba)사의 초접합 구조를 통하여 온(on)저항이 저감된 전력용 MOSFET를 나타낸다[25]. 일반적으로 종래의 전력용 MOSFET에서는 n-드리프트층의 크기를 조절하여 내압을 유지하는 방법을 취하는데 반하여 이 특허에서는 n기동층의 두께 d와 n-드리프트층의 두께 t의 층두께비 A를 식(35)와 같이 고려하였다.

$$A = t / (d + t) \tag{35}$$

여기서, d : n기동층의 두께
t : n-드리프트층의 두께

종래의 전력용 MOSFET의 n-드리프트층의 두께 t는 식(36)으로 알려졌다.

$$t = C_t \times V_B^{7/6} \text{ [cm]} \tag{36}$$

여기서, C_t : n-드리프트층의 두께 계수
 V_B : 내압

그러나 도시바(Toshiba)사의 특허는 층두께비 A를 바탕으로 전력용 MOSFET의 n-드리프트층의 두께 t를 식(37)과 같이 제안하였다[25].

$$t = C_t \times (A \times V_B)^{7/6} \text{ [cm]} \tag{37}$$

또한, 종래의 전력용 MOSFET의 n-드리프트층의 농도 N_d 는 식(38)로 알려졌다.

$$N_d = D_n \times V_B^{-4/3} \text{ [cm-3]} \tag{38}$$

여기서, D_n : n-드리프트층의 농도 상수

그러나 도시바(Toshiba)사의 특허는 층두께비 A를 바탕으로 전력용 MOSFET의 n-드리프트층의 농도 N_d 를 식(39)와 같이 제안하였다[25].

$$N_d = D_n \times (A \times V_B)^{-4/3} \text{ [cm-3]} \tag{39}$$

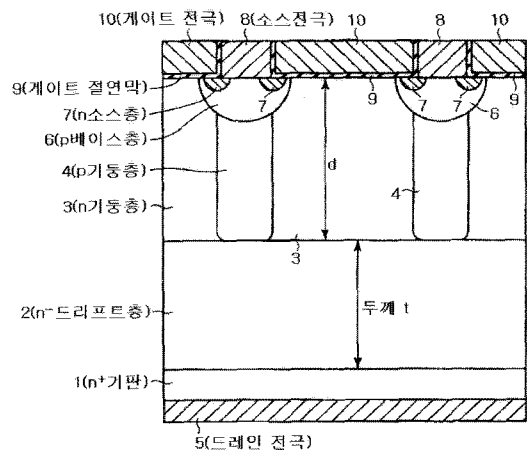


그림 17 층두께비를 고려한 전력용 MOSFET
Fig. 17 The layer thickness ratio for power MOSFET

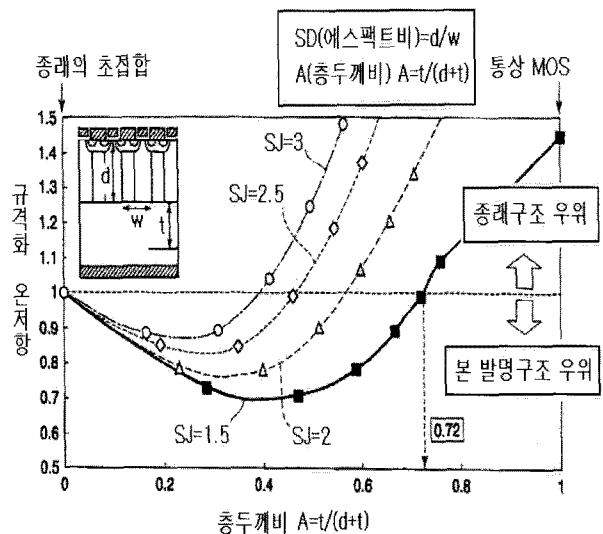


그림 18 층두께비(A)와 에스펙티브(SJ)에 따른 전력용 MOSFET의 온(on)저항 변화

Fig. 18 The on-resistance of power MOSFET according to the layer thickness ratio(A) and aspect ratio(SJ)

도시바(Toshiba)사는 이 특허에서 n기둥층의 두께 d와 p기둥층(일명 트렌치) 사이의 간격 w의 비율을 에스펙트비 SJ로 정의하였고, 에스펙트비 SJ와 층두께비 A에 따라서 온(on)저항의 크기를 그림 18과 같이 제시하였다[25].

도시바(Toshiba)사 에스펙트비 SJ가 1.5일때 가장 낮은 온(on)저항을 가짐을 제안하였다. 즉 n기둥층의 두께 d가 p기둥층(일명 트렌치) 사이의 간격 w에 1.5배가 되었을때 가장 낮은 온저항을 가지며, 이때 층 두께비가 0.72이하 라면, 종래의 초접합 구조보다 더욱 낮은 온(on)저항을 가지는 전력용 MOSFET가 된다는 구조적 특성을 제시하였다.

따라서 최적의 에스펙트비인 SJ=1.5와 층두께비 A=0.4에서는 종래의 초접합 구조의 MOSFET보다 온(on)저항이 30% 저감되며, 통상의 MOSFET보다 온(on)저항이 약50% 저감하는 전력용 MOSFET를 제시하였다[25].

미쓰비시(Mitsubishi)사는 그림 19의 UMOS 트랜지스터의 구조에서 반도체 기판의 산소농도에 따른 게이트 전압을 그림 20과 같이 분석하였다[26].

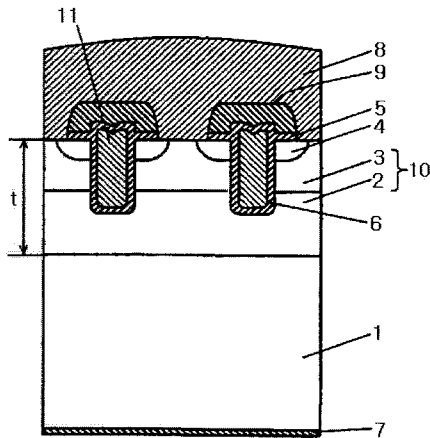


그림 19 UMOS 트랜지스터
Fig. 19 The UMOS transistor

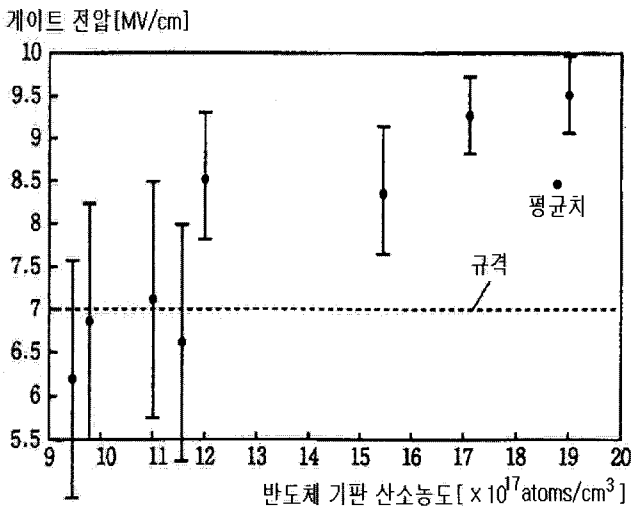


그림 20 반도체 기판의 산소농도에 따른 게이트 전압
Fig. 20 The gate voltage according to oxygen density of semiconductor substrate

여기서,

- 도면부호 1 : n+형 반도체 기판
- 2 : n형 제1 에피택셜(epitaxial) 성장층
- 3 : p형 확산층
- 4 : n형 소스층
- 5 : 게이트 산화막
- 6 : 트렌치
- 7 : 드레인 전극
- 8 : 소스 전극
- 9 : 층간막
- 10 : 에피택셜(epitaxial) 성장층
- 11 : 트렌치 매립층
- t : 에피택셜(epitaxial) 성장층의 두께

미쓰비시(Mitsubishi)사는 그림 20을 바탕으로 게이트 전압이 일정 규격인 7[MV/cm] 이상이 되기 위하여 반도체 기판의 산소농도가 12×10^{17} [atoms/cm³]이상으로 설정되는 것을 제안하였고, 트렌치 게이트형의 MOSFET가 평면 게이트형의 MOSFET에 비하여 온(on)저항과 항복전압 특성이 우수한 것을 그림 21과 같이 나타내었다[26].

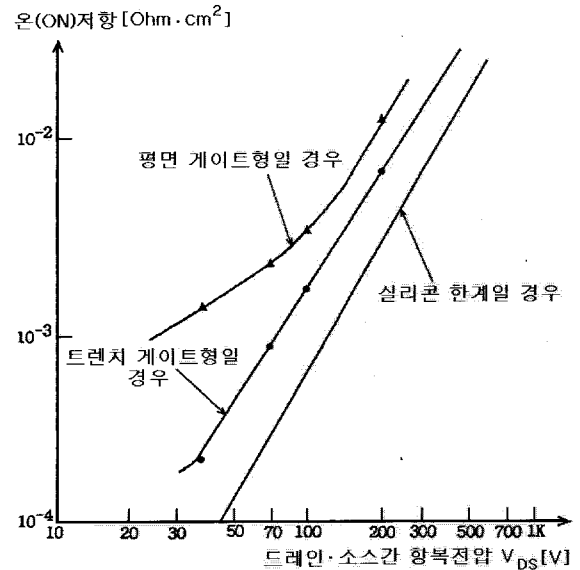


그림 21 게이트 구조에 따른 항복전압과 온저항
Fig. 21 The break voltage and on resistance according to gate structure

2.3.2.4 탄화규소 트랜지스터(SiC Transistor)

1990년대 이후에 전력용 MOSFET의 재료적인 연구로는 탄화규소(SiC, 일명 실리콘 카바이드)를 MOSFET의 반도체 층에 적용하는 시도를 통하여 보다 강인하고 고내압의 MOSFET에 대한 연구가 지속되고 있다.

탄화규소(SiC)는 다음과 같은 장점을 가지고 있다.

- 1) 밴드갭(Band Gap)이 넓다
- 2) 높은 항복 전계를 갖는다.
- 3) 높은 열전도성을 갖는다.
- 4) 높은 포화 전자 드리프트 속도를 갖는다.
- 5) 물리적으로 매우 강인한 물질이다.

이러한 물리적 특성으로 인하여 전력용 반도체 분야에서

최신 재료로 많은 각광을 받고 있지만 다음과 같은 단점을 동시에 지니고 있다.

- 1) 강인한 물리적 특성으로 인하여 제조가 어렵다.
- 2) 단결정으로 크게 성장시키는 것이 어렵다.
- 3) 불순물 도핑이 상대적으로 어렵다.
- 4) 박막(특히 에피텍셀) 성장이 어렵다.
- 5) 탄화규소(SiC) 웨이퍼의 가공 및 연마가 어렵다.

탄화규소(SiC)의 유용성에 대해서는 1987년의 K. Shibahara 등의 논문[28]과 J.W.Palmour 등의 논문[29]을 바탕으로 보고되었으며, 1994년에 J.W. Palmour의 논문[30]을 시작으로 전력용 MOSFET 분야에 본격적으로 적용되고 최근까지 수많은 연구가 진행되고 있다[31].

미국의 Cree(크리)사 일본의 미쓰비시(Mitsubishi), 히타치(Hitachi)사 및 덴소(Denso)사 등에서 탄화규소(SiC) 전력용 MOSFET에 대하여 중점적으로 연구하고 있다[23,32-39].

탄화규소(SiC) MOSFET는 다음과 같이 크게 3가지 구조의 MOSFET에 적용되고 있으며, 특히 기판 부분에 탄화규소(SiC)층을 구현하고 있다.

- 1) 트랜치형(Trench) 또는 UMOS 구조
- 2) 종형 이중주입(Length Double Implanted) 구조
- 3) 횡형 확산(Lateral Diffused) 구조

그림 22에서 24는 트랜치형/ 종형 이중주입/ 횡형 확산 구조의 탄화규소(SiC) MOSFET를 나타낸다[32-35].

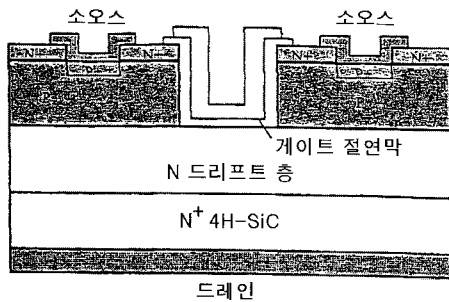


그림 22 트랜치형 구조의 탄화규소 MOSFET
Fig. 22 The SiC MOSFET of trench type structure

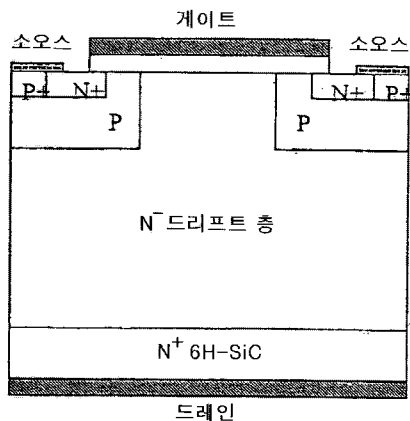


그림 23 종형 이중주입 구조의 탄화규소 MOSFET
Fig. 23 The SiC MOSFET of vertical doubly implanted structure

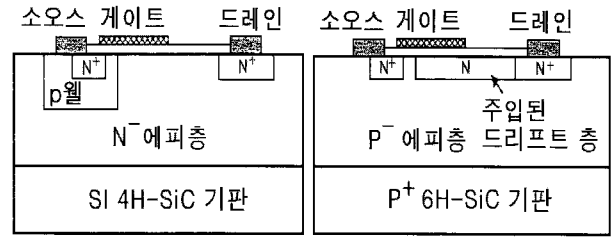


그림 24 횡형 확산 구조의 탄화규소 MOSFET
Fig. 24 The SiC MOSFET of lateral diffused structure

3. 결 론

본 연구에서는 전력용 MOSFET의 특성 및 기술동향에 대하여 논문 및 특허문헌을 중심으로 분석하였다. 반도체의 크기(선폭)는 급격하게 저감되고, 동작 주파수는 초고주파화 되는 가운데, 반도체 공급전압은 이미 1[V]미만이 요구가 늘어나고 있다.

낮은 온(on)저항, 고전압, 고주파 특성이 우수한 MOSFET는 이미 전원공급장치 및 전력전자분야에서 가장 각광받고 있는 스위치이며, 일본의 회사가 세계 최고의 경쟁력을 지니고 있으며, 미국과 유럽이 뒤따르고 있다.

본 논문에서는 Miller 효과를 바탕으로 전력용 MOSFET의 스위칭 특성을 고찰하고, 스위칭 구간별 분석을 하였다. 또한, B.J.Baliga와 Antoine A. Timer 등이 연구를 바탕으로 1970년대부터 1990년대 초반까지 전력용 MOSFET를 고찰하였고, 1990년대부터 현재까지는 전력용 MOSFET 기술을 선도하는 기업의 특허문헌을 중심으로 기술동향을 분석하였다.

특히 1990년대부터 현재까지 전력용 MOSFET의 기술적 특징은 다음과 같이 크게 4가지로 분류할 수 있었다.

- 1) 고속 주파수 구동을 위한 손가락형 게이트(Finger Gate) 기술
- 2) 낮은 온(on)저항을 달성하기 위한 트랜치 배열(Trench Array) 기술
- 3) 전력용 MOSFET의 각치수의 비율을 최적화하여 내압이 높으면서, 온(on)저항이 낮은 초집합 구조(Super Junction Structure) 기술
- 4) 전력용 MOSFET의 내압과 강인성을 증가시키기 위한 탄화규소(SiC) 재료의 적용 기술

참 고 문 헌

- [1] Praveen K. Jain "Power electronics for low voltage semiconductor technology: challenges and some possible solutions," IPEMC 2004, 4th International, Vol. 1, pp. 23-24, Aug. 2004.
- [2] 2001 International Technology Roadmap for Semiconductor(ITRS) 2001 Edition.
- [3] Allan Allan, Don Edenfeld, William H. Joyner Jr, Andrew B. Kahng, Mike Rodgers, and Yervant Zorian "2001 technology roadmap for semiconductors," 2002 IEEE, Vol. 35, pp. 42-53, Jun. 2002.
- [4] 조선일보,중앙일보 2007년 3월 1일 기사, "60나노급 1기

- 가 D램 삼성, 세계최초로 양산” 2007.03.01.
- [5] 조선일보, 중앙일보 2008년 9월 29일 기사, “삼성전자, 50나노급 DDR3 최초 양산 ‘세대교체 돌입’” 2009.09.29.
- [6] 과학기술부 “전력용 반도체 기술개발 최종보고서,” 2000.09
- [7] D.Y.Chen “Power Semiconductor: Fast, Tough, and Compact”, Power Device and Their Applications, Volume III of the VPEC Publications Series, Virginia Power Electronics Center, 1990.
- [8] B. Joyant Baliga, “Power Semiconductor Devices,” PWS Publishing, New York, 1996.
- [9] John M.Miller, “Dependence of the input impedance of a three-electrode vacuum tube upon the load in plate circuit,” Scientific Papers of the Bureau of Standards, pp. 367-385, 1920.
- [10] Muhammad H. Rashid, “Power Electronics Handbook,” ACADEMIC Press, pp. 75-99, 2001.
- [11] B. Joyant Baliga, “Trends in Power Semiconductor Devices,” IEEE Transaction on Electron Devices, Vol. 43, No. 10, pp. 1717-1731, Oct. 1996.
- [12] Antoine A. Tamer, Ken Rauch, and John L. Moll, “Numerical Comparison of DMOS, VMOS, and UMOS Power Transistor,” IEEE Transaction on Electron Devices, Vol. 30, pp. 73-76, Jan. 1983.
- [13] 미국 등록특허공보 US5828102호, 공고일 1998.10.27 (일본 내셔널(National Semiconductor)사 특허)
- [14] 미국 등록특허공보 US5990504호, 공고일 1999.11.23 (일본 도시바(Toshiba)사 특허)
- [15] 미국 등록특허공보 US 5874764호, 공고일 1999.02.23 (미국 International Business Machines사 특허)
- [16] Cheon Soo Kim, Jung Woo Park, Hyun Kyu Yu, and Han Jin Cho, “Gate Layout and Bonding Pad Structure of a RF n-MOSFET for Low Noise Performance,” IEEE Electron Device Letters, Vol. 21 pp. 607-609, Dec. 2000.
- [17] 미국 등록특허공보 US7173308호, 공고일 2007.02.06 (일본 신덴겐(Shindengen)사 특허)
- [18] 일본 공개특허공보 JP02-086136호, 공개일 1990.03.27 (일본 히타치(Hitachi)사 특허)
- [19] 미국 등록특허공보 US5460985호, 공고일 1995.10.24 (일본 덴소(Denso)사 특허)
- [20] 미국 등록특허공보 US5470770호, 공고일 1995.11.28 (일본 덴소(Denso)사 특허)
- [21] 미국 등록특허공보 US5698880호, 공고일 1997.12.16 (일본 덴소(Denso)사 특허)
- [22] 미국 등록특허공보 US5744826호, 공고일 1998.04.28 (일본 덴소(Denso)사 특허)
- [23] 미국 등록특허공보 US6133587호, 공고일 2000.10.17 (일본 덴소(Denso)사 특허)
- [24] 국제출원공보 WO99/04437호, 공고일 1999.01.28 (독일 지멘스(Siemens)사 특허)
- [25] 일본 공개특허공보 JP2004-214511호, 공개일 2004.07.27 (일본 도시바(Toshiba)사 특허)
- [26] 미국 등록특허공보 US5929482호, 공고일 1999.07.27 (일본 미쓰비시(Mitsubishi)사 특허)
- [27] 한국 공개특허공보 KR10-2008-0044127호, 공개일 2008.05.20 (한국 페어차일드(Fairchild)사 특허)
- [28] K.Shibahara, T.Takauchi, T.Saitoh, S.Nishino, and H.Matsunami, Proc. Materials Research Society Symp., T.Aselage, D.Emin, and C.Wood, Eds., Vol. 97, pp. 247, 1987.
- [29] J.W.Palmour, H.S.Kong, and R.F.Davis, “High-temperature depletion-mode metal-oxide semiconductor field-effect transistors in beta-SiC thin films,” Appl. Phys. Lett. Vol. 51, pp. 2029, 1987.
- [30] J.W.Palmour, J.A.Edmond, H.S.Kong, and C.H.Carter, Jr., “Vertical power devices in silicon carbide,” in Proc. Silicon Carbide and Related Materials, pp.499, 1994.
- [31] James A. Cooper, Jr., Michael R. Melloch, Ranbir Singh, Anant Agarwal, and John W Palmour, “Status and Prospects for SiC Power MOSFETs,” IEEE Transactions on Electron Devices, Vol. 49, No. 4, Apr. 2002.
- [32] 미국 등록특허공보 US6956238호, 공고일 2005.10.18 (미국 크리(Cree)사 특허)
- [33] 미국 등록특허공보 US7427326호, 공고일 2008.09.23 (미국 크리(Cree)사 특허)
- [34] 미국 등록특허공보 US5976936호, 공고일 1999.11.02 (미국 크리(Cree)사 특허)
- [35] 미국 등록특허공보 US6020600호, 공고일 2000.02.01 (미국 크리(Cree)사 특허)
- [36] 미국 등록특허공보 US6610366호, 공고일 2003.08.26 (미국 크리(Cree)사 특허)
- [37] 미국 등록특허공보 US6767843호, 공고일 2004.07.27 (미국 크리(Cree)사 특허)
- [38] 일본 공개특허공보 JP2006-303272호, 공개일 2006.11.02 (일본 미쓰비시(Mitsubishi)사 특허)
- [39] 일본 공개특허공보 JP10-327059호, 공개일 1998.12.08 (일본 히타치(Hitachi)사 특허)

저 자 소 개



배진용 (裴辰容)

1975년 8월 17일 생. 1998년 동국대 전기공학과 졸업. 2002년 동 대학원 전기공학과 졸업(석사). 2005년 동 대학원 전기공학과 졸업(공학박). 2008년 충남대 특허법무학과 졸업(법학석사). 2005년 8월~현재 특허청 사무관.

Tel : 042-481-8503, Fax : 042-485-6428
E-mail : dubjy@kipo.go.kr



김용 (金龍)

1957년 3월 20일 생. 1981년 동국대 전기공학과 졸업. 1994년 동 대학원 전기공학과 졸업(공학박). 1995년~현재 동국대 전기공학과 교수

Tel : 02-2260-3720, Fax : 02-2260-3720
E-mail : kyee@dongguk.edu