

3D IC 패키지를 위한 TSV요소기술

현승민·이창우

大韓熔接·接合學會誌 第27卷 第3號 別冊

2009. 6

3D IC 패키지를 위한 TSV요소기술

현 승 민 · 이 창 우

TSV Core Technology for 3D IC Packaging

Seungmin Hyun and Changwoo Lee

1. 서 론

최근 전자부품의 소형화로 패키지 기술의 경향은 경박단소, 다기능 고집적, 저렴한 비용, 효과적인 열 방출 및 높은 전기적 특성 그리고 고 신뢰성을 모두 만족시키기 위해 발전되고 있다. 기존의 2D 패키징의 경우 칩들 간의 Bonding을 위해 많은 면적이 요구되며 칩간의 전기적 기계적 상호연결은 긴 전기 배선으로 이루어졌다. 이에 따라 기생 커패시턴스와 인덕턴스가 증가하여 낮은 전력소비와 신호의 높은 대역폭(bandwidth) 뿐만 아니라, 잡음 여유도(noise immunity), 칩 디자인의 유연성, 그리고 패키지 비용 등에 있어 많은 한계점을 가진다. 하지만 전자 산업이 발전함에 따라 제한된 면적에 다양한 기능을 가지는 칩들의 집적을 통하여 유연한 디자인 그리고 우수한 성능과 경제성을 추구하고 있다. 이런 산업체의 요구를 만족시키기 위해서는 Fig. 1과 같이 칩들을 수직으로 적층하는 3차원 소자 집적 기술이 해법이라고 판단된다.

3차원 적층은 System On Chip(SOC), System In Package (SIP), Wafer Level Package (WLP), System On Package (SOP), System On Board

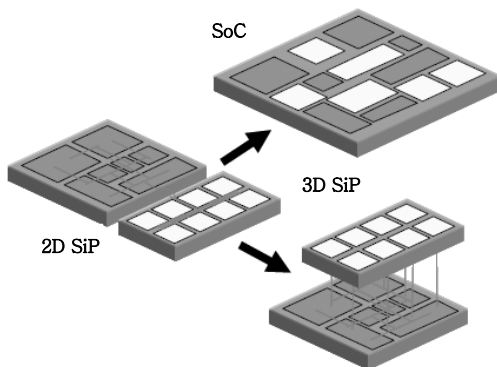
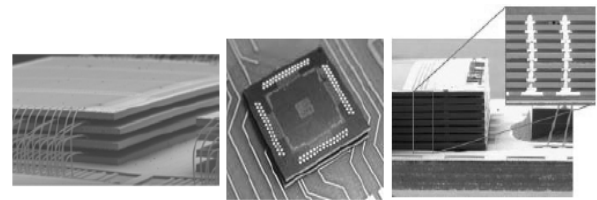


Fig. 1 3D multi chip packaging¹⁾



(a) wires (b) bumps (c) TSV

Fig. 2 3D packaging interconnection²⁾

(SOB) 등의 새로운 Advanced Package에 사용된다. 3차원 소자 집적을 위해서 Fig. 2 와 같이 와이어를 사용하거나, bump 또는 through silicon via (TSV) 를 사용하여 3차원 Package 공정을 하고 있다.

3차원 공정중에서 TSV 공정 기술이 향후 3차원 공정기술로 각광받고 있다. TSV 기술은 칩 내부의 Via 를 뚫고 금속을 채운 뒤 기판을 수십 마이크로 레벨로 얇게 폴리싱 후 칩 간의 전기적, 기계적 연결을 이루는 방법이며, 수평적 2차원 회로 구조와 비교했을 때 신호 지연이 많이 감소되는 것으로 예측된 바가 있다. 3차원 소자의 연속적인 공정을 위해서는 1) TSV 형성, 2) IC 웨이퍼 폴리싱 3) Via Filling 4) 얼라인·Bonding 문제가 모두 해결되어야 한다.

본 연구는 Via Filling 후 Bonding에 관한연구로 TSV에 사용되는 Cu to Cu³⁻⁷⁾, direct oxide⁸⁾, eutectic⁹⁻¹⁰⁾, polymer adhesive bonding¹¹⁻¹³⁾ 등의 Bonding방법에 대해 소개하고 Bonding의 요소기술인 Thin Wafer Handler와 Bonding Head 개발에 대해 설명한다.

2. Bonding 방법

2.1 Cu to Cu bonding

Cu to Cu bonding은 미리 뚫어놓은 via에 Cu을

채우고 열과 압력을 가하는 열-압착 Bonding(thermo-compression bond) 방식이 적용되고 있다. Cu to Cu Bonding은 Fig. 3과 같이 face to face, back to back의 모든 Bonding 방식이 용이하여 다양한 종류의 칩을 쌓을 때 아주 유용한 Bonding 방법이다. Cu는 전기저항이 낮아 RC delay를 효과적으로 감소시킬수 있고, electro migration (EM)에 대한 저항성이 높아 반도체 배선은 물론 고 신뢰성이 요구되는 TSV에도 아주 적합한 재료이다.

Fig. 4은 두 장의 4인치 실리콘 웨이퍼에 Cu를 스퍼터 증착 후 400°C에서 1시간동안 Cu to Cu Bonding 한 FIB 사진으로 충분한 Cu 원자의 확산과 결정립 성장을 통해 Cu 본래의 계면이 사라지고 마치 하나의 박막처럼 Bonding되었다. 또한 adhesion 및 diffusion barrier로 쓰인 Ta와 전혀 금속간화합물(intermetallic compound) 및 보이드(void)를 생성하지 않았다.

Cu는 표면에 두꺼운 Cu 산화막이 존재하는데 Bonding

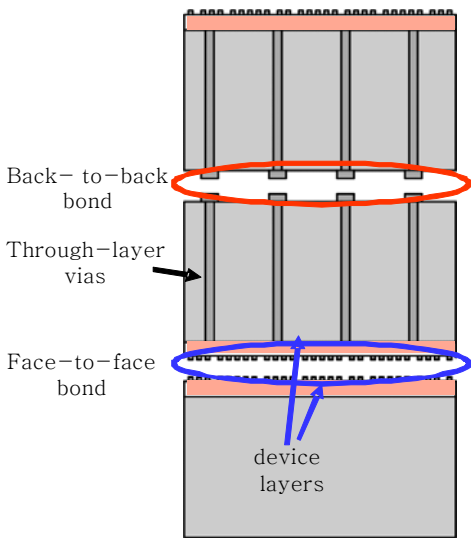


Fig. 3 Schematic of Cu to Cu bonding³⁾



Fig. 4 FIB image of Cu to Cu bonding⁴⁾

을 하기 위해서는 Cu 산화막 아래에 있는 Cu 원자가 Cu 산화막을 뚫고 다른 Cu 층으로 확산이 되어야하는데, 실제 Cu 산화막은 400°C이하의 온도에서는 충분한 활성화 에너지를 제공 받지 못함으로 추가적인 전·후 공정 처리 없이는 완벽한 Bonding을 이루기 어렵다. 실제 실험과 예측한 데이터를 바탕으로 온도에 따른 Cu Bonding 정도와 Bonding된 웨이퍼를 다이싱(dicing) 할 경우 수율과의 상관관계를 보면⁵⁾ 300°C 이하에서는 완전한 Bonding이 되지 않음을 나타내고 있다. 350°C에서 Bonding이 가능하다고 보고되고 있지만, 안정한 Bonding 강도 등을 고려할 때 400°C 이상의 고온 Bonding 공정이 요구된다. 하지만, 칩의 안전성 및 손상방지를 위해서는 300°C이하의 공정 온도가 필요하고, 동시에 Bonding 후 다음 단계 공정을 위해서는 최소 5 J/m² 이상의 Bonding강도가 요구된다. 현재 Cu Bonding 전·후의 추가적인 공정 처리를 통해 공정온도를 낮추는 연구가 활발히 진행 중이다⁶⁻⁷⁾.

2.2 Direct oxide Bonding

Direct oxide Bonding은 아주 정밀하게 폴리싱된 실리콘 소자 웨이퍼와 실리콘 도너 웨이퍼를 온도와 압력을 사용하여 Bonding하는 방법으로써 표면 세척공정과 플리즈마 처리를 통해 표면을 친수성으로 만들고 미세 입자들을 제거 후 고온에서 열처리를 통해 완성된다. Fig. 5는 두 장의 실리콘 웨이퍼 사이의 Bonding 원리를 보여주는 것으로 친수성인 두 웨이퍼를 어닐링시켰을 경우 산소의 강한 공유결합으로 인해 Bonding이 완성되는 것을 알 수 있으며, 어닐링 온도가 증가할수록 Bonding 강도는 비례적으로 증가하는 것으로 나타나 있다.

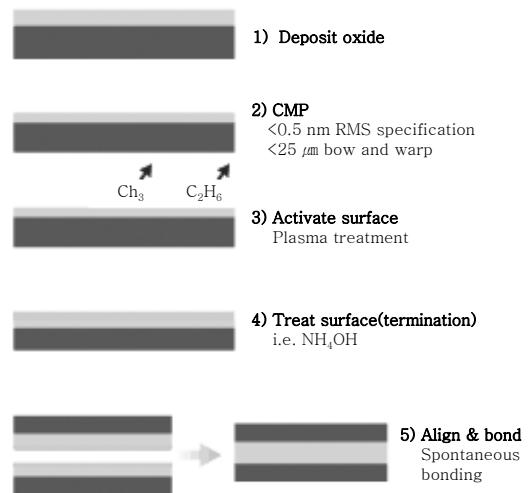
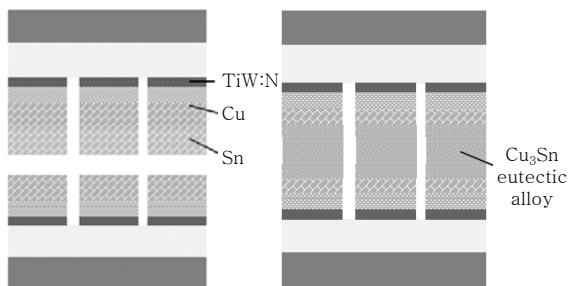


Fig. 5 Direct oxide bonding sequence⁸⁾

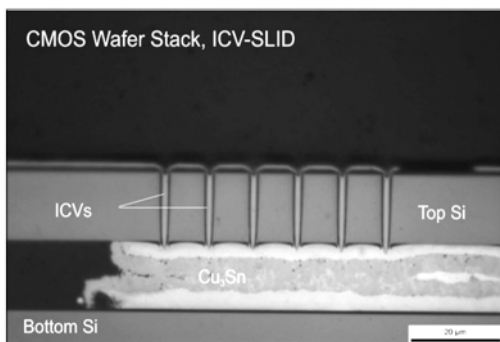
Bonding 시 표면의 평탄화, 화학적 상태가 Bonding 상태를 결정짓는 큰 요인으로 것으로 보고되어 있으며, 표면의 미세 입자나 돌기들이 존재 할 경우 Bonding 공정이 완료되면 Bonding부에 보이드를 생성하게 되며 어닐링을 유지하더라도 소멸되지 않는다. 따라서 Direct oxide bonding 을 하기 위해서는 4인치 웨이퍼 기준으로 표면 조도(RMS) 값은 nm 수준의 평탄도와 매우 낮은 웨이퍼 휨 정도가 요구된다.

2.3 eutectic bonding

Eutectic bonding은 낮은 융점의 재료를 사용하여 웨이퍼 또는 칩들을 저온에서 Bonding시키는 방법이다. 금속간화합물 (intermetallic compound)을 형성 하면서 Bonding이 이루어지며 Si/Au 또는 Cu/Sn Bonding등이 많이 사용되고 있다. 3D packaging에서 eutectic bonding 방법으로 가장 잘 알려진 방법은 Fraunhofer에서 제안된 SLID (Solid-Liquid-Interdiffusion) bonding이다(Fig. 6)⁹⁾. 수 마이크론 두께의 융점이 낮은 금속 중간막 (Sn)을 Cu 박 사이에 형성한 후, 260°C정도 에서 액체 상태로 만들어서 Cu와 Sn의 금속 화합물을 형성한다.



(a) Schematic of Cu Sn interdiffusion



(b) 3D integrated CMOS device stack

Fig. 6 Cu to tin eutectic bonding for 3D packaging¹⁰⁾

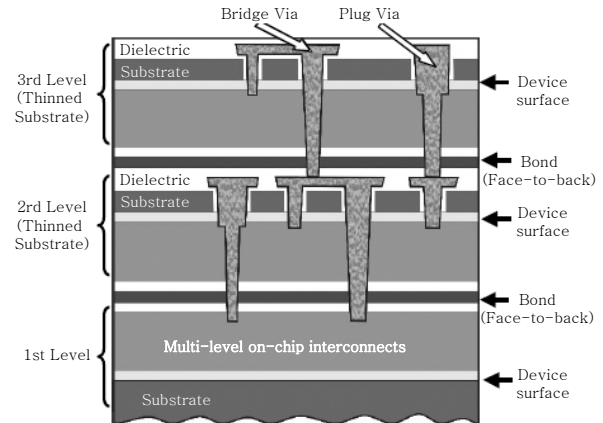


Fig. 7 3D integration scheme using Dielectric [BCB (ben-zocylcobutene)] bonding¹²⁾

2.4 Adhesive bonding

Adhesive Bonding 은 표면 거칠기에 민감하지 않고 낮은 온도에서 공정이 용이하고, 다른 반도체 제조 공정과의 호환성이 있어 많이 사용되고 있다. Fig. 7은 3D Packaging 공정에서 사용되는 Adhesive (또는 dielectric) Bonding을 보여 주고 있다.

최근에 많이 연구 되고 있는 Adhesive Bonding은 많은 장점들이 있지만, Adhesive 재료의 물성이 잘 알려져 있지 않아 온도와 환경에 따른 신뢰성 문제가 제기되고 있다. 이외에 Adhesive Bonding은 3D integration시 얇은 chip 또는 wafer 이공정 가공시 임시 Bonding (te임시 rary bonding) 방식으로 많이 사용되고 있다. 임시 Bonding방식으로 사용되는 adhesive는 carrier wafer와 Device Wafer 사이에 Bonding을 형성하여, 얇은 Chip 형성 공정이 가능하게 한다¹³⁾.

3. Bonding 장비 요소기술

3.1 Thin wafer handler

TSV는 3차원적으로 Bonding에 의해서 적응하는 기술이다. 때문에 Thin Chip을 적응하지 않으면 최종적인 Package가 너무 두껍게 된다. 또한 Chip의 성능이 고성능화 되면서 많은 I/O 단자를 갖게 되어 많은 Via를 가져 Via의 직경이 작아진다. 이때 Chip의 두께가 두꺼워 지면 높은 Aspect Ratio의 Via를 형성하고 채워야 한다. 이것은 기술적으로 매우 어려운 공정으로 이러한 면에서도 Thin Chip을 Bonding하는 것이 유리하다. 그러나 Bonding 공정에서 Thin Chip을 취급하는 것은 어려운 일이다. 특히 Thin chip이 웨이퍼

상태로 있으면 더욱 어렵게 된다. 기존 웨이퍼는 Handler는 진공 groove를 사용하였다. 그러나 50 μm 내외의 Thin wafer의 경우는 국부적인 진공에 의해서 웨이퍼의 손상이나 변형이 발생한다. 이러한 문제점을 해결하기 위해서 정전기를 이용한 방법이 제안되었으나 신뢰성 문제로 잘 사용되지 못하고 있다. 본 연구에서는 기존의 진공 방식을 그대로 사용하되 웨이퍼의 변형이나 파손을 방지하기 위해서 다공질 Picker를 제안하였다. 다공질 Picker는 국부적으로 힘이 집중되는 진공 Groove를 많은 기공을 이용하여 Picking Force를 유지하면서 힘을 분산시켜 응력집중을 해소하였다. 다공질을 형성하는 방법에 따라서 금속입자를 소결시켜 만드는 방법과 기계 가공에 의한 방법으로 제작하였다.

Fig. 8은 Cu 입자를 소결시켜 만든 다공질 Picker이고 Fig. 9는 직경이 0.7 mm이고 피치가 1.4 mm로 기계 가공된 다공질 Picker를 나타낸다. Cu 입자를 소결시켜 만든 다공질 Picker는 가격이 저렴하지만 기공의 형성이 임의로 형성된다.

Fig. 10은 다공질 Picker의 내부구조를 나타낸다. 4개의 Chamber로 구성되며 각각의 Chamber는 작은 Slit에 의해서 연결되며 진공은 중심부에 구멍에 의해서 외부 진공 이젝터와 연결된다. 나머지 작은 3개의 구멍은 각 Chamber의 진공압을 측정하기 위해 진공개이지가 장착된다. 다공질 Picker의 내부 몇 개의 Chamber 형식으로 구성 하게 되면 진공이 중심부로부터 전파되는 형식이 된다. 이렇게 되면 전체가 하나의 Chamber인 경우에는 Wafer와 Picker가 정렬이 잘못되거나 Wafer가 충돌에 의해서 들릴 경우 Picker 전

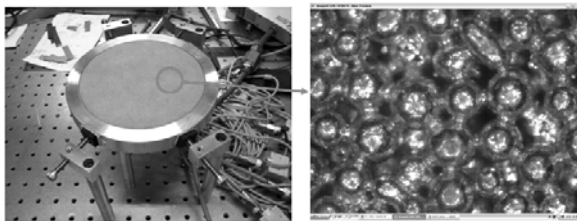


Fig. 8 Cu particle sintering porous picker

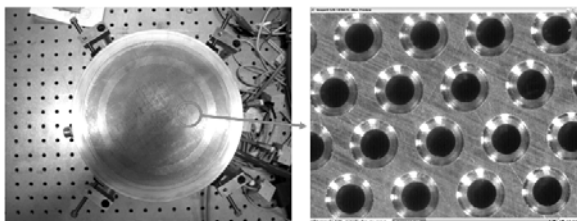


Fig. 9 Machining porous picker

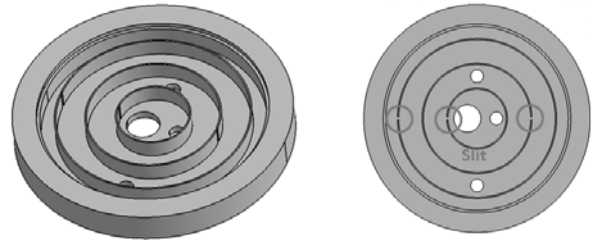
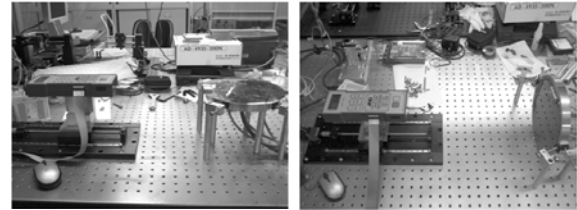


Fig. 10 Porous picker inside structure



(a) Sear force (b) Normal force

Fig. 11 Measuring porous picker picking force

체에 기공이 있어서 외부공기가 흡입되어 진공도가 급격히 떨어지고 이것은 Picking Force를 저하시켜 Wafer와 Picker를 이탈시켜 더 많은 공기가 Chamber 내로 유입되어 Picking Force를 더욱 저하시켜 결국은 Wafer가 Picker에서 분리된다. 그러나 본 연구에서 제안한 것처럼 내부를 몇 개의 Chamber로 구성하면 Wafer와 Picker의 이탈이 되었을 경우에도 일정한 Picking Force를 유지한다.

Fig. 11은 Picking Force를 측정하기 위한 측정 장치를 나타낸다. Force Sensor가 Wafer와 연결된 Wire를 단축 스테이지에 의해서 이송된다. Force Sensor는 200 N까지 측정가능한데 8 inch Wafer Sear Force의 경우는 단축 스테이지의 모터에 과부하가 걸려 측정이 어려운 상태로 150 N 이상의 Picking Force를 나타내었고 Normal Force의 경우는 Wafer가 실험도중 파손될 만큼 충분한 Picking Force를 나타내었다. 또한 다공질 Picker의 내부 Chamber의 성능을 평가하기위해서 Picker와 Wafer의 정렬시키지 않고 외부의 공기가 진공 Chamber로 유입되도록 실험하여도 Picker와 Wafer가 분리되지 않고 만족할 만한 Picking Force를 유지하여 유용성을 확인하였다.

3.2 Bonding head

TSV Bonding 공정 주로 사용되는 열-압착 Bonding (thermo-compression bond) 방식은 Bonding 하려는 Chip이나 Wafer Bonding 면에 수직인 힘을 가해야한다. 만약 그렇지 못하면 Bonding이 불균일하게 일

어난다.

특히 Wafer나 Chip이 얇은 경우에는 불균일한 Bonding이 이루어짐은 물론 Wafer나 Chip의 파손까지 우려된다. Bonding Force와 Bonding 면이 수직을 유지하는 것은 기계정밀도에 의해서 좌우된다. 본 연구에서는 기계정밀도에 영향을 받지 않고 일정한 Bonding Force와 Bonding 면에 수직을 유지할 수 있는 기구를 설계하였다. Fig. 12는 Bonding Head를 성능을 평가하기 위한 장치이다. 3개의 Load Cell을 장착하고 있으며 Load Cell은 나사에 의해서 높이를 조절할 수 있어 상판의 각도를 조절할 수 있다. 그리고 Load Cell 위쪽에 Ball을 이용한 Kinematic Base를 구성하였다.

Fig. 13은 기존 방법을 사용하여 압력을 가했을 때 실험결과를 나타낸다. 실험방법은 3개의 Load Cell에서 중앙에 있는 Load Cell을 5 Kgf 단위로 증가시켰을 때 나머지 두개의 Load Cell에 나타나는 힘을 Load Cell의 높이를 조정하여 임의의 5가지 경우를 측정하였다. Fig. 13에 보여진 것처럼 반복능이 전혀 나타나지 않고 Load Cell의 높이에 의해서 결정되는 상판의 방향에 따라서 불균일한 Bonding Force를 나타낸다.

Fig. 14는 본 연구에서 제안한 Uniform bonding head의 구조를 나타낸다. 구조는 매우 간단하다 Ball을 이용한 피스톤 구조이다. 하부는 4각뿔 형상으로 가공하여 Z축 방향으로 회전을 구속시킨다. Ball은 피스

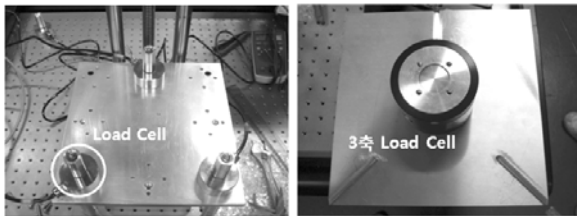


Fig. 12 Experiment setup for pressing force

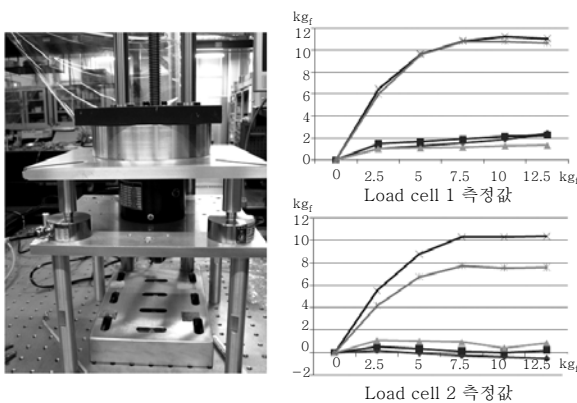


Fig. 13 Experiment result for conventional press



Fig. 14 Uniform bonding press head

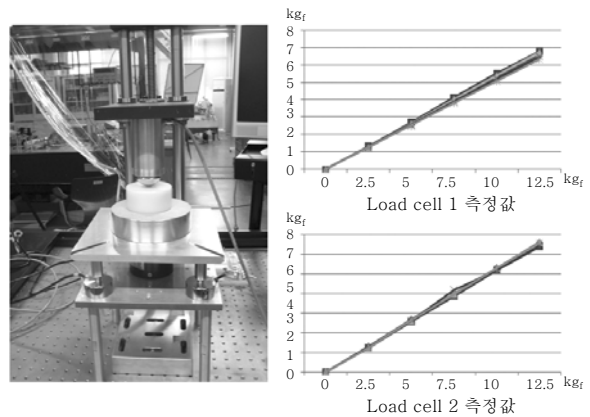


Fig. 15 Experiment result for uniform bonding press

톤 내에서 강체가 가지는 3가지 각운동이 자유롭게 된다. 특히 상부의 노즐에 의해서 공압이 공급되면 공압 베어링 형태가 되어 무 마찰 상태로 자유롭게 회전된다. 이러한 구조 때문에 Bonding Force를 증가하는 축과 Load Cell의 상판이 수직이 아니어도 Ball의 회전 운동으로 수직을 유지하게 된다. Fig. 15는 Uniform Bonding Head를 장착하고 Fig. 13과 동일한 방법으로 실험 했을 때의 결과를 나타낸다. Fig. 13과 비교하여 매우 좋은 반복정밀도를 가지고 있다. 또한 기존 방법은 Bonding Force를 조절하기 어려웠지만 Uniform Bonding Head는 공압만 조절하면 쉽게 Bonding Force를 조절할 수 있다.

4. 결 론

TSV Bonding 공정에 사용되는 4가지 Bonding 공정의 특성과 Bonding 장비의 요소기술인 Thin Wafer Handling 기술과 Uniform Bonding Head의 설계와 성능 평가를 소개하였다. Thin Wafer Handling 기술과 Uniform Bonding Head 기술은 기본적인 성능은

만족한 수준으로 상용화를 위한 연구를 수행할 것이다. 향후계획으로는 다공질을 이용한 Thin Wafer Handling 기술은 진공과 공압을 사용하여 무 마찰 상태로 Picking 하는 연구를 수행하여 Wafer에 손상이 없는 Picker를 개발하고 Uniform Bonding Head는 소형화를 통하여 Adhesive를 이용한 Flip Chip Bonding에도 적용할 계획이다.

후 기

본 연구는 지식경제부가 지원하는 국가연구개발사업인 "협동연구사업"에 의해 수행되었습니다.

참 고 문 헌

1. J. C. Eloy, et al., "Advanced Packaging", Yole Development, Lyon, France (2006).
2. Bio Kim. "3D integration with TSV technology" SEMI Technology Symposium (STS) (2009)
3. C.V Thompson Materials Research Society (2007)
4. C.S Tan, et. al. Electrochemical and solid-state Letters, 8 G147-G149 (2005)
5. K.N Chen et. al. Journal of electronic materials **Vol. 35**, (2006)
6. K.N Chen et.al. Journal of ELECTRONIC MATERIALS, **34-12**, 1464 (2005)
7. C.S. TAN et. al, Journal of ELECTRONIC MATERIALS, **34-12**, 1598, (2005)
8. Paul Enquist and Chris Sanders, "3D IC Technology: Interconnect for the 21st centry" Advanced Packaging online article.
9. Klumpp, A. Merkel, R., Ramm,P. Japanese Journal of Applied Physics, **43**, (L829-L830).
10. Wolf, M, Ramm P., Klumpp A., Fraundofer IZM, EMC 3D symposium)
11. F. Niklaus et. al. Journal of Applied Physics, 99, 031101 (2006)
12. Y. Kwon et.al. MRS symp. Proc. **Vol. 766** (2003)
13. Bio Kim et. al SEMI Technology Symposium (2008)



- 현승민(玄承珉)
- 1969년생
- 한국기계연구원 나노융합기계연구본부 선임연구원
- 패키지 신뢰성, Bonding 공정
- e-mail : hyun@kimm.re.kr



- 이창우(李暢祐)
- 1967년생
- 한국기계연구원 지능형생산시스템연구본부 책임연구원
- Bonding 공정, Thin wafer handler
- e-mail : lcwlej@kimm.re.kr