

3차원 패키징 기술개발에 따른 PoF 기반 가속 실장수명 예측

홍원식·오철민

大韓熔接·接合學會誌 第27卷 第3號 別冊

2009. 6

3차원 패키징 기술개발에 따른 PoF 기반 가속 실장수명 예측

홍원식·오철민

PoF Based Accelerated Life Prediction with 3 Dimensional Packaging Technology Development

Won Sik Hong and Chul-Min Oh

1. 서 론

휴대용 전자정보기기의 사용이 증대됨에 따라 소비자는 더욱 다양한 기능을 요구가 증대되고 있다. 이에 따라 휴대폰, 디지털 카메라, 오디오 플레이어, PDA (Personal Digital Assistants), PMP (Portable Multimedia Player) 등과 같은 휴대용 전자제품은 더 작고, 가벼운 제품개발이 진행되고 있으며, 이를 위해 전자부품의 경박 단소화가 동시에 이루어지고 있다. 전자부품의 고기능과 소형화를 위해 BGA (Ball Grid Array), Flip Chip, CSP (Chip Scale Package) 등 패키징 기술개발은 급속히 진행되고 있고, 최근에는 TSV (Through Silicon Via)와 같은 3차원 적층 패키지 (3 Dimensional Stacked Die Package) 개발과 여러 개의 능동 및 수동 소자를 하나의 패키지 안에 집적화하는 SIP (System In Package)와 같은 부품개발이 급격히 증가하고 있다¹⁻⁶⁾. 특히 3D 패키징 기술은 웨이퍼를 적층하여 집적도를 향상시킨 것으로써 적용분야가 모든 전자제품에 적용될 수 있어 그 역할이 기대되고 있다. 따라서 본 연구에서는 패키지 기술개발 동향과 3D 패키지 기술 및 개발 동향에 대해 기술하였다. 또한 3D 패키지를 포함한 전자 패키징 부품의 상용화에 가장 중요한 실장 신뢰성에 대해 기술하였으며, 특히 고장물리 (Physics-of-Failure, PoF)에 기반한 고장 메카니즘(Failure Mechanism) 규명 및 이를 적용한 가속수명 (Accelerated Life) 모델 적용과 실험방안에 대하여 제안하였다.

2. 3D 패키지 기술개발 동향

2.1 전자 패키지 기술동향

전자 패키지는 좁은 의미로 능동소자와 수동소자를

포함한 외형의 구조물을 총칭하며, 넓게는 인쇄회로기판 (Printed Circuit Board, PCB)에 실장하는 공정과 응용 시스템의 구성까지 포함하는 전기적 하드웨어를 지칭한다⁷⁾. 전자 패키지의 형태는 초기 삽입형 (Pin Through Hole, PTH) 패키지로부터 표면 실장형 (Surface Mount Device, SMD) 패키지로, 단일 칩 패키지 (Single Chip Package, SCP)에서 다중 칩 패키지 (Multi Chip Package, MCM)로 진화를 계속하고 있다. '90년대 후반부터 크기 및 성능이 향상된 다양한 형태의 CSP, WLP (Wafer Level Package)가 개발되었으며, 이러한 패키지는 패키지의 면적이 반도체 칩 면적의 120%를 초과하지 않는 공간 효율이 향상된 구조를 갖고 있다⁷⁾. 최근에는 시스템 기능을 통합하여 하나의 칩으로 구현하는 SoC (System on Chip) 패키지의 적용이 상용화 되었으나, 개발기간이 길고, 회로설계의 자유도가 낮은 단점을 지니고 있었다. 이를 보완하기 위한 기술로 3D 적층구조를 적극적으로 활용한 SiP (System in Chip) 혹은 SoP (System on Package) 개념을 도입함으로써 소비전력의 효율성과 실장밀도를 최대화 하는 노력이 진행되고 있다. Fig. 1은 독일 IZM의 Reichl⁹⁾에 의해 발표된 차세대

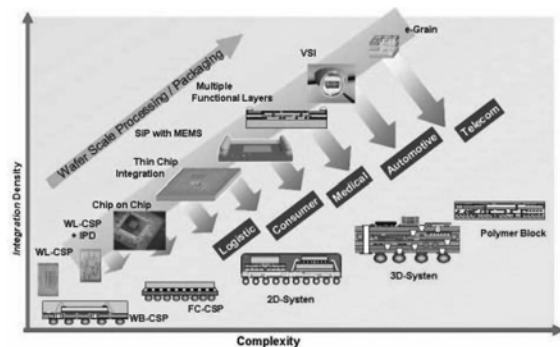


Fig. 1 Next generation packaging technology roadmap⁸⁻⁹⁾

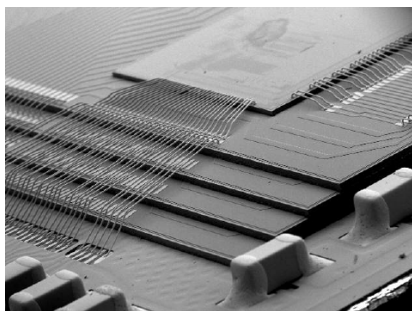
패키징 기술의 개발동향을 인용한 것이다. 향후 실장밀도의 증가와 기능 및 구조의 복잡성은 꾸준히 증가하는 추세임을 알 수 있다. 그러나 3D 구조로 변화할수록 부품의 신뢰성을 보장하기란 더욱 어려워진 실정이며, 보다 자세한 내용은 2.3절에 기술하였다.

2.2 3D 패키징 기술

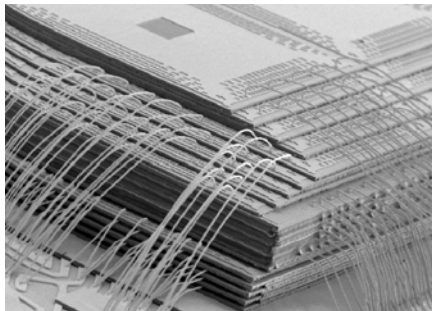
휴대용 전자제품의 다양한 기능의 요구는 전자기기의 실질적인 크기는 줄이면서도 더 많은 메모리 용량을 요구함에 따라 크기를 늘리지 않으면서도 메모리 용량을 늘리는 것과 같은 수요에 대응할 수 있는 패키지 기술이 바로 3D 패키지 기술이다¹⁰⁾. 최근 몇 년 동안 새로운 패키지들의 형태 요소 측면에서 패키지의 길이와 너비가 지속적으로 줄어들었다. 근래에 통신과 컴퓨팅 시장의 폭발적인 성장에 따라 휴대용 기기 또한 대중적인 제품으로 자리를 잡게 되었으며, 이와 함께 IC의 길이와 너비 뿐 아니라, 높이를 줄이는 일이 대단히 중요한 과제로 자리 잡게 되었다. 이러한 수요에 대응하여, 패키지 제조업체에서는 3D 패키지 기술을 개발해 오고 있다. 3D 패키지는 한 개의 패키지 내에 2개 이상의 다이(Die)를 쌓아 올리거나, 이미 완성된 개별 패키지를 쌓아 올려 제조한다. 이때 부품을 쌓게 되면, 두께의 감소효과가 작아지게 됨에 따라 비아를 이용하여 Die를 직접 적층하는 TSV 공법을 이용한 패키지 개발이 활발히 진행되고 있다^{8,10-14)}. Fig. 2는 3D 패키지

의 적층 사례를 보여주는 사진이다. TSV 기술은 반도체의 웨이퍼 상에 비아를 형성하고, 비아에 Cu와 같은 전도체를 채워 Chip을 서로 연결하는 것을 개념으로 하고 있다^{5,15)}. TSV를 이용한 Chip의 3D 적층은 Chip간의 시그널이 substrate를 통과하지 않고 직접 연결됨에 따라 고주파 동작을 하는 고성능 device에 적합하며, 공간적 제약의 극복과 열적 소멸의 효율을 극대화할 수 있는 기술이다¹⁵⁾.

3D 패키지의 장점¹⁰⁾으로는 각 기기의 특성에 따라, 패키지 차원에서 서로 다른 솔루션이 필요하게 된다. 따라서 시장의 다양한 필요에 대응하기 위해 다양한 3D 패키지의 기술적 솔루션이 제공 될 수 있다. 또한 주어진 평면 공간에서 더 많은 기능을 구현할 뿐 아니라, 입체적으로도 더 많은 기능을 구현 크기와 무게 측면에서 대폭 감소함으로써 얇은 패키지로 패키지비용과 부품 수의 감소가 가능하며, 한 개의 패키지에 두개 이상의 칩을 집적화함으로써 기기의 보드에 실장할 부품이 줄어들게 되고 결과적으로 전체적인 시스템 제조비용을 절감할 수 있다. 또한 기존의 원재료와 제조, 조립 공정을 그대로 사용하면서 동시에 한 개의 패키지로 처리됨에 따라 조립과 테스트 등의 처리 비용 감소로 패키지전체 비용이 감소될 수 있다. 시스템 수준에서 볼 때, 저 집적도의 실리콘 구조에 대해 어렵고 복잡한 구조의 디자인이 불필요하게 됨에 따라 시스템 수준의 비용이 감소하고, 주문형 반도체 (ASICs)와 기성품인 메모리 (commodity memory devices)의 조합에 있어 유연성이 극대화 된다. Die와 Die를 직접 연결함으로써 기존에 시스템보드에서 이루어지던 회로의 복잡성을 감소시키고 패키지의 I/O 까지 감소하게 된다. 마더보드의 크기, 신호의 전달경로 그리고 부품 수의 감소를 통해 전체 시스템의 크기 감소, 패키지 풋프린트 (footprints) 감소로 인해 시스템 수준의 사이즈 감소가 가능하게 된다. 결국 시스템의 성능을 향상시키고, 소비전력을 감소하게 되며, 시장대응에 대한 설계적 측면의 유연성이 극대화 되는 다양한 장점을 가지고 있다¹¹⁾. 이러한 장점으로 인한 3D 패키지는 마이크로 프로세서, 메모리, SoC 등과 같은 분야에 활용되고 있다.



(a) Substrate Base SiP of SPIL⁸⁾



(b) Amkor Technology¹⁰⁾

Fig. 2 Photographs of 3D package components

2.3 신뢰성 측면의 3D 패키징

신뢰성과 제조 측면에서의 3D 패키징은 Microwarming, 전력과 시스널 라우팅 및 낮은 생산성 및 Rework이 어려운 단점을 가지고 있다. 그 중 Microwarming은 3D 패키징의 대표적인 한계이다^{11,12)}. 이것은 부품의 밀집도가 증가함에 따라 디지털 전자제품의 고질적 문제이기도 하지만, Die 적층에 의한 열적인 문제는

PCB 실장 후 여러 가지 접합 신뢰성의 문제를 야기하는 원인이 될 수 있다. 따라서 3D 패키징을 적용하는 경우 시스템적인 냉각 설계가 동시에 고려되어야 할 것으로 보인다. 사용 중 발생된 열은 적층된 Die와 범프의 열팽창계수 (Coefficient of Thermal Expansion, CTE) 차이 (Mismatch)를 유발함으로써 적층된 접합 계면에 스트레스를 유발하게 된다. 또한 PCB 실장 후 접합부에서는 부품과 기판 그리고 접합재와의 CTE 차로 인한 보드 레벨의 신뢰성적 문제가 야기될 수 있다. 열적 스트레스에 대한 신뢰성 문제 외에 또 하나 고려되어야 할 것이 기계적 신뢰성이다. 최근의 전자제품은 휴대용으로 사용되고 있기 때문에 소비자의 사용 중 발생하는 낙하, 충격 등에 의한 신뢰성, 그리고 보드 레벨의 접합신뢰성에 영향을 미치는 크립, 피로 등으로 인해 유발되는 고장에 대하여 신뢰성적 측면의 검증과 수명예측이 요구된다. 따라서 3D 패키지뿐만 아니라 패키지 부품의 적용에 있어 실사용 조건에서 문제가 되는 신뢰성의 검증과 제품의 사용수명 기간 동안 패키징 및 패키지 접합부에서의 신뢰성을 검증하고 보증할 수 있는 가속수명시험 (Accelerated Life Test, ALT)이 요구된다.

3. PoF 기반 가속 수명예측

3.1 PoF 기반 고장모드 및 고장 메카니즘 해석

패키지 부품의 ALT를 위해서는 실사용 조건의 가속성을 보장하기 위한 가속모델이 필요하며, 가속모델을 설계하고 방법을 개발하기 위해서는 필드 고장에 대한 명확한 이해가 요구된다. 필드의 고장에 대한 고장모드 (Failure Mode)와 고장 메카니즘 (Failure Mechanism)을 분석하기 위해 필요한 것이 바로 고장물리 (PoF)이다. PoF는 제품의 신뢰성 측면에서 스트레스와 결함 (Defect)의 평가, 근본원인 고장분석 (Root Cause Analysis, RCA)을 포함하는 방법론적 접근방안을 지칭하는 것이다. 결국 PoF란 부품이나 제품의 Failure를 유발하는 Defect나 Stress의 원인을 물리적, 공학적 이론에 근거하여 근본적인 고장원인을 분석하고 평가하는 방법론을 의미하며, 이러한 고장원인분석 기법을 토대로 제품 개발단계에서부터 폐기될 때까지 거치게 되는 설계, 제조, 조립과 같은 모든 과정의 문제점을 해결하고, 최적조건을 제시하며, 운송, 저장 및 소비자 사용 중에 발생할 수 있는 잠재적인 제품의 고장을 도출하여 설계에 반영할 수 있도록 하는 방법을 의미한다. 신뢰성을 보장하기 위해서는 제품의 고장이 어떻게 발생했는지를 알아야 하며, 이것은 제품이 어떤 기능을

수행하고 있는지를 파악함으로써 알 수 있게 된다.

PoF 기반의 고장원인분석은 고장발생에 대한 근본원인을 물리적 이론에 기초하여 고장의 발생 과정을 밝힘으로써, 제품의 설계개선의 근거자료로 사용된다. 따라서 제조공정에서의 품질 (Quality) 관리와는 차별화된 과학적 접근방법으로 지칭할 수 있다.

필드의 수명을 정확히 예측하기 위해 가장 중요한 것은 실사용 조건에서의 패키지 부품의 고장모드와 메카니즘을 규명하는 것이다. Fig. 3은 제품이 사용환경 동안에 시간에 따라 고장발생의 변화 추이를 나타낸 욕조곡선 (Bathtub curve)¹⁶⁾이다. 제품 사용 초기에는 시간에 따라 고장율 (Failure Rate)이 감소하는 초기 고장 (Infant Failure) 기간이며, 이후 고장율이 일정하게 되는 우발고장 (Incidental failure) 기간이 나타나며, 이후 수명이 다하여 고장율이 자연적으로 증가하게 되는 마모고장 (Wearout failure)으로 구별할 수 있다.

고장이란 제품 (Products)의 사용환경 및 성능한계의 범위 내에서 요구되었던 기능을 발휘할 수 없는 경우 고장이라 정의한다. 고장원인분석은 전자모듈의 설계결함 (Design Defect)이나 제조결함 (Manufacturing Defect)에 의해 가장 취약한 부분에서 발생할 수 있는 잠재고장을 검출하는 방법으로써 제품의 상용화 개발을 위해 필요한 개발과정 중 하나이다. 고장원인분석을 통해 고장모드와 고장 메카니즘을 규명할 수 있다. 고장모드는 고장이 발생한 최종적인 형태로써 정의되며, 단선 (Open), 단락 (Short), 변화 (Drift)로 구별할 수 있고, 고장 메카니즘은 고장모드를 유발하는 일련의 과정을 설명하는 이론적 발생 원인이 된다. Fig. 4는 제품에서 발생하는 고장 메카니즘을 분류한 것이다. 고장원인에 따라 Overstress와 Wearout로 분류되며, 각각은 열적 전기적, 기계적, 화학적 고장메카니즘으로 1차 분류할 수 있고, 고장을 유발하는 물리적 원인에 대한 것으로 2차 분류를 하게 된다. 열적 스트레스에 의

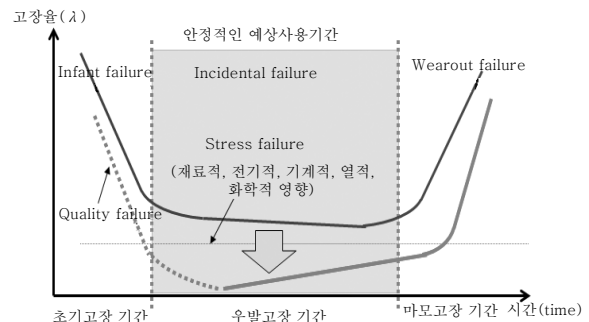


Fig. 3 Time-dependant failure in semiconductor device failure rate (Bath-Tub curve)¹⁶⁾

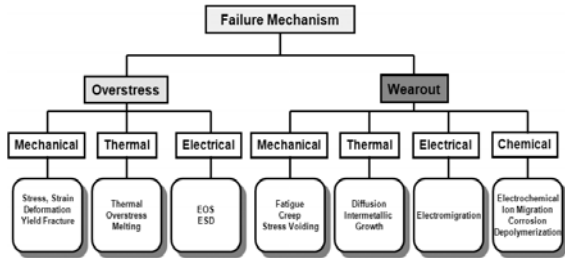


Fig. 4 Classification of failure mode and failure mechanism¹⁹⁾

한 고장 메카니즘으로는 확산, 금속간화합물의 성장, 용융 등이 있고, 기계적 스트레스로는 피로, 크립, 스트레스 보이드, 항복과괴, 변형 등이 있다. 화학적/전기화학적으로는 전기화학적 이온마이그레이션, 부식, 고분자 열분해 등이 있으며, 전기적으로는 EOS, ESD와 같은 스트레스가 있다. 이외에도 패키지에 발생하는 들뜸 (Delamination)은 온도, 습도, 압력에 의한 스트레스가 작용하여 발생되기도 한다. 한 예로써, 패키지 자체의 고장원인으로는 내부회로의 단선 또는 패키지과 Die 계면의 Delamination이 발생할 수 있고, 이때의 스트레스 인자는 온도, 전압, 압력이 선정된다. 그러나 실장상태의 패키지 고장원인이 솔더 접합부라면 기계적 스트레스에 의한 피로, 크립 등이 원인이 될 수 있어, 부품 자체의 스트레스 도출 인자가 다르게 된다. 그러므로 가속인자를 무엇을 할 것인가에 대한 결정의 중요 근거는 바로 고장원인분석 결과가 된다. 그러나 실제 사용 환경에서는 하나의 스트레스 인자로 인해 고장까지 유발되기는 장시간 소요되며, 대부분 복합된 스트레스로 인해 고장이 가속화 된다. 따라서 여러 복합된 스트레스의 결과로 발생한 고장을 인자별로 구분하고, 그 원인의 증거를 확보하는 것이 중요할 것이다. 결국 고장원인분석을 통해 고장모드와 고장 메카니즘을 규명하고, 이로부터 고장을 유발하는 스트레스 인자를 도출하여야 가속모델을 결정할 수 있게 된다¹⁶⁻¹⁹⁾.

3.2 PoF 기반 가속수명 예측

기존 전자제품에 대한 신뢰성 정보는 제품의 필드 사용조건으로부터 이미 존재하게 된다. 그러나 새로운 개념의 제품이 개발된 경우, 고장발생에 대한 원인은 존재하지 않으며, 사용자 조건에서의 제품수명에 대한 자료 또한 존재하지 않는다. 그러나 신제품에 대한 상용화를 위해서는 신뢰성 데이터의 확보 및 수명을 반드시 검증해야 하고, 따라서 신제품에 대한 새로운 시장창출을 위해 개발품에 대한 수명 및 신뢰성 데이터의 확보는 무엇보다 중요한 개발조건일 것이다. 신개념의 새로

운 전자제품에 대한 신뢰성 확보를 위해 PoF 개념을 적용하여, 개발품에서 발생 가능한 여러 고장모드를 체계적으로 분류하고, 고장 메카니즘을 재료적, 기계적, 전기적, 전기화학적 이론에 근거하여 규명함으로써 새로운 패키지의 수명평가가 가능하게 된다.

ALT란 정의를 KS A 3004의 규격에 의해 설명한다면, 시험시간을 단축할 목적으로 제품의 성능한계 내에서 일반적인 사용조건외의 기준보다 가혹한 조건에서 실시하는 시험을 의미한다. 따라서 가속수명시험은 실제 전자모듈이 제품화 되어 사용되는 일반적인 사용조건보다 가혹한 스트레스(온도, 습도, 진동, 전압, 전류 등) 인가한 조건 또는 사용 비율을 가속하여 시험함으로써 단시간 내에 제품의 설계 완성도를 평가하거나 수명 또는 신뢰도를 평가함으로써 제품의 수명을 예측할 수 있는 가장 중요한 시험 중 하나이다. Fig. 5는 가속 시험의 개념을 설명한 그래프로써 사용시간에 따른 제품의 강도나 스트레스와의 관계를 나타낸 것이다. 초기 제품에는 사용환경의 스트레스와 제품이 견딜 수 있는 강도 사이에 안전율이 존재하지만 사용시간이 경과함에 따라 제품의 강도는 감소되어 결국 인가되는 스트레스의 영역과 만나게 되며, 이때 제품에서는 파괴 즉, 고장이 발생하게 되는 것이다. Fig. 6은 Evans²⁰⁾이 제안한 신뢰성평가 및 가속수명시험을 위한 절차를 나타낸 개략도 이다. 초기 부품과 기술에 대한 정의 후 품질기능전개 (Quality Function Development, QFD) 방법을 이용하여 필드의 고장을 분석함으로써 고장모드와 고장 메카니즘을 도출한다. 이로부터 고장을 유발하는 스트레스 인자를 도출하고, 이를 적용한 가속모델을 수립한다. 확정된 가속모델에 따라 ALT를 고장발생까지 수행하여 고장 샘플을 획득한다. 최종적으로 ALT 고장샘플의 고장모드와 고장 메카니즘을 분석하여 필드의 그것과 비교하여 일치하는 경우 ALT 시험을 완료하게 되며, 최종적으로 AF와 제품의 수명을 예측할 수 있게 된다.

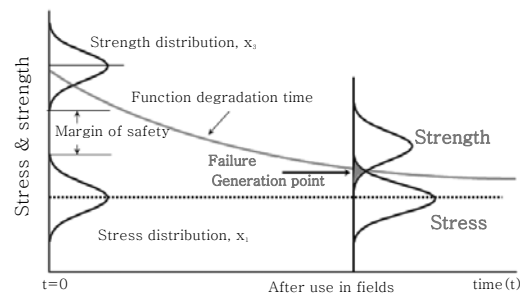


Fig. 5 Relationship between use period and stress/strength in electronic packaing

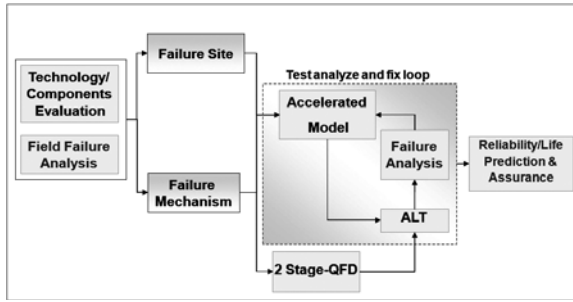


Fig. 6 Schematic diagram of reliability assessment procedure²⁰⁾

3.3 가속모델을 이용한 가속수명시험

ALT를 통해 실사용 조건에서의 수명을 추정하기 위해서는 수식화된 모형이 필요하며, 이 모형을 가속모델이라 한다. ALT 모델은 스트레스 인자를 적용하여 제품의 고장을 단시간에 유발하기 위한 기준이 되는 것으로서, ALT 조건에서의 데이터를 분석하기 위한 수명 분포와 가속조건에서의 신뢰성정보를 사용조건으로 외삽하기 위한 수명-스트레스 관계로 구성된다. 예를 들으면, 수명분포가 지수분포를 따르면 아레니우스(Arrhenius) 모델을, 와이블 분포를 따르면 역승모델(Inverse Power Model)을 적용하게 된다. 특히 온도 스트레스인 경우 아레니우스(Arrhenius) 모델을 수명-스트레스 모델로 적용하게 된다. 아레니우스 모델은 다음의 식(1)과 같이 표현될 수 있다. 여기서 τ 는 대표 수명, T 는 절대온도, E 는 활성화에너지, k 는 볼츠만 상수(8.617×10^{-5}), A 는 상수이다.

$$\tau = A \exp[E/kT] \tag{1}$$

일반적으로 패키지 부품의 고장은 화학반응에 의한 고장 메커니즘에 의하여 주로 발생하는데, 이와 같은 화학반응은 온도에 의하여 촉진되며 화학반응의 속도와 온도사이의 관계를 아레니우스가 다음 식(2)와 같이 모델링한 것이다. 단, Δ 는 반응량, K 는 반응속도, t 는 시간, A' 는 상수, E 는 활성화에너지(eV), k 는 볼츠만 상수(8.617×10^{-5} eV/K), T 는 절대온도(K)를 나타낸다.

$$\begin{aligned} \Delta &= Kt \\ K &= A' \cdot \exp[-E/kT] \end{aligned} \tag{2}$$

이 때, 일정한 양 Δ_c 의 반응이 일어났을 때 고장이라고 정의하는 경우 고장시간 τ 는 다음 식(3)과 같이 구해진다.

$$\begin{aligned} \tau &= \Delta_c \cdot K^{-1} \\ &= (\Delta_c/A') \cdot \exp[E/(kT)] \\ &= A \cdot \exp[E/(kT)] \end{aligned} \tag{3}$$

이 아레니우스 관계식은 온도를 스트레스 요인으로 사용하는 경우 주로 사용되는 관계식으로 많은 실험을 통하여 수명과 온도 스트레스 사이의 관계에 있어서 관계식이 잘 맞는 것으로 입증된 모델이다²²⁾. 이외에도 Table 1에 수명-스트레스에 따른 ALT 모델 식을 나타내었다. 온도-전압인 경우 아일링 모델, 온도-습도인 경우 펙 모델 그리고 온도변화에 의한 CTE 불일치에 따른 반복적인 피로에 의한 고장인 경우에는 코핀-멘슨 모델^{16,21)}을 일반적으로 적용한다.

Table 1 Various accelerated life test models with stress-life relationship

Stress	Model	Model Equation
Temperature · Voltage	Generalized Eyring Model	$L = a \cdot \exp[E/(kT)] \cdot V^{-n}$, Where, L : Life, T : Kelvin Temp.(K), V : Voltage(V), E : Activation Energy(eV), k : Boltzman Constant (8.617×10^{-5} eV/K), a and n : Constant
Temperature · Humidity	Peck Model	$L = a \cdot \exp[E/(kT)] \cdot H^{-n}$, Where, L : Life, T : Kelvin Temp.(K), V : Voltage(V), E : Activation Energy(eV), k : Boltzman Constant (8.617×10^{-5} eV/K), H : Relative Humidity(%RH), a and n : Constant
Temperature Change	Coffin-Manson Model	$L = a \cdot (\Delta T)^{-n}$, Where, L : Life, ΔT : Temp. Deviation, a and n : Constant

3.3 가속모델을 이용한 패키지 접합수명 예측²¹⁻²⁴⁾

보드 레벨 패키지의 신뢰성 중 PCB와 패키지 솔더 접합부의 균열로 인한 Short 현상이 주로 발생되고 있다. 솔더 접합부에 인가되는 스트레스에는 PCB와 솔더의 선팽창계수 차이에 의한 소성변형과 크립변형(creep deformation)이 있다. 이 스트레스에 의한 수명예측 방법에는 온도 사이클시험이 실시되는 경우가 많다. 수명은 저주기 사이클 응력에 의한 저주기 피로 수명(low cycle fatigue)으로서 Coffin-Manson 모델²¹⁻²⁵⁾을 따르는 것으로 알려져 있다. 저주기 피로 조건은 열에 의한 열팽창 및 수축에 의한 반복 응력에 의해서 발생될 수 있다. Coffin-Manson 관계는 피로 사이클 수 N 과 소성변형율의 범위 $\Delta\epsilon_p$ 의 관계를 나타낸 것으로 재료의 저주기 피로수명을 나타내는 유용한 관계식이다. 다음 식 (4)는 솔더 접합부의 저주기 피로수명 N 을 나타내는 전형적인 Coffin-Manson 식에 의해 정의될 수 있다. 이때 C 는 상수, n 은 솔더나 환경 등에 의해 정해지는 재료 정수이며, ϵ_p 는 소성변형 폭을 나타낸다.

$$N = C \cdot (\Delta\epsilon_p)^{-n} \quad (4)$$

온도변화시험으로 발생하는 선팽창계수 차이에 따른 열적 피로에 의한 변형을 이 식에 적용시키는 경우, 소성변형진폭 $\Delta\epsilon_p$ 에 균열 진전속도에 대한 주파수(frequency)나 최고 온도의 효과를 고려하면 아래 식 (5)와 같이 나타낼 수 있다. 이 식은 기본적인 솔더 접합부의 피로수명을 나타내는 Coffin-Manson 식과 cyclic frequency factor가 Power Law 형태로 추가된 변형된 식이다. 이 변형된 유도 식은 주파수, 온도변화 그리고 활성화에너지를 모두 고려한 것으로 Norris-Landzberg²⁴⁾에 의해 처음 제안되었으며, SnPb, SAC 솔더에서 지수 값을 구하여 가속계수(acceleration factor, AF)를 도출하는 가속수명모델(accelerated life model) 식을 제안하였다^{21,24)}. Coffin-Manson 모델의 변형된 모델을 제안한 Norris-Landzberg의 수명모델은 다음 식 (3)과 같이 정리될 수 있다^{21,24)}. 여기서 α_1 , α_2 ($1/^\circ\text{C}$)는 프린트 배선 기판 및 실장 부품의 선팽창 계수, L (m)은 전자부품의 리드 피치, T_{\max} (k)는 최대 온도, ΔT_k 는 사용온도 범위 차, E_a (eV)는 활성화 에너지, k 볼츠만 상수(8.6159×10^{-5} eV/k), c , m , n 은 정수, f (Hz)는 환경조건의 온도 변화 주파수를 나타낸다.

$$N = C \cdot f^m \frac{(\alpha_1 - \alpha_2)L}{2} \cdot \Delta T^{-n} \cdot \exp\left(\frac{E_a}{k T_{\max}}\right) \quad (5)$$

따라서 열싸이클시험을 이용한 솔더 접합부의 가속수명시험을 검증하기 위한 AF는 식 (5)로부터 유도될 수 있다²¹⁾. 결국 가속모델을 활용한 ALT를 통해 AF를 유도함으로써 가속조건에서의 수명을 실사용 조건에서의 수명으로 변화하여 실사용 조건의 수명을 예측할 수 있게 된다. 이때 모델링을 이용한 시뮬레이션 등을 이용하여 실험적 결과의 추정에 대한 유효성을 검증할 수 있다.

4. 결 론

본 연구에서는 최근 고밀도, 경박단소화에 따른 패키지 개발동향 및 3D 패키징 기술과 TSV에 대하여 조사, 분석하였다. 3D 패키지 개발과 함께 보드 레벨의 신뢰성 확보는 더욱 어려운 문제점 중 하나이다. 본 연구에서는 이러한 패키징 관련 제품의 신뢰성을 검증하고 수명을 예측하는 방안으로 ALT를 통해 Life-Stress 관계를 도출함으로써 수명 예측하는 방안에 대해 제안하였다. 또한 명확한 고장모드와 고장 메커니즘 분석을 통해 고장원인이 되는 Stress를 도출함으로써 PoF 기반의 가속수명 예측 방안을 제안하였다. 그리고 Stress 종류에 따른 Life-Stress 관계와 관련된 모델을 소개하였다. 이러한 PoF 기반의 수명예측 방안이 향후 더욱 복잡해지는 패키징 제품에 대한 수명예측의 한 방안으로 많은 활용을 기대한다.

참 고 문 헌

1. H. E. Lee, et al, "Packaging Industry Trend and Suggestion", IITA, IT Component Monitoring Report, **08-20** (2008) (in Korean)
2. D. G. Kim, J. W. Kim, S. S. Ha, J. P. Jung, Y. E. Shin, J. H. Moon, S. B. Jung, "Fabrication of Through-hole Interconnect in Si Wafer for 3D Package", Journal of KWS, **24-2** (2006), 172-178 (in Korean)
3. J. M. Kim, J. P. Jung, S. H. Kim, J. H. Park, "Packaging Technology in Electronics and 3-dimensional Stacking Packaging", Journal of KWS, **23-2** (2005), 129-137 (in Korean)
4. Y. E. Shin, J. M. Kim, Y. T. Kim, J. S. Kim, "High density Stacking Process and Reliability of Electronic Packaging", Journal of KWS, **24-2** (2006), 118-124 (in Korean)
5. S. H. Hong, K. S. Kim, N. Zhou, J. P. Jung, "3 Dimensional Packaging Technology Using Via", Journal of KWS, **24-2** (2006), 137-141 (in Korean)
6. W. S. Hong, C. M. Oh, N. C. Park, B. S. Song, S. B. Jung, "Reliability Assessment for Electronic

- Assemblies with Electrical and Electrochemical Properties Measurement, Journal of KWS, **25-2** (2007), 118-125 (in Korean)
7. S. Y. Choi, "Reliability Test Method and Technical Trend of Electronic Package", Journal of KSME, **48-5** (2008), 34-38 (in Korean)
 8. B. Pfahli, "Packaging Road map : The impact of miniaturization", iNEMI Technology Forum (2007)
 9. Reichl, Fraunhofer IZM, Berlin Germany, www.izm.fraunhofer.de
 10. Amkor Technology, "3D & Stacked Die Packaging", Technology Solution, **TS 104D** (2009), www.amkor.com
 11. Waytronx, Inc., "Waytronx 3C for 3D Packaging Roadmap", White Paper (2007), www.waytronx.com
 12. Steven Koester, "Ultra Thin Wafer Processing Solutions", Semiconductor International Webcast, June 20 (2007)
 13. Michael Kanellos, "Processor, Memory May Marry in Future Computer", CNET News.com, Sept. 28 (2006)
 14. Samsung Electronics Co., Ltd., press release, "Samsung Electronics Develops New, Highly Efficient Stacking Process for DRAM", April 22 (2007)
 15. S. W. Seo, G. S. Kim, "The Film Properties and Deposition Process of TSV Inside for 3D Interconnection", J. Microelectronics & Packaging Soc., **15-3** (2008), 47-52
 16. Sony Co., Sony Semiconductor, "Quality and Reliability Handbook", 1st ed., Kanagawa Jpn. (2000)
 17. M. Ohring, "Reliability and Failure of Electronic Materials and Devices", Academic Press, San Diego, 17-36 (1998)
 18. P. L. Martin, "Electronic Failure Analysis Handbook", McGRAW-HILL, New York (1999)
 19. A. Dasgupta, M. Pecht, "Material Failure Mechanisms and Damage Models", IEEE Trans. Reliability, **40-5** (1991), 531-536
 20. J. W. Evans et al., "Reliability Assessment for Development of Microtechnologies", Microsystem Technologies **3** (1997), 145-154
 21. W. S. Hong, N. C. Park, C. M. Oh, "Accelerated Thermo-Mechanical Fatigue Life of Pb-free Solder Joints for PZT Ceramic Resonator", Kor. J. Mater. Res., **19-6** (2009).
 22. W. Nelson, "Accelerated Testing", John Wiley & Sons (1990)
 23. W. S. Hong, W. S. Kim, N. C. Park and K. B. Kim, "Reliability Assessment for Electronic Assemblies with Electrical and Electrochemical Properties Measurement", Journal of KWS, **25-2** (2007), 184 (in Korean).
 24. JEDEC Standard, Application Specific Qualification Using Knowledge Based Test Methodology, JESD94.01, USA (2007).
 25. Alan Liu, "Mechanics and Mechanisms of Fracture", ASM International, Ohio (2005), 105-110.



- 홍원식(洪浚植)
- 1968년생
- 전자부품연구원 고장물리연구센터 책임연구원
- 무연 솔더링, 패키지 신뢰성, 접합
- e-mail : wshong@keti.re.kr



- 오철민(吳哲旻)
- 1976년생
- 전자부품연구원 고장물리연구센터 선임연구원
- 패키지 신뢰성, 고장물리, 무연솔더링
- e-mail : cmoh@keti.re.kr