

# ACF를 이용한 3차원 패키지의 제조 공정에 대한 연구

이영철 · 김종용 · 김광석 · 유정희 · 정승부

大韓熔接·接合學會誌 第27卷 第3號 別冊

2009. 6

## ACF를 이용한 3차원 패키지의 제조 공정에 대한 연구

이영철 · 김종용 · 김광석 · 유정희 · 정승부

### Study on Fabrication of 3-Dimensional Stacked Chip Package with Anisotropic Conductive Film

Young-Chul Lee, Jong-Woong Kim, Kwang-Seok Kim, Chong-Hee Yu and Seung-Boo Jung

#### 1. 개 요

지금까지 반도체 칩을 생산하는 글로벌 기업들은 매 18개월마다 칩의 집적도를 두 배 향상시키기 위한 무어의 법칙(Moore's Law)을 바탕으로 경쟁해 왔다<sup>1)</sup>. 특히, 한국에서는 매년 칩의 집적도를 두 배 향상시킨다는 독자적인 황의 법칙(Hwang's Law)을 제창하기도 하였다. 그러나 지금까지 이루어져 온 2차원 공정 기술에서의 회로 선폭의 감소는 약 30nm급 공정에서 한계에 이르러 더 이상 황의 법칙과 무어의 법칙을 달성할 수 없는 실정에 이르렀다. 회로의 선폭이 약 30nm에 이르면 칩 크기가 작아지면서 게이트 크기 및 구동 전압의 감소로 인하여 칩 성능은 향상시키지만, 신호 배선 단면적의 감소로 인하여 저항 증가 및 좁아진 배선 거리로 인한 간섭의 발생으로 신호 지연이 발생하게 된다. 궁극적으로 약 30nm급 공정에서는 칩 성능 향상의 효과보다 저항 증가 및 신호 지연효과로 인한 마이너스적 요소가 더 크게 작용하게 된다. 뿐만 아니라, 한계로 여겨지는 30nm급 기술을 적용하여 제품을 제조하기 위해서는 보다 정교한 공정기술이 요구되기 때문에 제조비용 상승과 더불어 제품 가격의 상승은 불가피해진다. 따라서 현재 이러한 한계를 극복하고 집적도를 높일 수 있는 기술로 각광받고 있는 기술 중 하나가 3차원 칩 실장 기술이다.

3차원 칩 실장 기술은 실리콘 웨이퍼에 비아(via) 홀을 형성하고, 형성된 비아를 전도체로 충전시켜 다이를 수직적으로 접속시켜주는 기술이다. 이러한 3차원 칩 실장의 구조로 인해 칩 간 접속 거리가 짧아짐에 따라 전기적 신호의 전송 속도를 증가시키고 소비 전력을 획기적으로 감소시킬 뿐만 아니라 기계적, 전기적 신뢰성을 보다 향상시킬 수 있는 장점이 있다. 게다가 3차원 칩 실장 기술을 적용할 경우 2차원 실장기술의 공간적 제약에서 벗어나, 다이를 수직으로 쌓아 올림

로서 메모리 용량을 손쉽게 두 배, 세 배 이상 늘릴 수 있게 된다. 뿐만 아니라 로직(logic), 수동소자, 광소자, 메모리, 중앙처리장치 등 시스템 구성을 위해 필요한 여러 소자들을 수직적으로 쌓아 올림으로써 작은 패키지 하나로 완성된 시스템을 구현할 수 있다는 장점도 지니고 있다<sup>2-4)</sup>. 세계적 동향 조사 기관인 프랑스의 Yole development의 2007년 세계 반도체 시장 동향을 살펴보면 3차원 칩 실장 기술을 적용하였을 경우 NAND flash memory의 용량이 256G에 이를 때까지는 무어의 법칙의 발전 동향을 유지하며 집적도를 계속 증가시킬 수 있을 것으로 예상하고 있다<sup>5)</sup>.

현재까지 3차원 칩 실장의 인터커넥션(interconnection) 방법으로는 솔더(solder) 범프(bump)를 이용한 방법과 접착제(adhesive)를 이용한 방법 등이 대표적으로 연구되고 있다. 본 연구에서는 ACA (Anisotropic conductive adhesive)의 필름 형태인 ACF(Anisotropic Conductive Film)를 이용하여 캐리어(carrier) 칩, 기판과 전기저항을 평가할 수 있게 설계된 dummy 칩을 접속하였다. ACF는 솔더에 비해 낮은 접합 온도와 빠른 접합 시간, 친환경적인 소재, 그리고 미세피치 적용 가능성 등의 장점이 있으며, 최근 평판 디스플레이와 핸드폰의 COF와 COG 부분에 널리 적용되고 있다. 따라서 본 논문에서는 ACF를 이용한 3차원 칩 패키지의 제조를 위한 과정에 대해 알아보고, 완성된 패키지의 전기저항을 측정하여 ACF를 이용한 3차원 칩 실장 기술의 적용 가능성에 대해 알아보았다.

#### 2. 3차원 패키지의 제조 방법 및 평가방법

본 연구에서는 ACF를 이용하여 3차원으로 적층된 패키지를 제조하였다. 3차원 패키지 제조 시 가장 핵심 되는 기술 중 하나로 실리콘 관통 전극 기술을 들 수 있다. 실리콘 관통 전극 공정 기술은 기존의 집적회

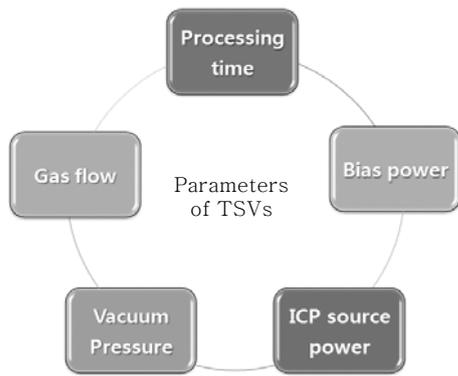
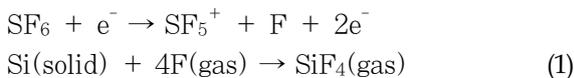


Fig. 1 Experimental parameters of through Si via

로 제작 공정들을 이용하여 웨이퍼와 칩들 사이에 높은 가로 세로 비(high aspect ratio)의 관통전극용 구멍을 뚫고, 절연막 및 접착막을 외벽에 입힌 후, 구멍에 전도체를 채움으로써 완성된다. 관통전극용 구멍을 뚫기 위한 방법으로는 DRIE(deep reactive ion etching)와 레이저를 이용하는 건식 방법과 KOH 등을 이용하는 습식방법으로 나누어진다<sup>6)</sup>. 현재 관통 전극 형성 기술에는 1993년도에 Bosch 공정이 등장하면서 DRIE 방법을 이용하여 실리콘 웨이퍼에 via를 형성하는 방법이 주로 사용되고 있다. DRIE를 이용한 via 형성 공정은 bare Si 웨이퍼에 PR(photo resist) 혹은 금속을 이용하여 패턴을 마스크 한 후 반응성 가스를 플라즈마 상태로 이온화 시키고, ICP 코일(coil)과 웨이퍼 사이에 바이어스(bias)를 걸어 줌으로써 플라즈마 상태로 이온화 된 라디칼들을 실리콘 웨이퍼 표면에 입사시킴으로써 실리콘 웨이퍼에 via를 형성시키는 방법이다. DRIE 방법을 이용하여 실리콘 웨이퍼에 비아(via)를 형성할 때 영향을 미치는 인자로는 공정 시간, 가스 유량, 진공도, 플라즈마 출력, 바이어스(bias) 출력 등이 있다(Fig. 1).

대표적 DRIE 식각 방법으로는 Bosch 공정<sup>7)</sup>을 들 수 있다. Fig. 2에서와 같이 Bosch 공정은 지속적으로 반응성 가스를 이용하여 비아를 형성하는 방법과 달리 etching과 passivation을 번갈아 진행되는 것이 특징이다. etching step과 passivation step에서의 반응은 다음과 같다<sup>8)</sup>.

· Etching step



· Passivation step

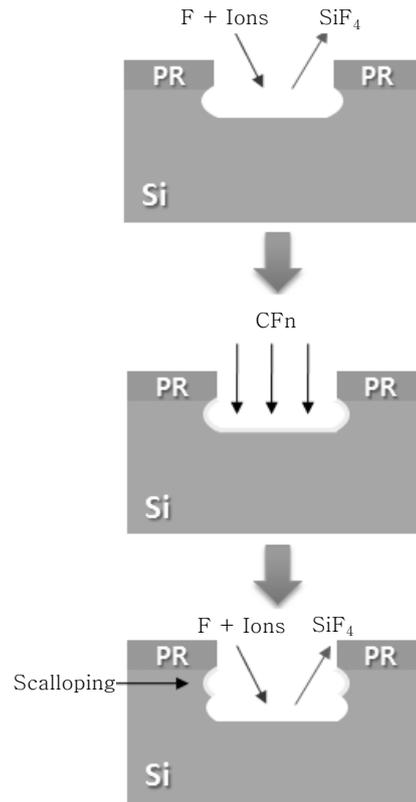
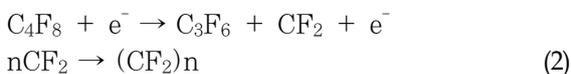
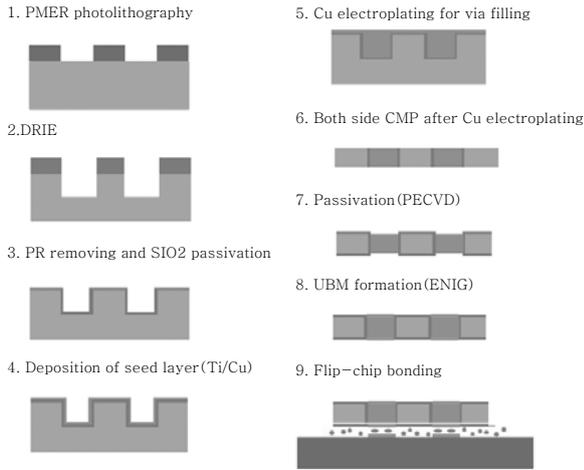
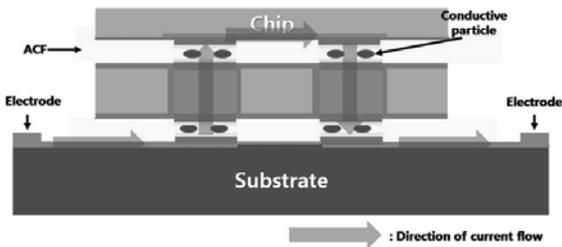


Fig. 2 Schematic diagram of Bosch process<sup>7)</sup>

(1)번 식에서와 같이 etching step에서는 SF<sub>6</sub> 가 플라즈마 상태로 이온화 되어 F 라디칼을 만든다. 발생된 F 라디칼들은 바이어스에 의해 가속되어 실리콘 웨이퍼 쪽으로 입사 되고, 입사된 F 라디칼들이 실리콘과 반응하여 가스 상태의 SiF<sub>4</sub> 화합물을 만들어 실리콘 웨이퍼를 식각하게 된다. Passivation step에서는 (2)번 식과 같이 C<sub>4</sub>F<sub>8</sub> 가스가 플라즈마에 의해 C<sub>3</sub>F<sub>6</sub> 와 CF<sub>2</sub> 로 분해된다. 이 중 CF<sub>2</sub> 화합물이 바이어스에 의해 실리콘 웨이퍼로 입사되면, 다량의 nCF<sub>2</sub> 화합물이 (CF<sub>2</sub>)<sub>n</sub> 계열의 폴리머 화합체로 변화한다. 이 폴리머들이 식각된 표면을 코팅함으로써 식각 된 표면 및 내벽이 passivation 되게 된다. 다시 etching step을 실시하게 되면 (1)번 식의 과정이 되풀이 하게 되는데, 바이어스에 의해 가속된 F 라디칼들은 직진성이 강하여 passivation 된 내벽은 식각하지 못하고 실리콘을 수직 방향으로만 계속 식각하게 된다. Bosch 공정은 이러한 과정을 되풀이함으로써 aspect ratio가 상당히 큰 via도 형성 할 수 있는 반면, etching step과 passivation step이 번갈아 진행되는 과정으로 인해 via 내벽에 물결모양의 scalloping이 생기게 되는 단점이 있다. Etching step과 passivation step의 비율을 적절히 조절하였을 경우 이러한 scalloping을 최소화 할 수 있는 것으로 알려져 있다.

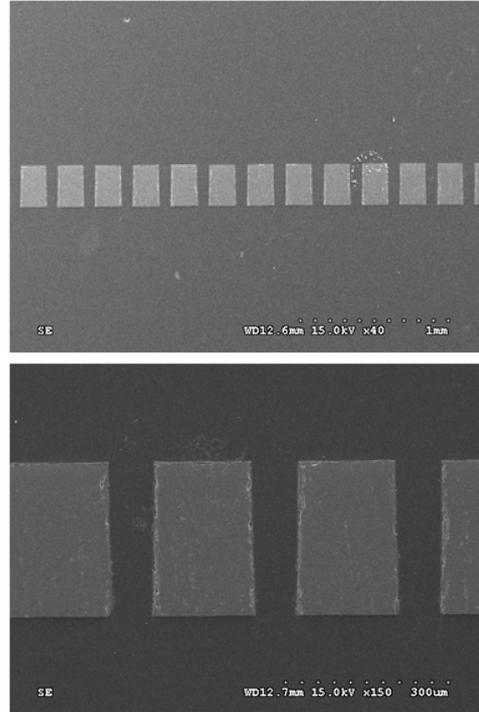


**Fig. 3** Process for fabrication of Si die with TSVs and stacking for 3-D package using ACF



**Fig. 4** Schematic illustration of the stacked package with ACF for electrical resistance measurement

Fig. 3는 Bosch 공정을 이용하여 via를 형성한 후 전기적 특성 평가를 할 수 있게 설계된 더미(dummy) 모듈의 제작 공정을 나타낸 것이다. Bosch 공정을 통해 via를 형성한 후, via를 충전시키기 위해서는 먼저 via의 표면에 절연체를 증착시킨 후 seed layer를 증착하게 된다. Via를 충진을 위한 전도체로는 Cu, Ag, 솔더, metal alloy, CNTs 등이 연구되고 있다. 최근 발표되고 있는 논문에 따르면, 관통전극에 CNTs를 적용하고자 하는 연구 결과가 보고되고 있다. 이는 금속에 비해 CNTs가 열전도율이 우수하고 기계적 특성이 좋을 뿐만 아니라 금속을 적용한 관통전극에서 전류 흐름에 따른 electromigration 현상이 발생한 사례가 보고되고 있기에, 이러한 단점을 보완하기 위하여 CNTs를 이용한 접속 방법, 혹은 CNTs와 금속을 혼합하여 접속시키는 방법 등이 연구되고 있다<sup>9-11)</sup>. 그러나 본 연구에서는 Cu 전해도금을 통해 관통 전극을 형성하였다. Cu 전해도금이 완료된 후, CMP를 이용하여 도금된 표면을 균일하게 깎아주고 반대편의 남은 실리콘은 제거하였다. 그 후 범프를 형성하기 위해 PECVD를 이용하여 절연층을 증착하고, 범프가 형성될 위치를



**Fig. 5** Cross-sectional SEM view of TSVs in Si wafer

opening 한 후 ENIG (electroless Ni/immersion Au) 도금을 실시하였다. 최종적으로 ACF를 이용하여 기판과 관통전극이 형성된 carrier 칩을 먼저 접합한 후, 전기 저항을 측정할 수 있게 회로 설계된 dummy 칩을 2차 접합하였다. Fig. 4와 같이 최종 접합된 시편으로 전기 저항을 측정하여 ACF의 3차원 칩 실장 기술로의 적용 가능성을 알아보았다.

### 3. Cu 전해도금

Fig. 5는 Bosch 공정을 이용하여 Fig. 3의 1~3 공정을 실시한 후 SEM을 통해 단면을 관찰한 사진이다. 실리콘 웨이퍼에 100 $\mu$ m 직경의 via가 잘 형성된 것을 확인할 수 있었다.

Fig. 6은 본 연구에 적용된 인가 전류의 변화 커브를 나타낸 것이다. 사전 실험을 통해 0.5 A/dm<sup>2</sup>과 1.5 A/dm<sup>2</sup>의 전류밀도로 16시간 동안 도금한 후 결과를 살펴보니, 전류밀도를 0.5 A/dm<sup>2</sup>으로 도금하였을 때는 via가 거의 채워지지 않은 것을 알 수 있었지만 1.5 A/dm<sup>2</sup>으로 하였을 때는 거의 결함 없이 도금이 이루어진 것을 알 수 있었다<sup>12)</sup>. 따라서 본 연구에서는 1.5A/dm<sup>2</sup>으로 도금을 실시하였고, void 발생을 최소화하기 위한 방법으로 DC plating과 AC plating 방법으로 실시하여 void 발생 여부를 분석하였다.

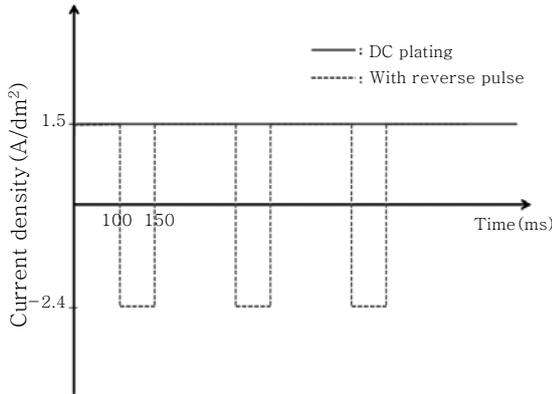


Fig. 6 Current applied conditions for Cu electroplating in via

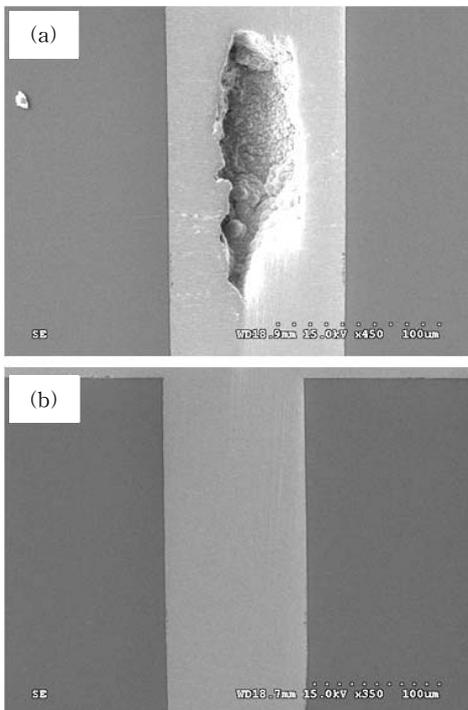


Fig. 7 Cross-sectional SEM views of the Cu-filled TSVs : (a) DC and (b) pulse-reverse current(AC)

Fig. 7은 DC 전류와 역펄스 전류(AC)를 인가하여 Cu 전해 도금을 실시한 후 SEM을 통해 via의 단면을 관찰한 사진이다. 도금 된 via의 중앙부를 잘 살펴보면, DC 전류를 인가하여 도금하였을 경우 그림 7의 (a)와 같이 큰 void가 생성된 것을 확인할 수 있었고, 이에 반해 그림 7의 (b)의 경우 큰 void 없이 균일한 도금이 이루어진 것을 확인할 수 있었다.

Fig. 8은 void가 생성 원인을 모식도로 나타낸 것이다. Seed 층 증착 후 전해 도금 시, 전류를 인가하였을 때 전류는 표면을 따라 흐르면서 도금액과 전자를 주고

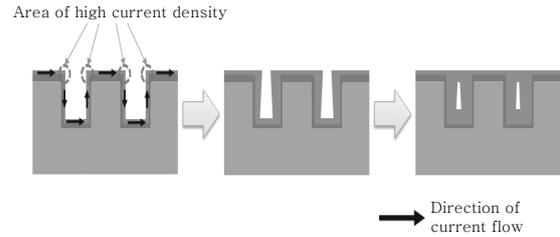
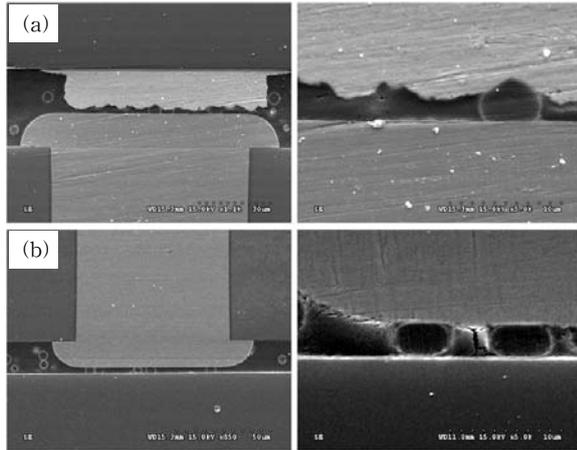


Fig. 8 Mechanism of void formation

받으며 도금액 속의  $Cu^{2+}$  이온이 seed 층에 환원되어 석출 된다. 그러나 패턴의 모서리 부분에서는 단면이 극도로 감소하게 되어 전류 밀도가 높아지게 되고, 높은 전류 밀도로 인해 패턴 모서리 부위에서의 도금 두께 성장률이 다른 부위에 비해 높아지게 된다. 이로 인해 via의 입구 쪽에서 Cu의 석출이 더욱 활발해 지고, 이로 인해 via의 입구가 먼저 막히게 되어 via 중앙에 void가 생성되게 된다. 역펄스 전류를 인가하여 도금하였을 경우, 역전류에 의해 환원되어 석출 된 Cu 층이 다시 도금액 속으로 환원되게 된다. 그러나 앞서 말한 바와 같이 패턴 모서리 부분의 전류 밀도가 다른 부위에 비해 높기 때문에, 역전류를 인가하였을 경우에 Cu가 도금액으로 재산화되는 비율도 상대적으로 높게 된다. 따라서 via 충진을 위한 Cu 도금 시, 적절한 역전류의 인가는 via 중앙부분에 생성되는 void의 크기와 양을 줄일 수 있는 한 방법으로 적용되고 있다.

#### 4. ACF를 이용한 3차원 패키지 제작 및 전기적 특성 평가

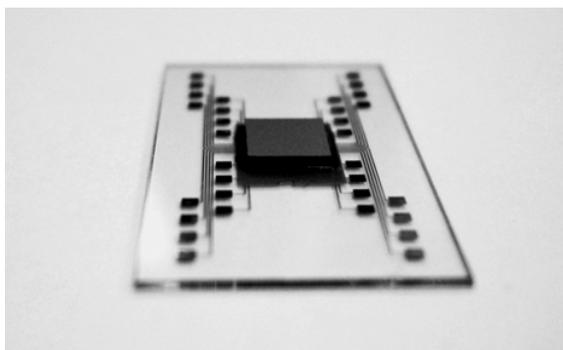
접착제를 이용한 플립칩 패키지의 전기적 특성을 평가하기에 앞서 먼저 접합부 상태가 양호한지를 확인하는 것이 필요하다. Fig. 9의 (a)는 ACF를 이용하여 접합한 dummy 칩과 carrier 칩의 상층부이고, (b)는 carrier 칩과 기판을 접합한 하층부의 SEM 단면 사진이다. ACF를 이용한 접합은 190°C에서 10초간 약 70N의 접합 압력을 인가하여 실시하였고, carrier 칩과 기판을 먼저 접합한 후 다시 dummy 칩과의 접합을 실시하였다. ACF 접합의 경우, 전기적 접촉은 다이 측면의 Au 범프와 기판의 ENIG 범프 사이에 위치한 도전분 (conductive particle)을 통해 이루어진다. 따라서 도전분과 금속 범프 또는 패드와의 접촉 면적이 전기적 특성에 큰 영향을 끼칠 것임을 알 수 있다. 도전분과 금속 범프 또는 패드와의 접촉 면적은 접합공정 시 인가 된 압력과 비례하므로, 인가 압력과 전기적 특성과의 연관관계를 알아보는 것이 중요하다<sup>13-17)</sup>. Fig. 9의 단면 사진을 살펴보면, 적절한 압력인가로 도전분이 잘 deformation 돼 있는 것을 확인할 수 있다.



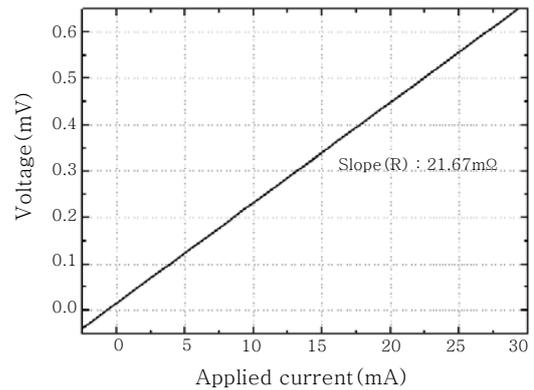
**Fig. 9** Cross-sectional SEM views of the flip-chip bonded module : (a) upper bonding interconnects (b) lower bonding interconnects

Fig. 9의 (b)를 살펴보면, 하층부의 ACF matrix에서 crack이 발생한 것을 확인 할 수 있었다. 하층부의 경우 처음 기판과 접합 시 일차적으로 열과 압력을 받은 후 경화 된 상태로 상층부 접합 시 이차적인 열과 압력을 받아 열경화성 형태의 에폭시(epoxy) matrix에 부분적인 crack이 발생한 것으로 사료된다. 이렇게 발생한 crack은 신뢰성 평가 시 신뢰성을 크게 저하시키는 요인이 되기 때문에 ACF를 이용한 다층 접합 시에는 인가 압력과 온도 조건의 최적화 및 접합 방법의 개선이 필요할 것으로 사료된다.

Fig. 10은 Quartz 기판 위에 ACF를 이용하여 다층 접합 된 3차원 칩 패키지의 최종 시편 사진이다. 이렇게 제작된 시편을 이용하여 전기저항을 측정하였다. 전기저항은 4단자법(Four point probe method) 방법으로 측정하였으며, 측정을 위해 더미 칩의 회로 디자인은 Kelvin structure로 구성하였다. Daisy chain 구조로 회로를 설계하면 전류의 input/output 단자 사이의 모든 저항이 한꺼번에 측정되지만, 회로를 Kelvin structure로 디자인하면 특정 범프의 저항 값을 구할 수 있는 장점이 있다.



**Fig. 10** Stacked 3 layer package in type of COG



**Fig. 11** I-V curve of 3-layers package

Fig. 11은 최종적으로 3층으로 적층 접합된 시편의 I-V 곡선으로 저항 값은 약 21.67 mΩ으로 측정되었다. 본 연구팀에서 유도한 ACF 접합부의 접속저항 계산식<sup>18)</sup>에 따르면 ACF 접합 시 접속 저항은 13 mΩ, Cu 충전 된 관통 전극의 저항은 약 1.08 mΩ으로 이론적 전체 저항 값은 27.08 mΩ이 된다. 본 실험에서는 이론적 저항 값과 실제 실험값이 비슷한 값을 보였으나, ENIG 범프의 평평하지 않은 표면 거칠기와 ACF 저항 계산 시 고려하지 않은 tunneling-resistance 값 등의 차이가 실험적 저항 값과 이론적 저항 값의 차이로 작용할 수 있다고 보고하고 있다<sup>15)</sup>.

#### 4. 결 론

실리콘 웨이퍼에 via를 뚫고 Cu 전해도금을 통해 via를 충전한 후 ACF를 이용하여 3층으로 접합을 실시하였다. 본 고에서는 실리콘 웨이퍼에 via를 뚫는 방법과 ACF를 이용하여 3차원 칩 패키지의 제조 방법에 대해 알아보았다. Via를 전도체로 충전하기 위하여 Cu 전해 도금을 실시하였는데, Cu 전해 도금 시 DC 전류를 인가하였을 경우에는 via의 중앙 부분에 void가 발생하였다. 이를 해결하기 위한 역펄스 전해 도금을 통해 void가 거의 없이 Cu 전해 도금을 실시 할 수 있었다. 전해 도금 실시 후 ACF를 이용하여 기판과 carrier 칩, 전기저항 평가가 가능하도록 설계 된 dummy 칩을 ACF를 이용하여 3층으로 접합한 후 전기 저항을 측정하였다. 전기저항 측정 결과 저항 값은 약 21.67 mΩ으로 측정되었고, 본 연구팀에서 유도한 ACF 접합부의 접속저항 계산식에 의한 계산값과 실제 실험값과는 비슷한 결과 값을 나타내었다. ACF를 이용한 다층 접합 시 접합 순서에 따라 ACF matrix의 열화가 발견되었으므로, 적절한 변수 제어와 공정 방법의 개선이 이루어진다면 ACF를 이용한 3차원 칩 패키지의 제조는 충분히 가능할 것으로 사료된다.

후 기

이 논문은 2008년도 정부(과학기술부)의 재원으로 한국과학재단의 일부 지원을 받아 수행된 연구임 (No. R01- 2007-000-20811-0).

참 고 문 헌

1. 윤민승, "TSV(Through Silicon Via) 기술동향", Journal of the Microelectronics & Packaging Society", **16(1)**, (2009), 1-6
2. Y.K. Tsui and S.W. Ricky Lee : Design and fabrication of a flip-chip-on-chip 3-D packaging structure with a through-silicon via for underfill dispensing, IEEE Transactions on Advanced Packaging, **28**, (2005), 413-420
3. K. Hara, Y. Kurashima, N. Hashimoto, K. Matsui, Y. Matsuo, I. Miyazawa, T. Kobayashi, Y. okoyama and M. Fukazawa : Opimization for chip stack in 3-D packaging, IEEE Transactions on Advanced Packaing, **28**, (2005), 367-376
4. B. Morgan, X. Hua, T. Iguchi, T. Tomioka, G.S. Oehrlein and R. Ghodssi : Substrate in terconnect technologies for 3-D MEMS packaging, Micro-electronic Engineering, **81**, (2005), 106-116
5. Yole development, Market trends for 3D stacking (2007)
6. 김종용, 김대곤, 문원철, 문정훈, 서창제, 정승부, "MEMS 기술을 이용한 마이크로 전자 패키징 기술" Journal of KWS, **24(2)**, (2006), 142-149
7. F. L ermer, P. Schilp, and R. Bosch GmbH, "Method of anisotropically etching silicon," U.S. Patent 5501893, 1996; German Patent DE4 241 045C1, 1994
8. R. Nagarajan, Krishnamachar Prasad, Liao Ebin, Balasubramanian Narayanan :Development of dual-etch via tapering process for through-silicon interconnection, Sensors and Actuators A 139 (2007) 323-329
9. A.P. Graham, G. S. Duesberg, R. V. Seicdel, M. Liebau, E. Unger, W. Pamler, F. Kreupt, and W. Hoenlein, small 1 (4), (2005) 3820-390

10. S. Sato, M. Nihei, A. Mimura, A. Kawabate, D. Kondo, H. Shioya, T. Iwai, M. Mishima, M. Ohfuti, and Y. Awano, Proceedings of the 2007 IEEE International Interconnect Technology Conference (IITC), (2007) 204
11. Q. Ngo, D. Peranovic, S. Krishnan, A. M. Cassell, Y. Qi, L. Jun, M. Meyyappan, and C. Y. Yang, IEEE Trancs Nanothectechnology, **3(2)**, (2004) 311
12. Gun-Ho Chang, Si-Young Chang and Jae-Ho Lee : Via/Hole Filling by Pulse-Reverse Copper Electroplating For 3D SiP, Materials Science Forum, **510-511**, (2006), 942-945
13. David M. Pozar : Microwave Engineering, Wiley, 2005, 161-221
14. M.J. Yim, I.H. Jeong, H.K. Choi, J.S. Hwang, J.Y. Ahn, W. Kwon, K.W. Paik : Flip chip interconnection with anisotropic conductive adhesives for RF and high-frequency applications, IEEE Transactions on Components and Packaging Technologies, **28**, (2005), 789-796
15. J. W. Kim, Y. C. Lee, S.S. Ha, J.M. Koo, J.H. Ko, W. Nah, S.B. Jung : Electrical characterization of adhesive flip chip interconnects for microwave application, Journal of Micro/Nanolithography, MEMS, and MOEMS, **7(2)**, 023007
16. J.W. Kim, Y.C. Lee, S.B. Jung : Reliability of conductive adhesives as a Pb-free alternative in flip-chip applications, Journal of Electronic Materials, **37**, (2008), 9-16
17. J.W. Kim, D.G. Kim, Y.C. Lee, S.B. Jung : Analysis of failure mechanism in anisotropic conductive and non-conductive film interconnections, IEEE Transactions on Components and Packaging Technologies, 31, 1, (2008), 65-73
18. Jong-Woong Km, Seung-Boo Jung : Fabrication and electrical characterization of through-Si-via interconnect for 3-D packaging, J. Micro/Nanolith. MEMS MOEMS, **8(1)**, (2009), 013040



- 이영철 (李滌澈)
- 1983년생
- 성균관대학교 신소재공학과 박사과정
- 전자 패키징, RF 패키징
- E-mail : scien83@skku.edu



- 김종용 (金鍾雄)
- 1978년생
- 성균관대학교 마이크로 전자 및 반도체 패키징 기술개발 사업단
- 전자 패키징, RF 패키징
- E-mail : wyjd@skku.edu



- 김광석 (金光石)
- 1982년생
- 성균관대학교 신소재공학과 석사과정
- 전자 패키징, RF 패키징
- E-mail : ore21@hanmail.net



- 유정희 (柳正熙)
- 1961년생
- 한국전자통신연구원 호남권연구센터
- 광통신부품 패키징 및 신뢰성 연구
- E-mail : yuch@etri.re.kr



- 정승부 (鄭承富)
- 1959년생
- 성균관대학교 마이크로 전자 및 반도체 패키징 기술개발 사업단
- 전자 패키징, 패키지 신뢰성, 마찰교반접합
- E-mail : sbjung@skku.ac.kr