

논문 2009-46SD-7-1

High Speed Graphics SDRAM을 위한 저 전력, 저 노이즈 Data Bus Inversion

(A Low Power and Low Noise Data Bus Inversion for High Speed
Graphics SDRAM)

곽 승 옥*, 곽 계 달**

(Seung-Wook Kwack and Kae-Dal Kwack)

요 약

본 논문은 DRAM에서 DBI (Data Bus Inversion)를 이용한 새로운 방식의 High Speed 아키텍처를 설명하고자한다. DBI는 SSO와 LSI와 같은 잘 알려진 문제를 감소시키기 위한 방식중의 하나이다. 본 논문에서는 Analog Majority Voter(AMV), DBI Flag에 의한 GIO 제어회로, 새로운 SSO Algorithm과 같은 많은 아키텍처들이 Data Bus의 천이(Toggle) 개수를 줄이기 위해서 제안되었다. DBI Flag에 의해 GIO데이터 반전 여부를 결정되기 때문에 파워 소모가 감소될 수 있고, 데이터 Eye diagram도 40ps이상 증가될 수 있게 되었다. 제안된 DBI Scheme을 이용하였을 때 High speed 동작에서 거의 안정한 SI특성을 얻을 수 있게 됐다. 90nm CMOS Technology를 이용하여 제조되었다.

Abstract

This paper presents new high speed architecture using DBI(Data Bus Inversion) in DRAM. The DBI is one of the general methods in the signaling circuits to decrease the known problems such as SSO and LSI^[1].

Many architectures have been proposed to reduce the number of transitions on the data bus. In this paper, the DBI, the Analog Majority Voter (AMV) circuit, the GIO control circuit and the SSO algorithm are newly proposed. The power consumption can be reduced with the help of direct GIO inversion method and the eye diagram of data can be increased to 40ps. Using proposed DBI scheme can produce almost stable SI of DQs against high speed operation. The DBI is fabricated in 90nm CMOS Technology.

Keywords : DBI SSO, LP, AMV

I. 서 론

최근 Graphics DRAM의 발전 동향은 고속 동작을 위해 데이터를 처리하는데 있어서 여러 가지 새로운 동작 방식을 필요로 하고 있다. 메모리는 입/출력단의 동

작에 의해 읽기/쓰기를 하게 된다. 외부로 데이터를 전달하거나 또는 외부에서 전달된 데이터를 내부로 데이터를 받아 들여 그 데이터를 기억하게 된다. 이러한 동작은 DQ Pin을 통해 이루어진다.

기존에 Low Frequency를 필요로 하는 메모리에서는 입/출력된 데이터를 처리하는데 있어서 그다지 중요한 문제로 대두되지 않았다. 그러나 Processor GPU 및 CPU의 고속 동작에 대한 요구가 급진전되면서 메모리도 저 전력/고속 동작을 필요로 하게 되었다. 이때 데이터는 정확하고 안정적인 데이터 전송을 위해 일정한 Bandwidth를 만족해야만 한다. 하지만 DQ로 전달된 데이터는 데이터 자체뿐만 아니라 DRAM내부로 전달

* 정회원, 한양대학교 전자컴퓨터통신공학과
(Department of Electronics Computer Engineering,
Hanyang University)

(Hynix Semiconductor Graphics Design.)

** 평생회원, 한양대학교 전자컴퓨터통신공학과
(Department of Electronics Computer Engineering,
Hanyang University)

접수일자: 2009년4월29일, 수정완료일: 2009년7월3일

된 데이터의 Switching 동작에 의해서 발생된 Switching Noise 및 Power Noise로 인하여 데이터는 충분한 Bandwidth를 얻기가 쉽지 않게 된다. 따라서 High Frequency 동작 시 고속 I/O동작을 가능하게 구현하는 것이 앞으로 해결해야할 과제이다^[3~4].

이러한 문제점을 해결하기 위해 DBI (Data Bus Inversion) 방식이 도입되었다. DBI방식은 두 종류로 크게 구분된다. 첫째 High Speed의 Low Power동작이 DRAM에서 필요하다. Pseudo Open Drain(POD) 방식의 Driver를 사용한다. 이때 Hi-Termination 상태에서 "Low" 상태로 All DQ Pin이 천이 될 때 Power Drop이 발생하는 문제점을 개선하기 위해 LP (Low Power)방식이 이용된다. 이해를 돕기 위해 그림 1에서 나타내었다. Byte 단위의 DQ<0:7> 데이터는 High Termination 상태에서 "L"상태로 천이될 때 Power Drop이 발생할 수 있기 때문에 충분한 Data출력 특성을 얻기 어렵다.

둘째 I/O의 연속적인 Switching동작에 의한 Power Noise로 인한 성능 저하를 개선하고자 고안된 방식이 SSO (Simultaneous Switching Output)방식이다. 이해를 돕기 위해 그림 2에서 나타내었다. 이러한 동작들은 고속 동작을 하는 Graphics DRAM에서 이용 가치가 높다.

본 논문은 I/O Driver 에서 주로 발생할 수 있는 SI (Signal Integrity) 이슈들을 크게 개선하게 된다. High-Termination상태에서 all DQ가 "L"로 천이 될 때 혹은 이전 상태 "L" -> "H", "H"->"L"로 천이될 때

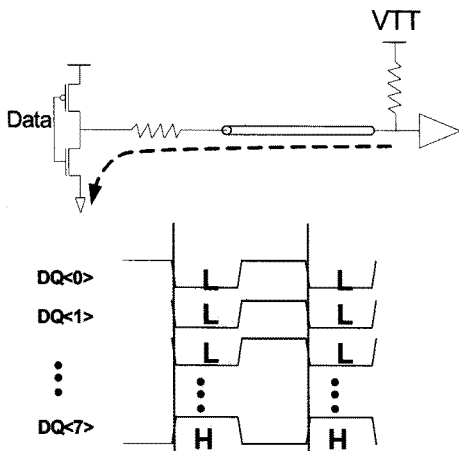


그림 1. LP방식의 개념도
Fig. 1. The concept of LP method.

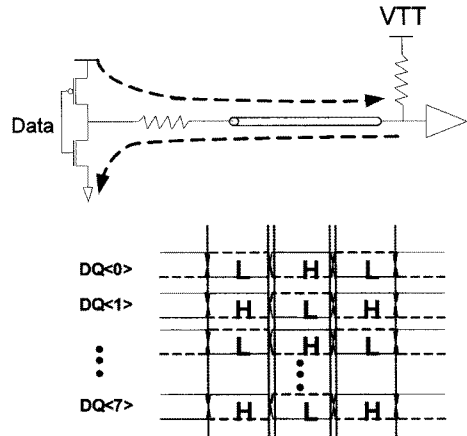


그림 2. SSO방식의 개념도
Fig. 2. The concept of SSO method.

발생할 수 있는 Power Drop 및 Power Noise개선이 가능하게 됐다.

1. SSO/LP방식의 확률 분포

먼저 SSO방식은 I/O로 출력되는 연속적인 데이터가 "H" -> "L" 또는 "L" -> "H" 상태로 연속적으로 Switching동작이 발생한다. Byte 단위를 기준으로 이전 상태 데이터와 현재 상태의 데이터가 천이된 개수가 5 이상 발생하면 Inversion Flag가 생성 되며 현재의 Byte 데이터는 모두 반전시켜 데이터의 천이(Toggle) 개수를 최소화할 수 있게 된다.

LP방식은 I/O로 출력되는 데이터가 Byte단위로 현재 상태의 데이터 "L"의 개수가 5이상 발생하면 Inversion Flag를 생성하고, 현재의 Byte 데이터를 모두 반전시키는 방식이다. GPU에서 전달된 데이터가 Byte단위로 5 개 이상 천이 될 확률 분포를 알아볼 필요가 있다. 왜냐하면 확률적으로 발생 빈도가 높았을 때 그 가치가 커지기 때문이다.

따라서 천이 될 때 결과를 아래 (1)에서 Byte단위의 데이터가 천이 되는 상태를 알아보기 위한 방법을 수식적으로 나타내었다.

$$Event = \frac{8C_r X_8 C_r}{16 C_8} \tag{1}$$

본 결과는 데이터는 외부에서 내부로 전달된 데이터가 "H" Termination 상태에서 "L"상태로 변경된 개수가 5개 이상이 될 때 와 이전 데이터에서 현재 데이터

로 천이될 때의 결과를 가우시안 분포로 보면 30.9%의 정규 분포상에서 나타남을 알 수 있다. 따라서 이러한 분포의 의미는 DRAM이 외부에서 입력된 데이터를 내부적으로 빈번하게 처리를 한다는 의미를 갖고 있으며, I/O특성 또한 저하의 요인이 된다. 결국 본 DBI LP/SSO 동작의 필요성이 절실히 요구 된다.

2. 제안된 SSO방식의 Algorithm

본 논문에서는 메모리의 기존 특성을 그대로 유지하면서 저 전력 및 고속 메모리 설계가 가능한 새로운 SSO DBI 방식을 제안한다. 그림 3은 기존 구조의 Algorithm이다. 기존의 방식은 이전 상태(previous Q3)의 데이터와 현재의 데이터(GIO_Q0)의 천이 개수를 비교한다. 여기서 반전여부가 결정된 Flag신호 생성 이후에 현재 상태의 데이터를 또 반전 시킬지 여부를 제어하게 된다. 이렇게 데이터의 반전 여부가 직접 적용되게 되면 연속해서 비교 과정을 거치기 때문에 마치 Domino적인 시간 단계가 필요하게 된다. 이때 최종 GIO_Q3까지 비교 절차가 발생하게 되고 시간적인 Delay 요소가 데이터 Margin 문제로 야기될 수 있다. 따라서 기존 방식의 단점을 보완하기 위해 다음과 같이 새로운 방식의 Algorithm이 그림 4에 나타내었다.

이전 상태의 Previous Q3데이터는 현재 상태 GIO_Q0와 비교하게 되고 반전여부가 결정되면 pre_Flag<0>을 생성하여 Flag신호만 보내고 GIO데이터는 반전여부를 결정하는 제어 절차를 거치지 않고 현재 상태 데이터 그대로 DQ부의 Pipe까지 전달하게 된다. 이때 반전 여부가 결정된 정보는 Pre_Flag신호에 의해서 상태를 알 수 있다. 이러한 방법으로 다음 상태

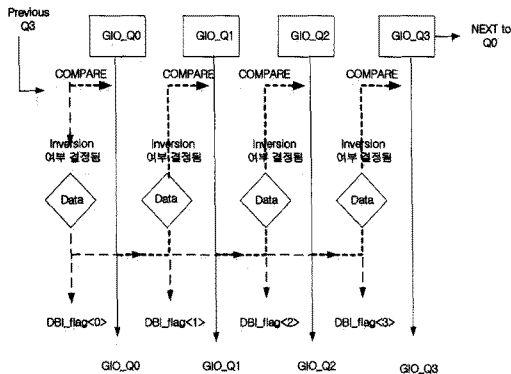


그림 3. 기존의 SSO방식의 Algorithm
Fig. 3. The algorithm of the conventional SSO.

GIO_1:3까지 Pre_Flag<1:3>를 생성하게 된다. 이렇게 각 Byte별로 1 Bit단위의 Pre_Flag가 생성되게 되고, 생성된 Flag는 데이터의 반전여부를 결정하지 않고 다시 Flag 신호들끼리 X-OR하는 과정을 거쳐 최종 DQ부의 Pipe까지 전달하게 된다.

결국 Byte단위의 데이터들은 반전 여부 결정을 DBI_Flag<0:3>에 의해 최종 DQ부의 Pipe에서 한꺼번에 한 번만 제어하는 방식이기 때문에 제어 절차가 간소화 되었고 기존 방식과 동일한 결과를 얻을 수 있으면서 전류 소모 또한 감소시킬 수 있게 됐다.

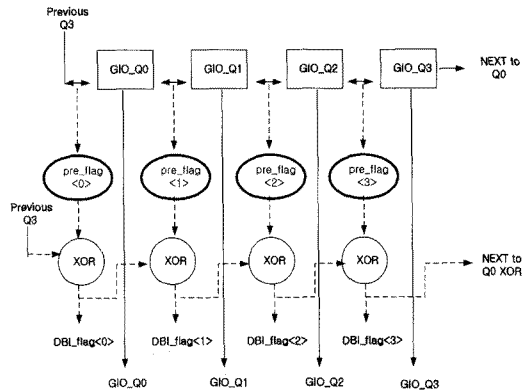


그림 4. 제안된 SSO방식의 Algorithm
Fig. 4. The algorithm of the proposed SSO.

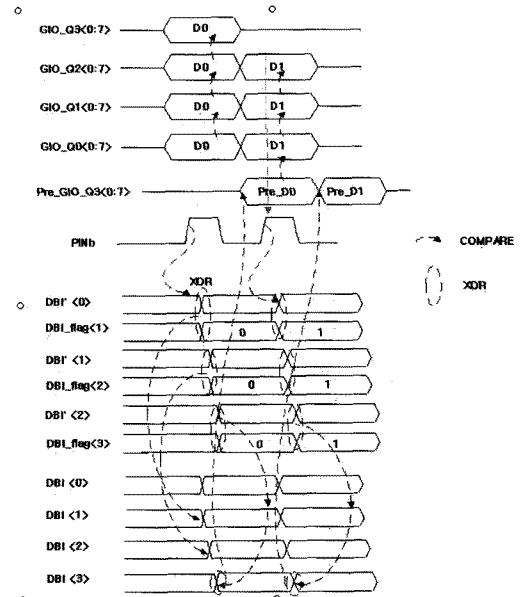
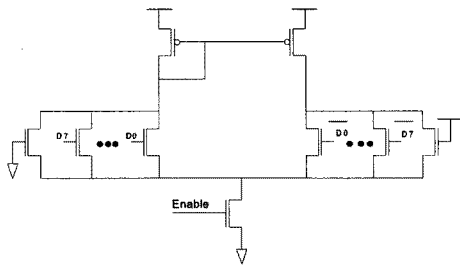


그림 5. 제안된 SSO방식의 Timing Diagram
Fig. 5. The timing diagram of the proposed SSO.

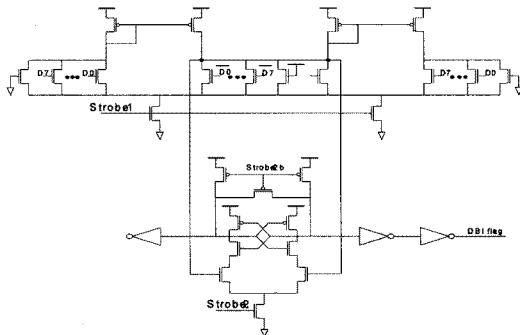
본 제안된 방식의 동작을 이해하기 위해 타이밍도를 그림 5에 예로 설명한다. GIO_Q0~Q3<0:7>은 Cell에서 저장되어 있던 데이터이며 Global I/O(GIO)에 전달된 8 bit 데이터이다. 이전 상태 Pre_GIO_Q3<0:7> 데이터와 현재 상태 GIO_Q0~3<0:7>와 동시에 비교하는 과정을 갖는다. 그리고 다음 상태들이 비교되는 모습을 볼 수 있다. DBI'<0:3>과 DBI_flag<0:3>의 X-OR하는 과정을 거쳐 DBI Flag 신호인 DBI<0:3> 신호가 생성되게 된다. 따라서 제안된 방법은 중간에 GIO데이터를 Toggle시킬 때 생기는 전류 증가를 개선하였고 제어가 간단하여 Margin에 의한 불량을 개선하였다.

3. 제안된 Analog Majority Voter

제안된 Analog Majority Voter (AMV)는 기존의 문 제점인 Byte단위의 데이터를 비교할 때 "H 또는 L"의 개수가 4:4 인 경우가 발생할 수 있게 된다. 이 때 Offset특성이 좋지 않아 오동작이 발생하게 되고, 1-Stage Diff-AMP만을 사용하기 때문에 Gain 특성이 High Speed에서 좋지 않은 것이 단점이다^[2]. 이를 개선 하기 위해 새로 제안된 AMV 방식을 그림 6에서 나타



< 기존 Analog Majority Voter >



< 제안된 Analog Majority Voter >

그림 6. 기존 방식과 제안된 Majority Voter방식
Fig. 6. the conventional and the proposed scheme.

내었다.

내부 구성은 입력된GIO데이터 (D<0:7>)와 반전된 (/D<0:7>)가 입력된다. "H", "L"의 상태에 따라 천이된 개수가 5 이상 혹은 이하가 됐을 때 Strobe1신호에 의해 Enable이 결정되고 Diff-AMP는 D<0:7>과 반전된 /D<0:7>데이터는 각 Diff-Amp의 Gain을 높이게 된다. 이러한 비교 동작이 2 -Stage에서 Strobe1보다 지연된 Strobe2 신호에 의해 최종 증폭하기 때문에 Digital Level로 Full-Swing하게 된다.

따라서 제안된 방식은 이러한 Analog Type의 Offset 문제를 개선하고 High Speed동작의 증폭도를 더욱 향상시키게 되었다.

4. 제안된 DBI GIO Control Scheme

현재 GIO 데이터를 Byte단위의 비교를 하면 AMV를 통해서 반전 여부가 결정되어 Flag가 생성된다. 이렇게 DBI flag는 Byte단위로 한 bit씩 생성된다. 생성된 Flag신호는 DQ부의 Pipe전단으로 전달된다. 이해를 돕기 위해 그림 7을 나타내었다. 먼저 GIO데이터를 제어 하기 위해 Read Command 신호에 의해 iostbp1신호가 생성된다. 이때 Byte단위의 GIO 데이터를 latch하게 된다. Flag 신호가 Latch된 GIO데이터를 반전시킬지 여부의 정보를 가지고 있게 되고 그 결과를 다음 단으로 전달하게 한다. 이렇게 결정된 데이터는 Flag신호 보다 지연된 iostbp2신호에 의해 재 Latch과정을 거치게 된다. 이는 GIO데이터와 Flag신호와 동일한 위상을 맞추고 제어된 결과를 데이터 Margin을 확보해서 출력시키기 위한 방법이다. 따라서 제어된 데이터는 천이된 개수가 현저히 줄게되며, DQ의 SI특성을 향상시키고 DRAM 내부의 IDD4R(연속 Read전류) 천이할 때 발생하는 Page전류를 최소화할 수 있어 고속 및 Low Power 동작에 크게 개선할 수 있게 됐다.

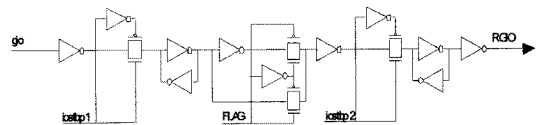


그림 7. 제안된GIO Control방식의 회로도
Fig. 7. The circuit of the proposed GIO.

III. 실험

본 논문에서는 기존의 SSO방식의 DBI제어의

Algorithm의 한계를 극복하고 새로운 방법의 Algorithm을 제안하였다. 첫째 2.4Gbps 이상의 초고속 Graphics SDRAM에서 데이터 천이에 의해 발생할 수 있는 Power Drop 및 Power Noise를 최소화하였다. 둘째, High Frequency 동작에서의 데이터의 Bandwidth를 확보함으로써 고속데이터를 정확하고 안정적으로 처리할 수 있는 DBI GIO Control 방법 과 AMV 을 제안하고 실험하였다. AMD RV755 Graphics Application Board에서 성능을 측정하였으며 DQ데이터 Eye 특성을 HP Oscilloscope에 의해 측정되었다. High Speed 특성을 검증하기 위해 HSM3600장비에서 Data Eye Shmoo특성을 측정하였다.

IV. 결 론

기존 SSO Algorithm은 Flag에 의해 GIO데이터의 반전여부가 순차적으로 발생하기 때문에 제어 복잡하며 High Speed 동작에서 Margin을 확보하기 어려운 단점이 있었다. 그러나 새로운 방식의 Algorithm은 이러한 문제를 새롭게 개선하였다. 또한 DBI를 On/Off mode동작 여부에 따라 Off시 Data Eye가 300ps인데 반해 On시 340ps로 Eye특성이 40ps향상된 결과를 얻

었다. 테스트는 1.8V 1Ghz DBI 동작에서 Measure되었다. AMD 755 Graphics Application Board(900Mhz Spec.)에서 측정 결과 1.18Ghz Board 한계까지 측정되었다. Cross Point에서 Hit수(“H” ->“L” 혹은 “L” ->“H”)로 천이된 횟수가 현저하게 감소된 것을 파형을 통해 그림 10에서 확인되었다. Cross Point에서 천이된 수를 비교하면 DBI Off 했을 때 노란색(천이 개 수 다

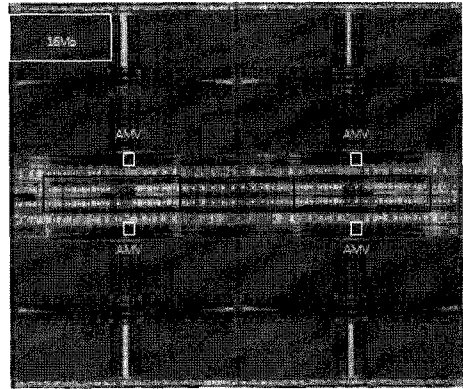


그림 9. 마이크로 Chip 사진
Fig. 9. The microphotograph of the chip.

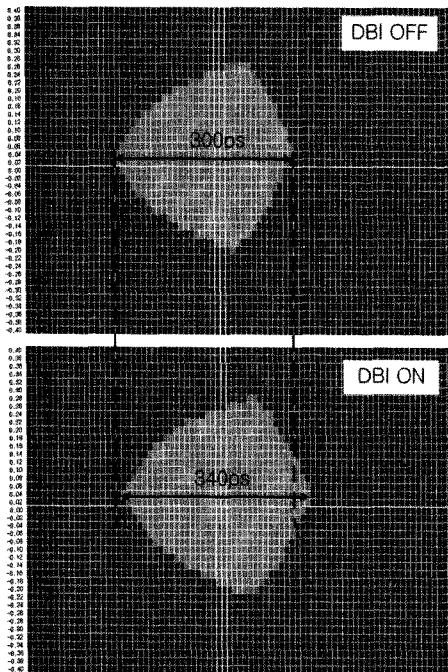


그림 8. DBI On/Off data eye 비교
Fig. 8. The comparison of DBI On/Off data eye.

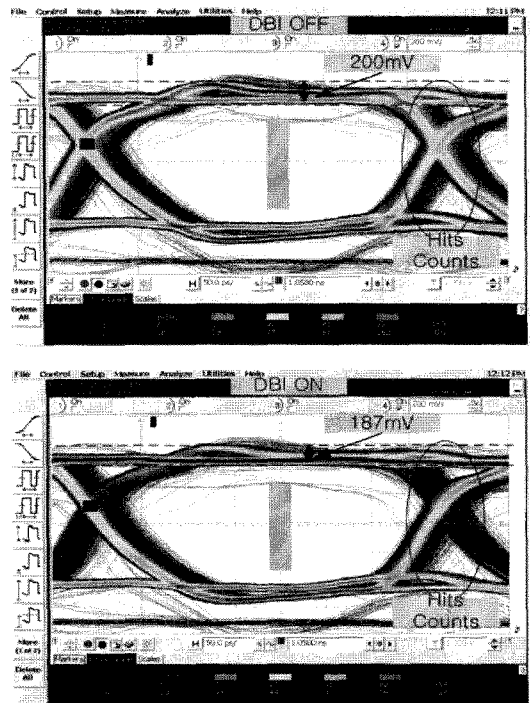


그림 10. DBI On/Off Data Eye 파형 비교
Fig. 10. The wave comparison of DBI On/Off data eye.

수)이 질게 나타났으며, On 동작을 했을 때는 파란색 (천이 개수 감소)이 나타나는 것으로 판단해 Cross Point에서 데이터의 천이 개수가 상당히 감소한 것을 의미한다. 대략 숫자로 표시하면 Cross Point에서 Hit 수는 기존 400이상에서 100이하로 Transition의 Hits수가 감소된 결과를 얻었다.

256Mb Graphics SDRAM 90nm CMOS 공정을 이용하여 제조되었으며 Chip측정 사진을 그림 9에서 나타내었다.

참 고 문 헌

- [1] R.J.Fletcher et al., US4,667,337, May 19. 1987.
- [2] D.G Walker et al., US 6,046,943, Apr4. 2000.
- [3] K. Nakaumra et al., "A 500-MHz 4-Mb CMOS pipeline-burst cache SRAM with point-to-point noise reduction coding I/O," IEEE Journal of Solid-State Circuit, 1758-1765, VOL.32, NO.11, Nov. 1997.
- [4] Y. S. Shon et al., "A512Mbit, 3.2Gbps/pin Packet-based DRAM with cost-efficient clock generation and distribution scheme," in Symp. VLSI Circuits Dig. Tech. Papers, pp. 36-37, 2004.

저 자 소 개



곽 승 욱(정회원)
 1996년 한양대학교 전자공학과 석사 졸업.
 2009년 현재 한양대학교 전자 컴퓨터통신공학과박사 과정
 2009년 하이닉스반도체 Graphics 설계팀 선임 연구원

<주관심분야 : High Speed DRAM설계, 저전력 집적회로설계 등임.>



곽 계 달(평생회원)
 1974년 한양대학교 전자공학과 학사 졸업.
 1976년 한양대학교 전자공학과 석사 졸업.
 1980년 프랑스 Institute of National Polytechnique de Toulouse 전자공학과 박사 졸업

2009년 현재 한양대학교 전자컴퓨터통신공학과 교수

<주관심분야 : 반도체 소자모델링, 화합물 반도체소자, 저전력 회로 설계, Mixed-mod 회로설계 등임.>