

논문 2009-46SD-7-9

# 960MHz Quadrature LC VCO를 이용한 CMOS PLL 주파수 합성기 설계

(Design of a 960MHz CMOS PLL Frequency Synthesizer with  
Quadrature LC VCO)

김 신 웅\*, 김 영 식\*\*

(Shin-Woong Kim and Young-Sik Kim)

## 요 약

본 논문에서는 0.25- $\mu\text{m}$  디지털 CMOS공정으로 제작된 UHF대역 RFID를 위한 무선통신용 쿼드러처(Quadrature) 출력이 가능한 Integer-N방식의 PLL 주파수 합성기를 설계 및 제작하여 측정하였다. Integer-N 방식의 주파수 합성기의 주요 블록인 쿼드러처 전압제어 발진기(Voltage Controlled Oscillator, VCO)와 위상 주파수 검출기(Phase Frequency Detector, PFD), 차지 펌프(Charge Pump, CP)를 설계하고 제작하였다. 전압제어발진기는 우수한 위상노이즈 특성과 저전력 특성을 얻기 위해 LC 공진기를 사용하였으며 전압제어 가변 캐패시터는 P-channel MOSFET의 소스와 드레인 다이오드를 이용하여 설계되었으며 쿼드러처 출력을 위해 두 개의 전압제어발진기를 서로 90도 위상차를 가지도록 설계하였다. 주파수 분주기는 프리스케일러(Pre-scaler)와 아날로그 디바이스의 칩 ADF4111을 사용하였으며 루프 필터는 3차 RC필터로 설계하여 측정하였다. 측정결과 주파수 합성기의 RF 출력 전력은 50 $\mu\text{W}$  부하에서 -13dBm이고, 위상 잡음은 100KHz offset 주파수에서 -91.33dBc/Hz 이었으며, 동작 주파수영역은 최소 930MHz에서 최대 970MHz이고 고차시간은 약 600 $\mu\text{s}$ 이다.

## Abstract

This paper reports an Integer-N phase locked loop (PLL) frequency synthesizer which was implemented in a 250nm standard digital CMOS process for a UHF RFID wireless communication system. The main blocks of PLL have been designed including voltage controlled oscillator, phase frequency detector, and charge pump. The LC VCO has been used for a better noise property and low-power design. The source and drain junctions of PMOS transistors are used as the varactor diodes. The ADF4111 of Analog Device has been used for the external pre-scaler and N-divider to divide VCO frequency and a third order RC filter is designed for the loop filter. The measured results show that the RF output power is -13dBm with 50 $\mu\text{W}$  load, the phase noise is -91.33dBc/Hz at 100KHz offset frequency, and the maximum lock-in time is less than 600 $\mu\text{s}$  from 930MHz to 970MHz.

**Keywords :** PLL, VCO, Integer-N, Phase noise, Frequency synthesise

## I. 서 론

주파수합성기(Frequency Synthesizer)는 무선통신 시

스템의 송수신기 구현에 요구되는 중요한 부품으로써 송신기 또는 수신기에서 기저대역 신호와 RF대역신호를 상향 또는 하향 주파수 변환을 하기위해 필요한 국부발진기(Local Oscillator)신호를 안정적으로 공급하는 역할을 한다. 본 연구는 UHF 대역 RFID에 응용 가능하도록 주파수합성기를 구현하였다. 특히 UHF대역 RFID, 860MHz에서 960MHz 대역은 빠른 데이터 전송 속도와 동작거리 등에서 우수하여 세계적으로 유통, 물류등의 용도에 가장 적합한 대역으로 여겨지고 있다.<sup>[1]</sup>

\* 학생회원, \*\* 정회원, 한동대학교 정보통신공학과  
(Department of Information Communication  
Engineering, Handong Global University)

※ 본 연구는 IDEC(반도체설계교육센터)의 MPW 프로그램 지원에 의해 수행되었음.

※ 본 연구는 산업자원부와 한국산업기술재단의 지역 혁신인력양성사업으로 수행된 연구결과임.

접수일자: 2009년1월8일, 수정완료일: 2009년6월30일

주파수 합성기 설계에서 가장 중요한 특성은 전압제어발진기의 출력 신호의 위상잡음 특성과 고착시간이다. 일반적으로 LC공진을 이용한 전압제어발진기를 이용한 위상고정루프(PLL) 방식의 주파수 합성기는 비교적 높은 주파수에서 안정적인 주파수특성을 얻을 수 있으며 적은 전류소모를 가지고 있다. 이로 인해 대부분의 무선통신 시스템에서 LC VCO PLL 주파수 합성기가 이용된다.<sup>[2]</sup>

주파수 합성기는 전압제어발진기와 위상주파수검출기 및 차지펌프, 루프필터, 그리고 주파수 분주기로 구성되어 있다. 그중 주파수 분주기는 RF신호를 분주해서 주파수를 낮추는 프리스케일러와 채널 구분을 하기 위한 분주기로 구분된다. 일반적으로 Integer-N 방식은 주파수 분해능이 낮고 상대적으로 루프 대역폭이 좁아서 고착시간이 길다는 단점이 있지만 구조가 간단하고 저전력으로 구현이 가능하다.<sup>[3]</sup>

그리고 현재 대부분의 무선 통신 시스템에서 복소 변조방식을 사용하기 때문에 국부발진기에서는 서로 위상이 90도 차이 나는 In-phase와 쿼드러처 신호를 공급해 주어야 한다. 이를 위해 일반적으로 1/2 분주기를 이용하거나 Poly-Phase Filter를 이용하여 쿼드러처 신호를 생성한다.

본 논문에서는 Integer-N 방식의 주파수 합성기를 0.25um 디지털 CMOS공정으로 구현하였으며 쿼드러처 신호를 얻기 위하여 2차 고조파 신호가 서로 180위상차를 가지도록 두 개의 서로 다른 전압제어발진기를 Common Mode를 서로 연결함으로써 위상이 90도 차이를 가지도록 설계 및 구현하였다.<sup>[6]</sup>

## II. Integer-N PLL 주파수 합성기

### 1. 주파수 합성기의 구조

PLL 주파수 합성기는 피드백(Feedback) 구조를 가지고 있으며 아래 그림 1에서와 같이 기본적으로 위상주파수검출기, 차지펌프, 루프필터, 전압제어발진기, 프로그래밍 가능한 주파수 분주기로 구성된다.

전압제어 발진기의 출력 주파수는 다음과 같다.

$$\begin{aligned} f_{VCO} &= f_{ref} \times N \\ &= f_{ref} \times (BP + A) \end{aligned} \quad (1)$$

여기서 N 값은 주파수 분주기의 분주비로써 분주기

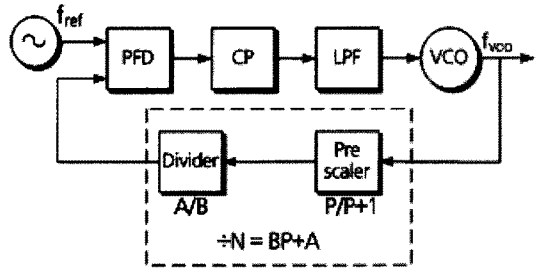


그림 1. Integer-N 주파수 합성기 블록도

Fig. 1. The Block diagram of the Integer-N frequency synthesizer.

의 A와 B값 그리고 프리스케일러의 정수이며, 설계된 Integer-N 주파수 합성기의 주파수 분해능은 참조주파수( $f_{ref}$ )가 된다.<sup>[4]</sup>

PLL 주파수 합성기는 실제 전압제어발진기의 출력주파수( $f_{VCO}$ )와 참조주파수의 위상을 비교하여 참조주파수의 위상에 고정하는 방식으로 동작한다. 먼저 전압제어발진기에 일정 전압이 인가되어 이에 따르는 출력주파수를 발생시키게 되고, 이 출력주파수는 피드백 루프 안에 포함 된 주파수 분주기로 나누어진 후 위상주파수검출기에서 참조주파수의 위상과 비교가 이루어진다. 주파수 분주기는 일반적으로 고주파에서 동작하는 프리스케일러와 상대적으로 낮은 주파수에서 동작하는 분주기로 구성되며 프로그래밍 가능하도록 설계되어 여러 가지 원하는 분주비를 가질 수 있도록 한다. 위상주파수검출기는 참조주파수와 분주된 전압제어발진기의 출력주파수의 위상을 서로 비교하여 그 위상의 차이만큼을 UP(참조주파수가 분주된 출력주파수보다 높을 때)과 DOWN(참조주파수가 분주된 출력주파수보다 낮을 때)의 두 가지 펄스신호로 출력한다. 차지펌프는 위상 고정루프를 통해 출력되는 UP과 DOWN 신호에 맞춰 각 신호의 펄스폭에 해당하는 전하를 밀어(Push)주거나 당겨(Pull)주는 역할을 한다. 차지펌프의 출력은 루프필터에서 전압으로 변환된다. 루프필터는 하나 이상의 캐패시터로 구성되며 펌프에서 밀고 당기는 전하를 축적, 방출함으로써 상승 혹은 하강하는 전압을 만들어 내고 이것을 전압제어발진기의 제어전압이 되도록 한다. 제어전압은 전압제어발진기의 출력 주파수를 결정하기 때문에 루프가 고착이 되면 잡음이 없는 깨끗한 직류전압이 되어야 한다. 따라서 루프필터는 일반적으로 고주파와 그 외의 잡음 신호를 걸러내는 저역통과필터(Lowpass filter) 형태를 지닌다. 전압제어발진기의 출력주파수는

주파수 분주기의 분주비를 다르게 함으로 가변 할 수 있다.

그리고 주파수를 가변 할 때, 얼마나 빨리 주파수가 안정화가 되는가를 측정하는 성능지표로 고착시간이 있다. 주파수 분주비를 변화시킨 경우 주파수가 안정화하는데 걸리는 시간으로 일반적으로 최소 주파수에서 최대 주파수까지 변화시켰을 경우 주파수가 안정화 되는 시간으로 측정한다. 고착시간은 루프이득과 위상주파수 검출기의 참조 주파수에 크게 영향을 받는다.

2. 주파수 합성기의 각 구성요소

가. 전압제어 발진기(Voltage Controlled Oscillator)

전압제어발진기는 입력 제어전압에 따라 출력 주파수가 변하는 소자이다. 이를 설계할 때 고려해야 할 항목으로는 위상잡음(Phase noise), 조절범위(Tuning range), 전력소모(Power consumption), 전압에 대한 주파수 민감도 등이 있다. 본 연구에서는 그림2에서 보인 LC 공진을 이용한 쿼드러처 전압제어 발진기를 설계하였다. LC 전압제어발진기는 다른 구조와 달리 위상잡음 특성, 신호의 진폭, 전력소모 면에서 특성이 좋기 때문에 무선통신 시스템에 널리 사용되고 있다.<sup>[5]</sup>

그림 2에서 트랜지스터 M1과 M2는 전류원으로써 전압제어발진기의 전류 바이어스 회로이며, M3부터 M10은 부성저항(negative resistance)의 조건을 만들기 위해 사용되었다.  $C_{var1}$ ,  $C_{var2}$ ,  $C_{var3}$ ,  $C_{var4}$ 는 PMOS 버랙터(Varactor)로써 n-well안의 p-diffusion으로 구성된 p+/n-well junction 다이오드 버랙터로 구현하였으며 외부 인덕터를 사용하여 공진기를 설계하였다. 설계된 전압제어발진기는 쿼드러처 출력을 위하여 두 개의 발진기로 구성하고 2차 고조파(Harmonic) 신호가 180

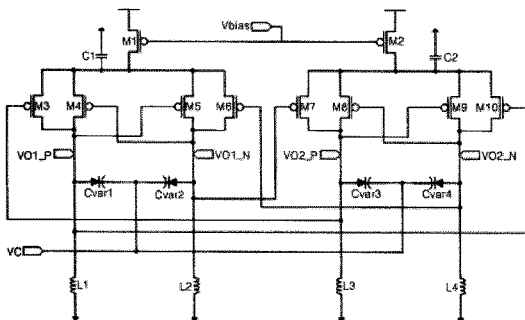


그림 2. 쿼드러처 전압제어발진기  
Fig. 2. Coupled LC Oscillators With Quadrature Outputs.

도 위상차를 가지도록 설계하였다.<sup>[6]</sup> 따라서 기본 주파수에서는 각각 90도의 위상차이가 나는 I, Q신호가 출력된다. LC 탱크의 공진 주파수는 다음 수식에 의해 결정된다.<sup>[7]</sup>

$$f_{osc} = \frac{1}{2\pi\sqrt{LC_{var}}} \quad (2)$$

나. 주파수위상검출기(PFD) 및 차지펌프(CP)

위상검출기는 믹서 또는 XOR를 이용하여 설계할 수 있다. 하지만 이 방식은 위상 검출이  $\pm\pi$ 까지만 가능하다. 본 논문에서 사용한 위상주파수검출기는 그림3에서 보인 바와 같이 리셋 가능한 D-flip/flop 두 개와 인버터, NAND 게이트, Delay cell로 설계하였다. 이 방식은  $\pm 2\pi$ 까지 위상 검출이 가능하다. 위상주파수검출기의 두 입력의 위상차이만큼, 조건에 따라 UP 또는 DOWN의 신호를 출력한다.<sup>[8]</sup>

차지펌프는 출력단에서 전하를 밀거나 또는 당기는 두 개의 전류원으로 구성되며 각 전류원은 주파수검출기의 출력인 UP과 DOWN 신호에 의해 제어된다. 차지펌프 블록은 위상잡음 특성을 개선하기 위해 UP신호와 DOWN신호에 따라 밀어내는 전류와 당기는 전류의 양이 일치하여야 한다. 그림5는 본 설계에서 사용한 차지펌프 회로를 보여주고 있다. VCP는 펌핑 전류의 크기를 제어할 수 있도록 설계하였다. 그리고 동일한 전류소스를 기준으로 UP/DOWN전류를 출력하도록 함으로

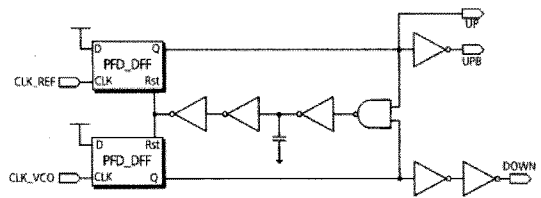


그림 3. 위상주파수검출기 회로도  
Fig. 3. A Phase Frequency Detector Circuit.

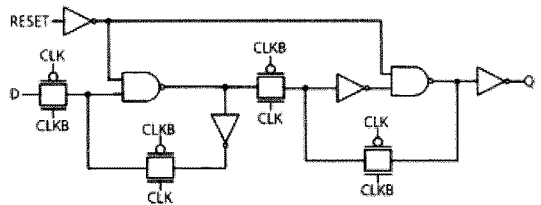


그림 4. 위상주파수검출기 플립플롭(PFD-DFF) 회로도  
Fig. 4. A Phase Frequency Detector D-FF Circuit.

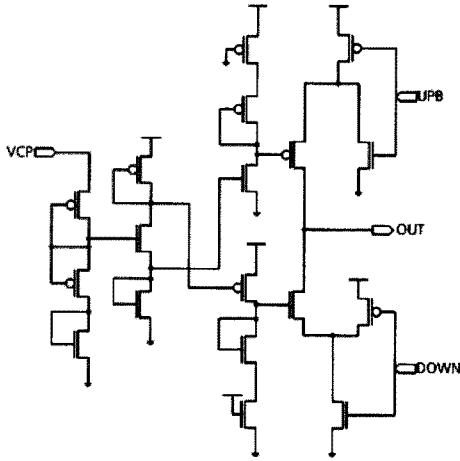


그림 5. 차지펌프 회로도  
Fig. 5. A Charge Pump Circuit.

써 UP/DOWN전류의 크기를 일치하도록 설계하였다. 그리고 위상주파수검출기의 UP과 DOWN신호에서 전류가 발생하는 지연시간이 일치하도록 스위칭 구조를 동일하게 설계하였다. 이를 위해 차지펌프의 입력 값으로는 UP의 반대 신호인 UPB와 DOWN 신호를 사용하였다.

다. 루프필터(Loop filter)설계

그림 6은 본 논문에서 설계한 3차 수동 루프필터를 회로를 보여주고 있다. 각 소자들의 값은 회로의 RC시정수를 풀어 그 값을 통해 구하게 된다.

$$T_1 = \frac{\sec\phi - \tan\phi}{\omega_p} \tag{3.1}$$

$$T_3 = \sqrt{\frac{10^{ATTN/20} - 1}{(2\pi \cdot F_{ref})^2}} \tag{3.2}$$

$$\omega_c = \frac{\tan\phi(T_1 + T_3)}{(T_1 + T_3)^2 + T_1 \cdot T_3} \times \left[ \sqrt{1 + \frac{(T_1 + T_3)^2 + T_1 T_3}{(\tan\phi \cdot (T_1 + T_3))^2}} - 1 \right] \tag{3.3}$$

$$T_2 = \frac{1}{\omega_p^2 \cdot T_1} \tag{3.4}$$

$$ATTN = 20\log \left[ (2\pi F_{ref} R_3 C_3)^2 + 1 \right] \tag{3.5}$$

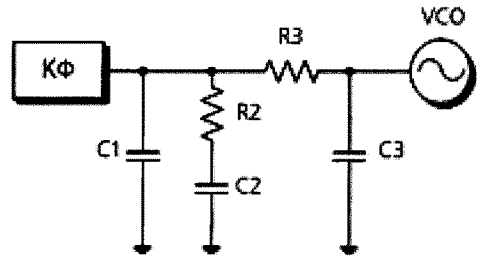


그림 6. 3차 루프필터(Loop filter)  
Fig. 6. A 3rd Order Passive Loop Filter.

여기서  $\phi$ 는 위상마진을 나타낸다.

먼저 필터 전달함수의 폴 주파수와 제로 주파수를 결정하는 시정수인  $T_1$ 과  $T_3$ 을 구하고 개방 루프의 유니티 게인 주파수  $\omega_c$ 를 계산한다. 이후 나머지 시정수  $T_2$ 를 구하면 캐패시터 값들을 차례로 계산하여 구할 수 있다.<sup>[9-10]</sup>

III. 실험 및 측정 결과

전압제어발진기와 출력버퍼, 주파수 위상검출기, 차지펌프를 설계하여 0.25- $\mu$ m 디지털 CMOS 공정으로 제작하였다. 프리스케일러와 주파수 분주기는 Analog device 사의 ADF4111을 사용하여 테스트하였고 루프필터는 3차 RC필터로 루프 대역폭은 20KHz로 외부보드에서 구현 하였다. 그림 7과 그림 8은 테스트에 사용한

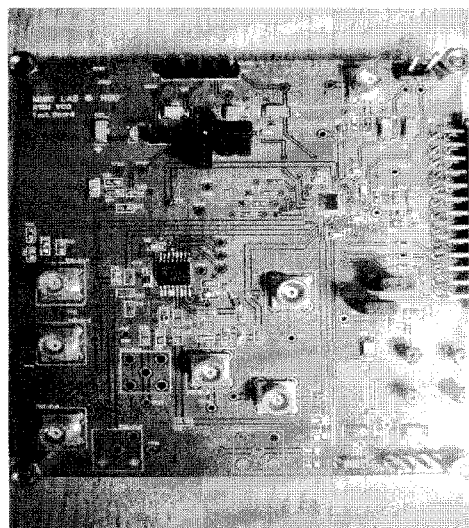


그림 7. 제작된 테스트 PCB  
Fig. 7. A Test board.

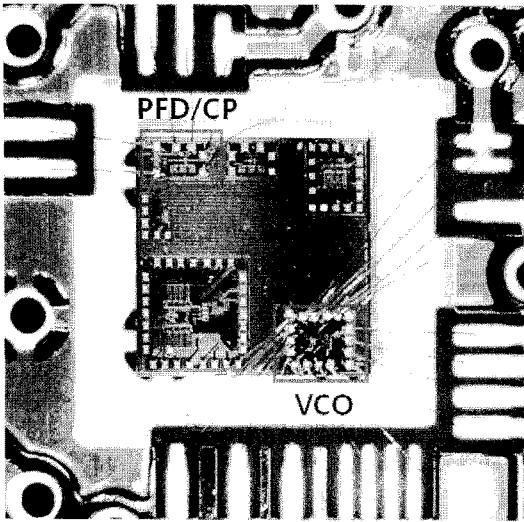


그림 8. 와이어 본딩 된 칩의 사진  
Fig. 8. Bonded die photograph of chip.

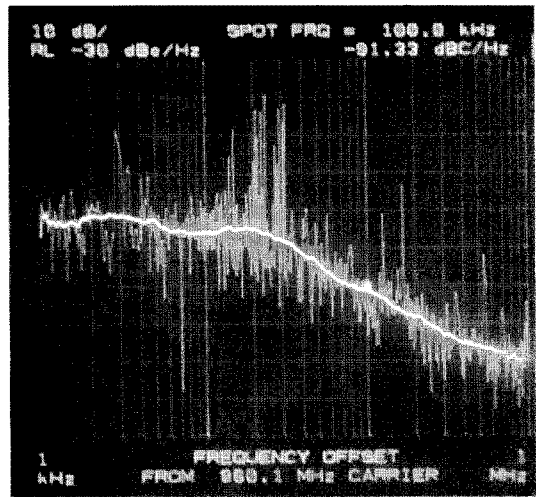


그림 10. 위상잡음 특성  
Fig. 10. Phase Noise characteristic.

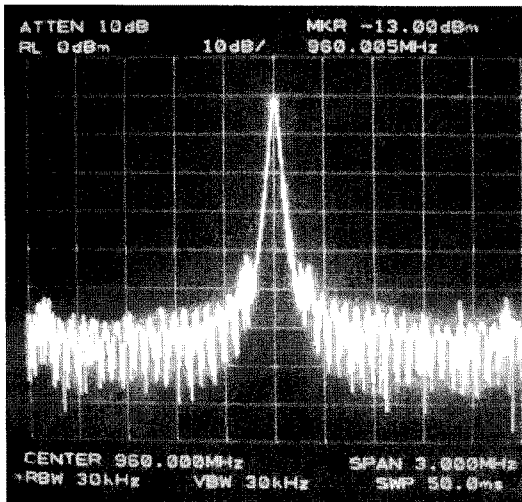


그림 9. VCO 출력 스펙트럼  
Fig. 9. Spectrum of VCO output.

PCB보드와 와이어를 통해 본딩 된 칩을 보여주고 있다. 그림 8에서 좌측 상단에는 위상주파수검출기와 차지펌프를 내부에서 하나의 레이아웃으로 설계한 모습이며 참조주파수와 전압제어발진기의 출력주파수는 그림 7에서 보이는 것과 같이 외부 PCB보드 상에서 인가될 수 있도록 패드와 본딩 와이어를 통해 연결하였다. 그림8의 우측하단에 설계된 전압제어발진기 역시 제어전압과 출력주파수를 외부 PCB보드 상에서 인가 혹은 출력될 수 있도록 패드와 본딩 와이어를 통해 구현 되었

다. 참조주파수는 200KHz이며 50옴 부하를 통해 외부 크리스탈 오실레이터를 사용하였으며 PC와 병렬포트를 통해서 ADF4111 칩을 제어 하였다. 측정은 스펙트럼분석기와 오실로스코프를 이용하였다. 측정된 locking range는 930MHz에서 970MHz까지 동작하였다.

그림 9는 960MHz 주파수에서 고착이 된 상태에서 전압제어발진기 출력버퍼에서 측정한 스펙트럼 결과를 보여주고 있다. 출력전력은 50옴 부하에서 -13dBm을 출력하였다.

그림 10은 PLL 주파수 합성기의 위상잡음 특성을 보여준다. 측정된 위상 잡음은 100KHz offset 주파수에서 -91.33dBc/Hz이다. 쿼드러처 전압제어발진기에서 부성 저항을 만들어내는 커플링 트랜지스터들의 1/f 잡음에 의해 위상잡음이 영향을 받으며 본 연구에서는 디지털 CMOS공정을 사용하여 소자의 surface status가 아닐로 그/RF 전용 공정에 비해 상대적으로 많은 트랩이 존재하기 때문에 1/f잡음이 높게 나타나 위상 잡음 특성을 개선하는데 한계가 있다. 디지털 CMOS공정을 감안할 때 만족할 만한 위상 잡음 특성을 얻었다.

고착시간을 측정하기 위해서 930MHz에서 970MHz 까지 천이할 때 전압제어발진기의 제어전압을 측정하였다. 그림 11은 최소에서 최대 주파수로 천이할 때 전압제어발진기의 제어전압을 측정한 결과이며 측정된 고착시간(Lock-in time)은 약 600us 시간이 걸림을 알 수 있다.

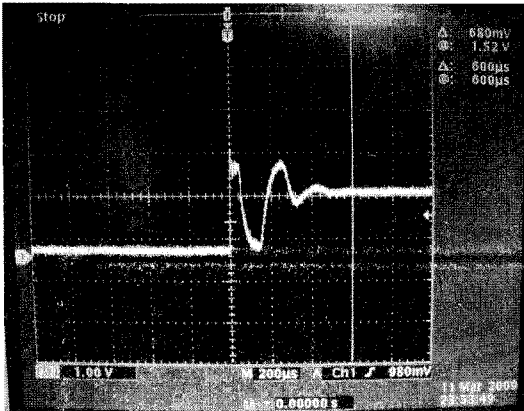


그림 11. PLL의 고착 시간  
Fig. 11. Lock-in time of the PLL.

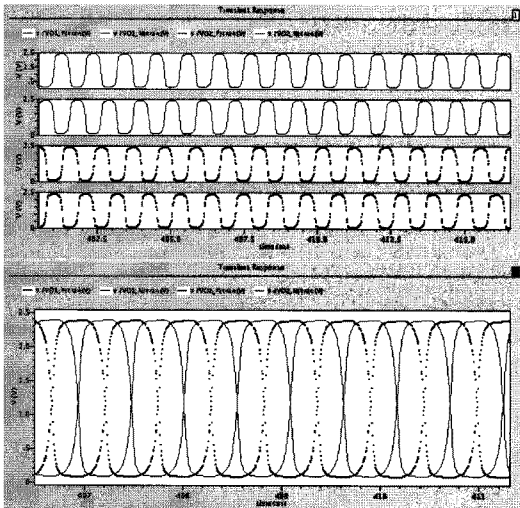


그림 12. 쿼드러처 전압제어발진기의 출력파형  
Fig. 12. Waveform of quadrature VCO.

표 1. 설계된 주파수 합성기 특성  
Table 1. Characteristics of designed frequency synthesizer.

	Simulation	Measured
공정	0.25 $\mu$ m CMOS	0.25 $\mu$ m CMOS
전압	2.5V	2.5V
출력 주파수	855MHz~970MHz	930MHz~970MHz
위상잡음	-106.28dBc/Hz @ 100KHz	-91.33dBc/Hz @ 100KHz
소비전력	12mW-VCO 6.5mW - PFD/CP	25mW-VCO 7.5mW - PFD/CP

그림 12는 설계된 쿼드러처 전압제어발진기의 시뮬레이션 결과이다. 쿼드러처 위상 특성은 [6]에서와 같이

2차고조파의 위상을 제어하여 얻을 수 있었다.

표 1은 설계된 주파수 합성기의 성능결과표이다. 측정결과는 설계결과에 미치지 못하고 있는데 이는 본 설계에 사용한 디지털 CMOS공정의 모델이 RF특성과 잡음 특성을 포함하고 있지 않기 때문에 정확히 시뮬레이션을 하지 못하였다.

#### IV. 결 론

본 논문에서는 UHF RFID 응용분야를 위하여 LC VCO를 이용한 쿼드러처 출력이 가능한 Integer-N 방식의 PLL 주파수 합성기를 설계하고 기능을 검증하였다. 전압제어발진기와 위상주파수검출기, 차지펄프는 0.25- $\mu$ m 디지털 CMOS 공정으로 제작하였으며 테스트를 위해 프리스케일러와 Integer-N 주파수 분주기는 아날로그 디바이스 사의 ADF4111을 사용하여 시험하였다. 측정결과 출력전력은 -13dBm이며, 위상잡음은 100KHz offset 주파수에서 -91.33dBc/Hz를 갖고 930MHz에서 970MHz범위에서 약 600us의 고착 시간을 가지는 PLL 주파수 합성기를 설계하였다.

#### 참 고 문 헌

- [1] 표철식, "UHF RFID", TTA Journal, 제94호, p123, July 2004.
- [2] William F. Egan, "Frequency Synthesis by Phase Lock", Wiley Inter-science, 1999.
- [3] Curtis Barrett, "Fractional/Integer-N PLL Basics" Texas Instruments, Technical Brief; SWRA029, p39-40, 1999.
- [4] Keliu Shu, Edgar Sanchez-Sinencio, "CMOS PLL SYNTHESIZERS Analysis and Design," Springer, p33, 2005.
- [5] Saurabh Sinha, "Design of an integrated CMOS PLL frequency synthesizer", IEEE MELECON 2002, p222, Cairo, EGYPT, 2002, May 7-9
- [6] Ibrahim R. Chamas, "Analysis and Design of a CMOS Phase-Tunable Injection-Coupled LC Quadrature VCO (PTIC-QVCO)", IEEE Journal of Solid State Circuits, Vol.44, No.3, March 2009.
- [7] M.A Do, R.Y. Zhao, K.S. Yeo and J.G. Ma, "New wideband/dualband CMOS LC voltage-controlled oscillator", IEE Proc.-Circuits Devices Syst., Vol. 150, No. 5, p454, October 2003.
- [8] R. Jacob Baker, "CMOS-circuit design, layout,

and simulation, 2nd edition”, Wiley Inter-science p551-561, 2008.

- [9] Dean Banerjee, “PLL Performance Simulation and Design 4th Ed”, Dog Ear Publishing, p180, 2006.
- [10] William O. Keese, “An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump Phase-Locked Loops”, National Semiconductor Application Note 1001, p3-4, May 1996.

저 자 소 개



김 신 응(학생회원)  
 2009년 한동대학교 전산전자  
 공학부 학사 졸업.  
 2009년 한동대학교 정보통신  
 공학과 석사과정 입학

<주관심분야 : RFID/USN, VLSI 설계, PLL 및  
 주파수 합성기 설계, RF/아날로그 IC설계>



김 영 식(정회원)  
 1993년 포항공과대학교 전자전기  
 공학과 학사 졸업.  
 1995년 포항공과대학교 초고주파  
 공학과 석사 졸업.  
 1999년 포항공과대학교 초고주파  
 공학과 박사 졸업.

1999년~현재 한동대학교 전산전자공학부 부교수  
 <주관심분야 : 센서 네트워크 개발, RFID, 무선 송  
 수신용 RF/Analog IC설계, 무선통신용 모델 설  
 계>