

<학술논문>

DOI:10.3795/KSME-B.2009.33.10.797

OLED 디스플레이 제작을 위한 Joule 유도 결정화 공정에서의 유리기판에 대한 열해석

김동현* · 박승호† · 홍원의** · 정장균** · 노재상*** · 이성혁****
(2009년 8월 4일 접수, 2009년 8월 20일 수정, 2009년 8월 20일 심사완료)

Thermal Analysis on Glass Backplane of OLED Displays During Joule Induced Crystallization Process

Dong Hyun Kim, Seungho Park, Won Eui Hong, Jang-Kyun Chung, Jae Sang Ro
and Seung Hyuk Lee

Key Words : Joule Heating (줄 가열), Silicon Crystallization (실리콘 결정화), Glass Deformation(유리 변형), OLED Display Backplane (OLED 디스플레이 기판)

Abstract

Large area crystallization of amorphous silicon thin-films on glass substrates is one of key technologies in manufacturing flat displays. Among various crystallization technologies, the Joule induced crystallization (JIC) is considered as the highly promising one in the OLED fabrication industries, since the amorphous silicon films on the glass can be crystallized within tens of microseconds, minimizing the thermally and structurally harmful influence on the glass. In the JIC process the metallic layers can be utilized to heat up the amorphous silicon thin films beyond the melting temperatures of silicon and can be fabricated as electrodes in OLED devices during the subsequent processes. This numerical study investigates the heating mechanisms during the JIC process and estimates the deformation of the glass substrate. Based on the thermal analysis, we can understand the temporal and spatial temperature fields of the backplane and its warping phenomena.

기호설명

<p>A : Mo 박막층의 윗면적 (m^2)</p> <p>C_p : 비열 ($J/kg\cdot K$)</p> <p>c : 중심에서부터 두께 (m)</p> <p>E : 탄성계수(Pa)</p>	<p>h_{mo} : Mo 박막층의 두께 (m)</p> <p>I : 입력 전압 (A)</p> <p>K : 열전도도 ($W/m\cdot K$)</p> <p>S : 단위 체적당 발열량 (W/m^3)</p> <p>T : 온도 (K)</p> <p>V : 입력 전압 (V)</p> <p>x : 두께 방향 거리 (m)</p>
--	--

[이 논문은 2009년도 신재생부품 춘계학술대회(2009. 5. 21., BEXCO) 발표논문임]

† 책임저자, 회원, 홍익대학교 기계시스템디자인공학과
E-mail : spark@hongik.ac.kr
TEL : (02)320-1632 FAX : (02)322-7003

* 홍익대학교 대학원 기계공학과

** (주) 엔셀텍

*** 홍익대학교 신소재공학과

**** 중앙대학교 기계공학부

그리스문자(Greek letters)

α	: 열팽창율 ($m/m\cdot K$)
ε	: 변형율 (m/m)
η	: 점성 (poise)
ν	: 푸아송 비
ρ	: 밀도 (kg/m^3)
σ	: 응력 (Pa)

1. 서론

결정질 실리콘은 높은 열전도율과 우수한 전기적 특성 등으로 인하여 디스플레이 및 태양광 발전 패널의 기관으로써 많은 장점을 가진다. 그러나 단결정 실리콘의 대면적화는 매우 어려워 현실적으로 불가능하기에, 이에 대한 대안으로 다결정 실리콘이 사용되고 있다. 다결정 실리콘 역시 비정질 실리콘에 비하여 우수한 열적, 전기적 특성을 가지며 대면적 생산이 가능한 장점이 있다.

이러한 다결정 실리콘은 제작하는 방식은 기본적으로는 직접 기관 위에 증착하거나 비정질 실리콘을 증착한 후 다양한 후처리 공정을 거쳐 다결정으로 변화시키는 방법으로 구분할 수 있다. 이 중 직접 증착 방법은 600 °C LPCVD (low pressure chemical vapor deposition) 공정을 통하여 다결정 실리콘을 유리기관 위에 증착시키는 방법으로, 결정립 크기 (grain size)가 약 50 nm 로 작고, 미세 쌍정 (microtwin) 등의 결함이 많고, 표면이 거칠고 공정시간이 비교적 긴 단점이 있다.^(1,2) 반면, 비정질 실리콘을 다결정 실리콘으로 변화시키는 방법은 엑시머 레이저 결정화 (ELC), rapid thermal annealing (RTA), metal induced crystallization (MIC), solid phase crystallization (SPC), Joule-heating induced crystallization (JIC) 등 다양한 방법이 개발되었거나 개발중인 상태에 있다.

RTA 방법은 비교적 긴 공정 시간과 고온으로 인하여 대면적 유리기관에 적용되기 어려운 것으로 평가되고 있다.⁽³⁾ 온도가 가장 낮은 상태에서 결정화를 유도하는 SPC 의 경우 유리기관을 사용할 수 있는 상대적으로 낮은 온도에서 공정이 가능하지만 수 시간 이상의 긴 공정시간이 큰 약점으로 꼽힌다.⁽⁴⁾ ELC 는 저온 결정화가 가능하지만 레이저 스캔시간과 균일성이 떨어지고 스캔과정에서 오버랩에 의한 자국이 남는 단점을 가지고 있다.⁽⁵⁾ MIC 는 최근 많은 관심을 받고 있는 방법으로 유리기관을 사용할 수 있는 저온에서 결정화가 가능한 장점을 가지고 있지만, 결정화 유도 금속 제거를 위한 공정을 포함하고 있으므로 공정시간이 SPC 와 같이 길어지는 단점을 가지고 있다.⁽⁶⁾

반면 JIC 방법은 전도성 박막층에 전류를 흘려 이를 통한 Joule 가열로 대면적의 비정질 실리콘을 매우 빠르게 결정화 할 수 있는 방법으로 기존의 단점을 극복할 수 있는 결정화 방법으로 기대된다.^(7,8) JIC 공정은 짧은 공정시간 안에 큰 전류를 흘려 짧은 시간 동안 가열된 비정질 실리콘이 고상-고상 또는 고상-액상-고상의 상변화과정을 통

해 결정화를 이루게 된다. 따라서 SPC 및 MIC 등의 방법에 비하여 공정시간이 매우 짧고 RTA 와 비교 시 고온으로 올라가는 점에서는 같으나 JIC 방법은 그 시간이 수십-수백 μs 이내므로 열 침투 깊이가 수백 μm 로 제한될 수 있으므로 유리 등의 열에 취약한 소재를 사용할 수 있다. 또한 소자 전체를 금속성의 박막으로 덮고 이를 통하여 가열하므로 결정화된 실리콘 박막의 높은 균일성 또한 보장된다. 따라서 JIC 공정에서 중요한 것은 결정화를 위한 실리콘 박막의 가열과 기관 변형 방지를 위한 짧은 공정 시간으로 꼽을 수 있다. 이에 대한 최적공정설계를 위하여 본 연구에서는 JIC 공정에서 기관의 온도 해석 및 변형을 수치적 시뮬레이션 하였다.

2. 온도장 해석

연구대상 소자의 기본구조는 유리기관 위에 SiO_2 를 PECVD 방법으로 통해 300nm 두께로 증착하고 그 위에 Mo 박막 층을 sputtering 으로 100nm 만큼 증착하고, 그 위에 다시 SiO_2 와 비정질 Si 층을 PECVD 방법을 통해 각각 300nm 와 50nm 씩 증착한 구조이고, 이를 Fig. 1 에 간략히 나타내었다. 실제 실험에 사용된 0 세대 비정질 Si-유리기관의 크기는 길이와 폭이 각각 20mm x 20mm 이다. 각층의 두께는 전체 시편의 길이와 폭에 비하여 매우 작으므로 1 차원 열전달 문제로 근사 할 수 있고 각층에 대한 지배방정식은 아래와 같다.

$$\frac{\partial \rho C_p T}{\partial t} = \frac{\partial}{\partial x} \left(K \frac{\partial T}{\partial x} \right) + S \quad (1)$$

$$S = \frac{VI}{Ah_{\text{Mo}}} \quad (2)$$

여기서 C_p , ρ , K 는 각각 비열, 밀도, 열전도도를 나타내며 S 는 단위 체적당 Joule 가열에 의한 발열량이므로, 발열층인 Mo 층 해석에만 포함된다.

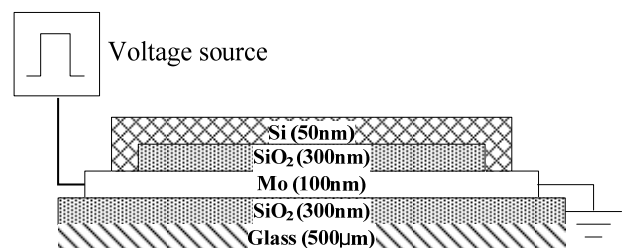


Fig. 1 Schematic diagram for JIC process

각 재료의 물성은 온도에 따라 변하므로,⁽⁹⁻¹²⁾ 수치 해석을 통하여 시뮬레이션 하였다. S 는 금속 박막 전체에 균일하다고 가정하여 펄스 인가 시 실제 측정된 전압과 전류로부터 결정하였다.

Fig. 2는 0세대 시편에 대한 JIC 공정 중 측정된 전압과 전류파형을 나타낸다. 인가전압펄스가 500V, 250 μ s 인 경우로서, 이때 Ohm의 법칙을 활용하면 Fig. 3과 같이 JIC 공정 중 실시간 저항변화를 예측할 수 있다. 그러나 펄스 인가 및 종료 순간에는 시편구조와 리드선에 의한 고유 인덕턴스와 캐패시턴스로 인하여 파형 왜곡이 발생하므로 Ohm 법칙을 적용할 수 없다. 그러나 JIC 공정에서 결정화가 일어나는 영역은 고온이고 이는 펄스가 안정화 되고 난 뒤이므로 전압을 전류로 나눠준 값으로도 의미 있는 결과를 얻을 수 있다. Fig. 3에서 볼 수 있듯이 저항은 펄스인가 및 종료 순간을 제외한 부분에서는 Ohm 법칙에 따른 저항이 부드럽게 증가함을 알 수 있다.

수치해석을 통해 얻은 온도 분포는 Fig. 4에 나타나 있다. 이때 사용된 물성은 Table 1에 정리되어 있다. 전 공정시간 (가열 및 냉각시간 포함)은 수 ms 안에 이루어지므로 대류와 복사를 통한 열손실은 거의 없는 것으로 가정할 수 있으며 인가된 열에너지는 모두 아래의 유리기판을 통하여 빠져나간다고 단순화할 수 있다. Fig. 2와 3의 측정자료를 활용하여 예측한 최대온도는 약 1170 $^{\circ}$ C로 비정질 및 결정성 Si의 용융점 이하로서, 이는 고상-고상 결정화 (SPC)가 일어날 수 있음을 의미한다.

Fig. 5는 결정화를 위한 최고온도를 1200 $^{\circ}$ C 부근으로 고정할 경우, 인가 펄스 길이를 5 μ s에서 100 μ s로 증가시키에 따른 유리기판의 최고 온도 변화를 나타낸다. Fig. 6는 Fig. 5의 결과로부터 유리기판의 최대 온도가 변형 (Softening) 온도 (975 $^{\circ}$ C)를 넘어서는 시간간격을 나타낸다. 이 시간간격이 증가할 수록 기판변형이 심해지리라 예상되고, 이에 대한 해석은 아래의 “3. 기판 변형 해석”에서 설명한다.

3. 기판 변형 해석

공정 중 소자의 온도는 최소한 비정질 Si 박막이 결정화되는 온도 이상으로 가열되어야 한다. 그러나 이 온도는 기판으로 사용되는 유리의 glass transition 온도를 넘어선다. 이로 인하여 기판의

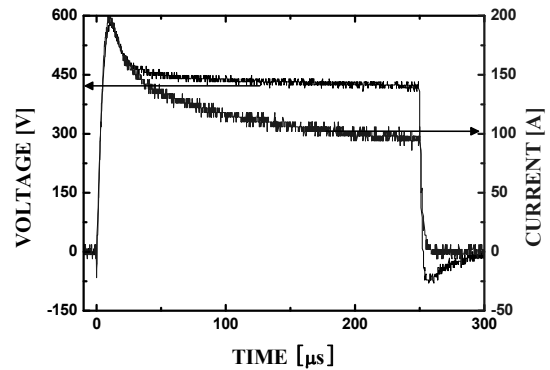


Fig. 2 Input voltage and current during JIC process

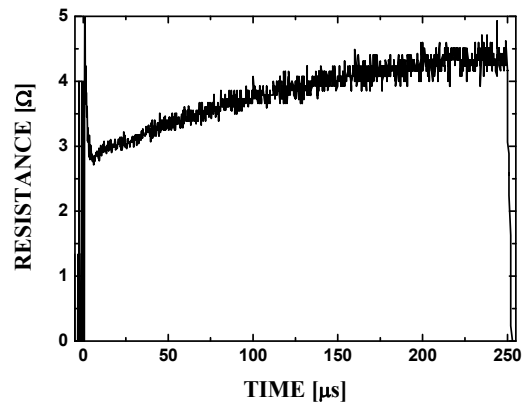


Fig. 3 Resistance variation in JIC process

영구 변형이 남게 된다. 우선 펄스가 인가되는 동안 온도는 계속 상승하게 되는데 열은 기판의 윗면에서만 들어오게 되므로 두께방향으로 큰 온도 구배가 발생하게 된다. 이때 기판의 윗면은 1200 $^{\circ}$ C의 고온으로 팽창하게 되고 차가운 아랫면은 그대로 있으므로 소자는 위쪽으로 부풀어 오르게 된다. 그러나 Fig. 4에서 볼 수 있듯이 펄스가 끝난 순간 열침투 깊이는 불과 50 μ m 이하가 되므로 윗면의 팽창은 크게 억제되게 된다. 이때 온도가 glass transition 온도를 넘어서게 될 경우 유리의 점탄성특성으로 인하여 stress relaxation이 발생하여 억제된 변형이 그만큼 영구 변형으로 남게 된다. 이후 소자가 냉각됨에 따라 팽창했던 기판이 수축하게 되는데 윗면의 경우 stress relaxation에 의해 변형이 억제 되었으므로 이 수축과정에서 원래 길이보다 짧아지게 된다. 따라서 결과적으로 소자는 공정 후 안으로 말려들어가는 변형을 하게 된다.

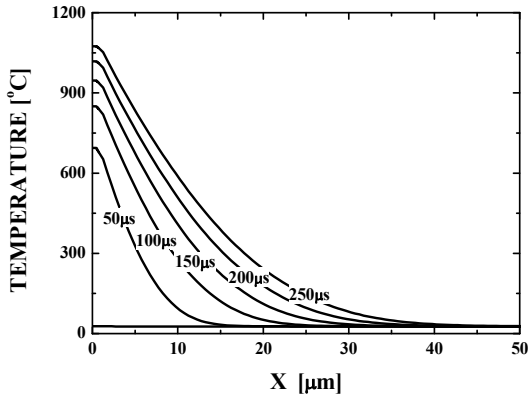


Fig. 4 Temperature distribution during JIC process

Fig. 7 은 이와 같은 공정상의 열변형 과정을 간략히 나타낸다. 이러한 변형은 기관의 균질성을 떨어뜨리게 되어 생산성 하락의 원인이 된다. 디스플레이 공정에서 변형의 영향은 개별적인 공정의 영향을 많이 받기 때문에 명시적인 제한 기준은 존재하지 않지만, 일반적으로 디스플레이분야에서 2세대 기관(550mm x 650mm)의 경우 변형의 의한 표면 곡률반경이 50m 이상이어야만 한다. 변형의 원인은 고온에서 stress relaxation 으로 인한 변형 억제이므로 이를 줄이기 위해서는 펄스의 길이가 짧아야 한다. 그러나 앞에서 밝힌 바와 같이 결정화를 위해서는 최소 온도가 존재하므로 이를 만족하기 위해서 펄스 길이가 짧아 질수록 펄스의 세기는 증가하여야 한다. 그러나 펄스의 세기는 무한정 증가 될 수 없으므로 적절한 허용 가능한 범위를 찾는 것이 중요하다. 이를 위해서는 변형에 관한 해석적 접근이 필요하다.

변형의 원인은 앞에서 밝혔듯이 고온에서 유리 기관의 점성에 의한 것이다. 이때 유리는 물과 같은 완전한 액체 상태가 아닌 점탄성체이다. 점탄성체에 대한 해석은 여러 가지가 있으나 고정된 변형에 대한 stress relaxation 의 영향을 모델링 한 Maxwell 모델⁽¹³⁾을 사용하였고 아래와 같다.

$$\frac{d\varepsilon}{dt} = \frac{\sigma}{\eta} + \frac{1}{E} \frac{d\sigma}{dt} \quad (4)$$

위 식에서 η 는 점성으로 역시 온도의 함수이다. 사용된 유리는 Corning Eagle 2000 모델로 η 는 제조사에 제공한 자료를 사용하였다. 일반적으로 점성은 온도에 반비례하며 지수적으로 감소하고, 그리고 이에 대한 상관식 중 아래의 Vogel-Fulcher-Tamman (VFT) 식은 3 개의 경험상수를 포함하고 있으며 이를 통하여 온도에 따른 점도를 연속적으로 얻을 수 있다.⁽¹³⁾

Table 1 Temperature dependent properties

Amorphous Silicon ⁽⁹⁾			Molybdenum ⁽¹⁰⁾		
T [K]	K	C _p	T [K]	K	C _p
300	7	770	300	144	285
1270	11	1070	1574	94	318
1418	13	1120	2018	78	440
Corning Eagle 2000 ⁽¹¹⁾			SiO ₂ ⁽¹²⁾		
T [K]	K	C _p	T [K]	K	C _p
296.15	0.89	740	300	10.8	1034
323.15	0.95	780	400	13.8	1149
373.15	1.03	850	500	16.8	1233
473.15	1.14	950	ρ	a-Si	2230
573.15	1.2	1030		Mo	10220
673.15	1.29	1090		Sub	2370
873.15	1.45	1210		SiO ₂	2300

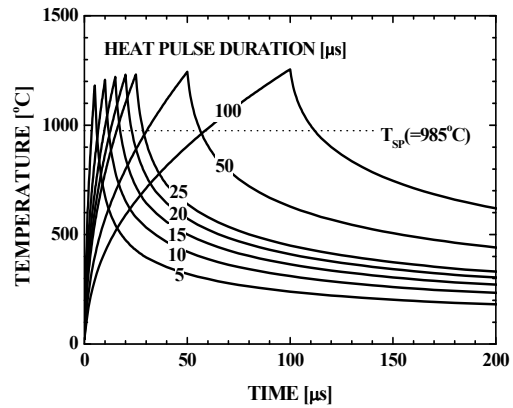


Fig. 5 Peak temperature variation in glass for various input-pulse periods

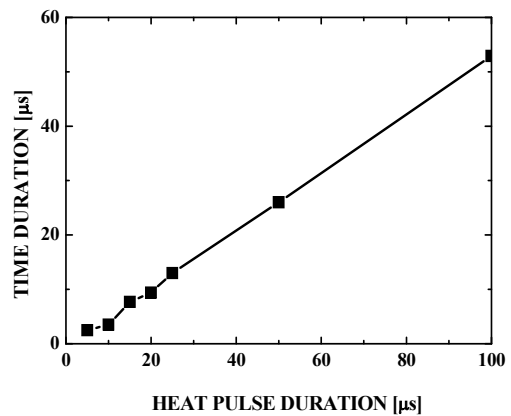


Fig. 6 Time duration for peak temperature greater than T_{sp} with respect to input-pulse period

Table 2 Properties of Corning Eagle 2000⁽¹¹⁾

T [C°]	η [poise]	E [GPa]	α [m/m K]
666	3.16×10^{14}	70.9	36.1×10^{-7}
722	1.00×10^{13}		
985	10000		

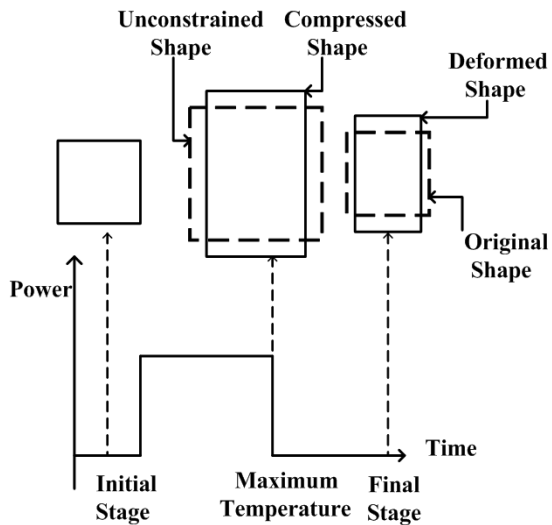


Fig. 7 Thermal deformation of glass backplane during JIC process

$$\eta(t) = \eta_0 \exp\left(\frac{C_0}{T - T_0}\right) \quad (5)$$

Eq. (4)와 (5)의 점도는 온도에 의존하며 그 외의 기계적 물성은 Table 2에 정리하였다. Eq. (4)-(6)은 식 자체의 비선형성과 재료의 온도 의존성으로 인하여 수치적인 방법을 통해서만 해석 가능하다.

본 연구에서는 상용 소프트웨어 ABAQUS⁽¹⁴⁾를 이용하여 시뮬레이션을 수행하였다. Fig. 8은 각각 변형 전, 펄스인가 후 최고 온도, 그리고 공정 후 최종 상태의 시뮬레이션 결과와 시간에 따른 곡률 반경의 변화이다. JIC 공정초기에는 위 표면은 온도가 높아짐에 따라 팽창하여 양의 곡률 반경을 가지게 된다. 이때 저온의 아랫부분과의 열팽창 차이로 인하여 큰 압축 응력을 받고 있다. 그러나 결정화 공정 중 위 표면의 온도가 T_{sp} 근처까지 상승함에 따라 점성에 의한 영구적인 소성 변형과 함께 stress relaxation이 발생한다. 이에 의해 위 표면이 수축되어 곡률의 변화율이 떨어지게 된다. 이후 냉각에서 수축된 위쪽은 오히려 인장응력을 받게 되며 약 0.5 초 후 곡률이 음의 값으로 바뀌게 되어 최종 상태에서는 Fig. 8(c)와 같이 위쪽으로 말려진 상태로 남게 된다.

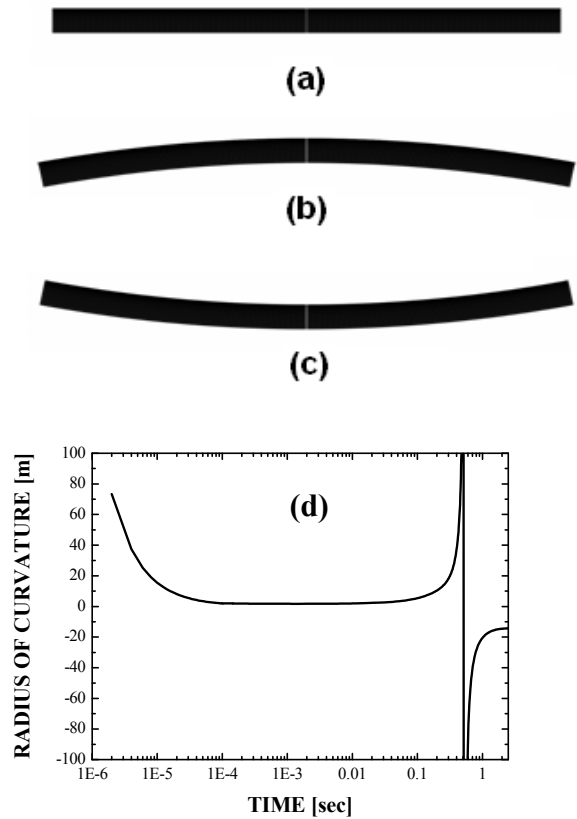


Fig. 8 FEM simulation results for substrate deformation (500 times magnified in normal direction): (a) at initial state, (b) at maximum temperature, (c) at final stage, (d) radius of curvature with respect to time

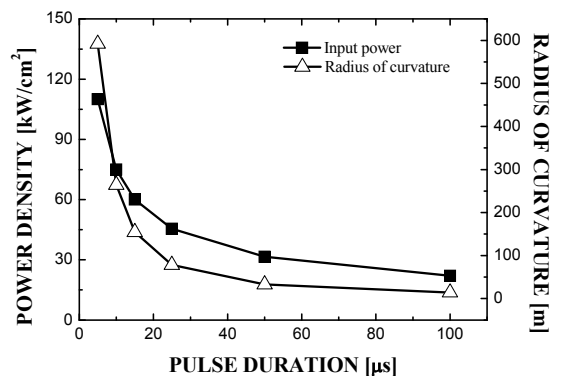


Fig. 9 Input-pulse power density and radius of curvature of substrate with respect to pulse duration

Fig. 9는 펄스길이에 따라 좌측 축은 Fig. 5의 계산조건과 같은 일정 결정화 온도를 유지하기 위한 최소 펄스 세기이고 우측 축은 해당 펄스 세기와 지속시간에서의 곡률반경이다. 그림에서 볼 수

있듯이 펄스의 길이가 짧으면 인가 에너지의 총량은 지수적으로 증가해야 하며 변형에 의한 곡률반경 또한 지수적으로 증가한다. 인가 펄스길이가 짧을 수록 열 변형 특성이 훨씬 작으므로, 대면적 기판에서는 펄스 길이를 줄이기 위한 노력이 필요함을 알 수 있다.

4. 결 론

Joule 가열을 통한 비정질 실리콘의 다결정 실리콘화는 총 공정시간이 수 밀리 초 이하의 매우 빠른 시간 내에 이루어 진다. 이때 실리콘의 결정화는 온도에 큰 영향을 받으며 따라서 가열을 위한 전류 입력 펄스의 세기는 소자의 실리콘 박막층을 결정화 온도까지 충분히 가열할 수 있어야 한다. 그러나 이후 공정을 위하여 기판의 변형을 최소화 하여야 한다. 기판의 변형은 온도가 유리 천이 온도까지 올라감에 따라 stress relaxation 이 발생하여 고온에서의 변형이 영구변형으로 남게 되어 발생하는 것으로 펄스 시간이 짧을 수록 적어진다. 그러나 펄스의 세기는 무한정 올릴 수만은 없으므로 적절한 설계 조건을 찾아야 한다. 본 연구에서는 고온에서 기판 변형의 메커니즘을 분석하고 다양한 펄스 조건에 대하여 결정화를 위한 최소 펄스 세기와 이에 따른 기판 변형을 시뮬레이션을 통하여 분석하였다. 이를 통하여 적절한 변형의 허용 범위 안에서 설계 조건을 찾을 수 있을 것으로 예상된다.

후 기

이 연구는 2008 년도 한국학술진흥재단의 지원 (KRF-2008-313-D00097) 및 한국산업기술진흥원의 이공계전문가기술지원사업의 지원을 받아서 수행 되었음을 밝히고, 이에 감사 드립니다.

참고문헌

(1) Matsuda, A., 1983, Formation Kinetics and Control of Microcrystallite in $\mu\text{-Si:H}$ from Glow Discharge

- Plasma, *J. Non-Cryst. Solids*, Vol. 59-60, pp. 767~774.
- (2) Smith, R., McMahon, R., Voelskow, M., Panknin, D. and Skorupa, W., 2005, Modelling of Flash-Lamp-Induced Crystallization of Amorphous Silicon Thin Films on Glass, *J. Cryst. Growth*, Vol. 285, pp. 249~260.
- (3) Im, J. S., Kim, H. J. and Thompson, M. O., 1993, Phase Transformation Mechanisms Involved in Excimer Laser Crystallization of Amorphous Silicon Films, *Appl. Phys. Lett.*, Vol. 63, pp. 1969~1971.
- (4) Yoon, S. Y., Kim, K. H., Kim, C. O., Oh, J. Y. and Jang, J., 1997, Low Temperature Metal Induced Crystallization of Amorphous Silicon Using a Ni Solution, *J. App. Phys.*, Vol.82, pp. 5865~5867.
- (5) Widenborg, P. I. and Aberle, A. G., 2002, Surface Morphology of Poly-Si Films Made by Aluminum-Induced Crystallisation on Glass Substrates, *J. Cryst. Growth*, Vol. 242, pp. 270~282.
- (6) Lee, W. K., Han, S. M., Choi, J. and Han, M. K., 2008, The Characteristics of Solid Phase Crystallized (SPC) Polycrystalline Silicon Thin Film Transistors Employing Amorphous Silicon Process, *J. Non-Cryst. Solids*, Vol. 354, pp. 2509~2512.
- (7) Andoh, N., Sameshima, T. and Kitahara, K., 2005, Crystallization of Silicon Films by Rapid Joule Heating Method, *Thin Solid Films*, Vol. 487, pp. 118~121.
- (8) Hong, W. E. and Ro, J. S., 2007, Millisecond Crystallization of Amorphous Silicon Films by Joule-Heating Induced Crystallization Using a Conductive Layer, *Thin Solid Films*, Vol. 515, pp. 5357~5361.
- (9) Smith, M., McMahon, R., Voelskow, M., D. Panknin, and Skorupa, W., 2005, Modeling of Flash-Lamp-Induced Crystallization of Amorphous Silicon Thin Films on Glass, *J. Cryst. Growth.*, Vol. 285, pp. 249~260.
- (10) The REMBAR Company. Inc, <http://www.rembar.com/default.htm> Dobbs Ferry.
- (11) Samsung Corning Precision Glass Inc, www.samsungsep.co.kr.
- (12) Sameshima, T., Kaneko, Y. and Andoh, N., 2002, Rapid Joule Heating of Metal Flms Used to Crystallize Silicon Flms, *App. Phys. Latt.*, Vol. 74, pp. 719~723.
- (13) Bower, D. I., 2002, An Introduction to Polymer Physics, Cambridge University Press, Cambridge, UK.
- (14) ABAQUS 6.8, www.simulia.com.