

논문 2009-46SD-8-5

# 전압-주파수-구역을 고려한 에너지 최적화 네트워크-온-칩 설계 방법론

( Voltage-Frequency-Island Aware Energy Optimization Methodology  
for Network-on-Chip Design )

김우중\*, 권순태\*, 신동균\*\*, 한태희\*\*\*

( Woojoong Kim, Soon-Tae Kwon, Dongkun Shin, and Tae Hee Han )

## 요 약

네트워크-온-칩 (Network-on-Chip, NoC) 기술은 기존 시스템-온-칩(System-on-Chip, SoC) 설계에서 IP 블록 수 증가와 이에 수반된 상호 연결 네트워크 복잡화 및 데이터 대역폭 제한 등의 문제점을 해결하기 위한 새로운 설계 패러다임이다. 더불어 동작 주파수 증가에 따른 급격한 전력 소모, 클럭 신호의 분배와 동기화 문제 역시 중요한 이슈이며, 이에 대한 대안으로 광역적으로는 비동기, 국부적으로는 동기식 (Globally Asynchronous Locally Synchronous, GALS)인 시스템 설계 방법론이 저 전력 기술과 결합되어 에너지 소모를 줄이고 모듈적인 설계를 위해서 고려되어 왔다. GALS 방식의 설계 스타일은 정밀한 시스템-수준 전력 관리를 적용하기 위해 최근 소개되고 있는 전압-주파수-구역 (Voltage-Frequency-Island, VFI) 의 개념과 매우 잘 어울린다. 본 논문에서는 VFI를 적용한 NoC 시스템에서 최적의 전압선택을 통해 에너지 소모를 최소화하는 효율적인 알고리즘을 제시한다. 최적의 코어(또는 처리 소자) 전압과 VFI를 찾기 위해 통신량을 고려한 코어 그래프 분할, 통신-경쟁 시간을 고려한 타일 매핑, 전력 변화량을 고려한 코어의 동적 전압 조절, 그리고 효율적인 VFI 병합 및 VFI-동적 전압 재 조절을 포함한다. 본 논문에서 제안한 설계 방법론은 기존 연구결과 대비 평균적으로 10.3%의 에너지 효율 향상이 있다는 것을 실험 결과를 통해 보여준다.

## Abstract

Due to high levels of integration and complexity, the Network-on-Chip (NoC) approach has emerged as a new design paradigm to overcome on-chip communication issues and data bandwidth limits in conventional SoC(System-on-Chip) design. In particular, exponentially growing of energy consumption caused by high frequency, synchronization and distributing a single global clock signal throughout the chip have become major design bottlenecks. To deal with these issues, a globally asynchronous, locally synchronous (GALS) design combined with low power techniques is considered. Such a design style fits nicely with the concept of voltage-frequency-islands (VFI) which has been recently introduced for achieving fine-grain system-level power management. In this paper, we propose an efficient design methodology that minimizes energy consumption by VFI partitioning on an NoC architecture as well as assigning supply and threshold voltage levels to each VFI. The proposed algorithm which find VFI and appropriate core (or processing element) supply voltage consists of traffic-aware core graph partitioning, communication contention delay-aware tile mapping, power variation-aware core dynamic voltage scaling (DVS), power efficient VFI merging and voltage update on the VFIs. Simulation results show that average 10.3% improvement in energy consumption compared to other existing works.

**Keywords :** NoC, low power, voltage-frequency-island, dynamic voltage scaling, tile mapping

\* 학생회원, \*\* 정회원, \*\*\* 평생회원, 성균관대학교  
정보통신공학부

(School of Information and Communication  
Engineering, Sungkyunkwan University)

※ 이 논문은 성균관대학교의 2008학년도 성균학술연  
구비에 의하여 연구되었습니다.

접수일자: 2009년5월15일, 수정완료일: 2009년8월3일

## I. 도입 및 관련 연구 동향 소개

반도체 기술의 지속적인 발달로 수십억 개의 트랜지  
스터와 수백 개의 코어가 단일 칩으로 구현되고 있으

며, 이러한 기술을 이용해 고성능 멀티코어(Multicore) 및 메니코어(Manycore) 시스템이 주류로 부상하고 있다. IP 블록 수가 증가하고 그 IP 블록 사이의 복잡한 통신 구조 및 고속의 데이터 전송을 필요로 하게 되면서 고전적인 공유 버스(shared bus) 구조의 시스템-온-칩(System-on-Chip, SoC) 연결방식은 이러한 요구를 충족시킬 수 없어 성능향상의 장애가 되고 있다<sup>[1-2]</sup>.

온-칩 네트워크의 효율성과 확장성을 고려하여 등장한 새로운 개념이 네트워크-온-칩(Network-on-Chip, NoC) 기술이다<sup>[3-6]</sup>. 이 기술은 구조화되고 모듈화된 온-칩 네트워크 인터페이스를 제공하여 모듈간의 직접적인 연결에 의한 데이터 통신 구조를 가진 일반적인 SoC 설계에서의 취약한 확장성과 고정성을 극복 가능하게 한다. NoC 기술은 계층적 프로토콜을 이용하는 네트워크 인터페이스 및 라우터(router)에 의한 패킷 데이터 전송을 통해 복잡한 시스템 설계에 필수적으로 중요한 적응성과 확장성을 제공한다<sup>[7]</sup>.

그림 1(a)에서 보듯이, NoC 기반의 시스템은 일반적으로 정형의 타일(tile)들로 모델링 할 수 있으며 각각의 타일은 마이크로프로세서, DSP 또는 전용 하드웨어 블록 등이 될 수 있다. 각 타일은 코어와 라우터로 구성되어 있으며, 타일들은 온-칩 네트워크에 의해 상호 연결되어 있다. 그림 1(b)에서 보듯이, NoC 내의 라우터는 입출력 링크와 버퍼, 그리고 크로스바(crossbar) 스위치 등으로 구성될 수 있다.

한편, 칩 크기가 증가하고 고도로 복잡화 되면서 단일 클럭 사이클에 칩 전체를 가로질러 이동하는 전역신호들은 사용 불가능하게 된다. 이를 해결하기 위해, 칩 전체적으로는 비동기식이고 지역적으로는 동기식으로 작동하는 GALS 방식<sup>[8]</sup>을 사용하게 되었다. 더욱이, GALS에 기초한 설계 스타일은 정밀한 시스템-수준 전력 관리를 성취하기 위해 같은 전압과 주파수를 사용하는 인접 타일들을 동일 구역(island)으로 묶어주는 전압-주파수-구역(Voltage-Frequency-Island, VFI)의 개념과 결합이 용이하다. VFI를 이용하면 에너지 절약 측면에서 매우 큰 효과가 있음에도 불구하고, 현재까지 고려된 저전력 NoC 설계 방법론들은 주로 정적 단일 전압-클럭 도메인으로 한정되었거나<sup>[9-10]</sup> 여러 개의 VFI를 고려할지라도 단일 구역에 속하는 코어들과 다른 구역들이 전통적인 SoC 버스구조로 연결되어 있다는 가정하에 있어왔다<sup>[11]</sup>.

일반적인 NoC 시스템에서 설계 흐름은 4가지 핵심

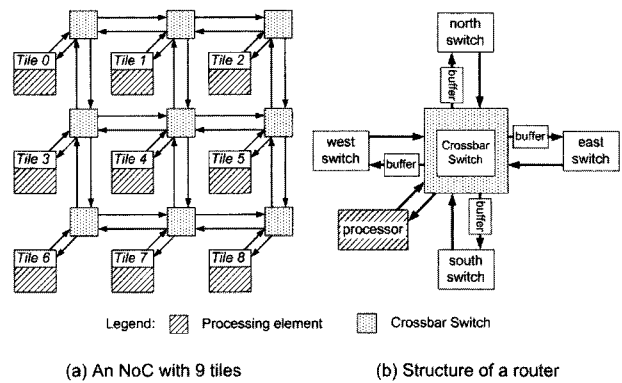


그림 1. 네트워크-온-칩 기반 시스템의 구조  
Fig. 1. Structure of NoC-based system.

과정으로 구성되는데, 태스크 할당(task assignment), 타일 매핑(tile mapping), 라우팅 경로 할당(routing path allocation) 그리고 태스크 스케줄링(task scheduling)이다. 설계 제약조건(예, 그림 2(a)와 같은 태스크 그래프 그리고 각각의 태스크들이 각 코어에 할당되었을 때 전력소모와 실행시간)과 사용가능한 코어의 종류 및 수가 주어졌을 때, 태스크 할당은 그림 2(b)와 같이 각 태스크들을 적절한 코어에 할당하는 과정이다. 타일 매핑(mapping)은 태스크가 할당된 코어를 NoC상의 특정 타일과 일치시키는 것이며, 라우팅 경로 할당은 타일간의 통신 경로를 결정하는 과정이다. 태스크 스케줄링은 코어 내에서 태스크들의 실행 순서를 결정하는 것을 말한다.

GALS 기반의 NoC에 VFI를 적용하기 위해서는 VFI 분할 또는 병합하는 과정이 추가적으로 필요하다. 그래서 몇 개의 타일들을 하나의 구역으로 병합하고 각 구역들은 칩 전체 에너지 소모를 최소화하는 각각의 공급 전압, 문턱전압(threshold voltage) 그리고 동작 주파수를 갖도록 최적화되는 NoC 방법론이 소개되고 있다<sup>[12]</sup>.

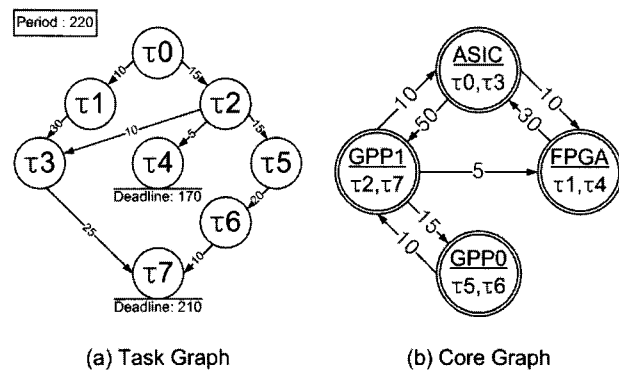


그림 2. 태스크 그래프와 코어 그래프  
Fig. 2. Task Graph and Core Graph.

강력한 에너지 절감 효율에도 불구하고 [12]의 방법론은 몇 가지 한계점이 있다. 첫째로 VFI 병합 과정이 타일 매핑과 라우팅 경로 할당 그리고 태스크 스케줄링을 모두 완료하고 각 코어의 공급전압, 문턱전압 그리고 동작 주파수까지 모두 결정된 후에 이루어진다는 것이다. 이와 같은 접근 방법은 VFI 병합의 추가적인 최적화 기회를 놓칠 수 있다. 두 번째로 VFI 구현을 위해 필요한 주변회로의 수를 최소화 할 수 있는 라우팅 전략이 필요하다. 이러한 문제점을 해결하기 위해 VFI 분할 단계를 타일 매핑보다 우선 수행하고 VFI를 고려한 타일 매핑으로 효율적인 라우팅을 하는 방법론이 소개되었다<sup>[13]</sup>.

[13]은 그림 2(a)와 같은 태스크 그래프를 그림 2(b)와 같이 태스크가 할당된 코어 그래프로 변환하고 이때 각각의 코어들이 마감시간(deadline)을 갖고 있다고 가정한다. 이러한 성능 제약 조건을 만족시키면서 최적의 에너지 소모를 갖도록 각 코어의 공급전압, 문턱전압 그리고 동작 주파수를 구하고 그것을 바탕으로 VFI 분할을 하게 된다. 이 같은 방법을 이용하여 효율적인 VFI 분할, 타일 매핑 그리고 라우팅을 구한다. 하지만 그림 2(b)와 같은 코어그래프의 각 코어들이 마감시간을 갖고 있다는 가정은 사실상 불가능하다. 왜냐하면 수식 (1)과 같이 어플리케이션에서 소모되는 에너지는 코어들의 실행 에너지와 통신 에너지의 합으로 구성되는데, 타일 매핑과 라우팅 경로 할당이 수행되지 않았기 때문에 통신 에너지의 값을 알 수 없기 때문이다.

$$\min E_{app} = \sum_{v_i \in T} E_i(V_i, V_{ti}) + \sum_{v_i \in T} \sum_{v_j \in T} vol(i, j) E_{nt}(i, j) \quad (1)$$

본 논문에서는 위 연구의 문제점을 개선하는 것까지 포함하여 해결한 보다 효율적인 VFI 분할을 수행하는 새로운 NoC 설계 방법론을 제안한다. 이를 위해 통신량을 고려한 코어 그래프 분할이 수행된 후 그것을 바탕으로 통신-경쟁 시간을 고려한 타일 매핑, 전력 변화량을 고려한 코어의 동적 전압 조절 그리고 효율적인 VFI 병합과 그 이후의 VFI 전압 재 조절을 수행한다. 제안한 저전력 NoC 알고리즘을 적용하면 적용되지 않은 것 보다 평균적으로 34.5% 그리고 기존의 VFI 기반 NoC 저전력 연구 결과와 비교하여 평균적으로 10.3%의 에너지 절감 효과가 있다는 것을 모의실험결과를 통해 보여준다.

논문의 구성은 다음과 같다. II장에서는 문제 기술을 다루고 III장에서는 제안한 VFI 최적화 설계 및 저전력

알고리즘들이 서술된다. IV장에서는 모의실험결과를 통해 제안하는 알고리즘의 효과를 입증하며 V장에서 결론으로 마무리한다.

## II. 문제 기술

광역적인 에너지 최적화를 위해서는 통신량이 많은 코어들은 타일 매핑 이전에 같은 VFI로 묶어주는 것이 필요하다. 예를 들어 그림 3은 9개(3x3)의 타일들로 구성된 NoC 구조를 보여주고 있다. 각 타일들은 자신들의 최적의 전압인 A, B, C 또는 D 전압에서 동작한다고 가정한다. 그림 3(a)는 통신량을 고려하지 않은 타일 매핑이고 그림 3(b)는 통신량을 고려한 타일 매핑이다.

$$E_{VFI} = E_{MCMF} + E_{Vconv} + E_{ClkGen} \quad (2)$$

그림 3의 코어 C1-C8, C3-C7, C4-C9 그리고 C2-C5-C6은 각각 많은 통신량을 갖고 있다고 했을 때 VFI 병합 이후 그림 3(b)과 비교해서 그림 3(a)의 에너지 소모가 상당히 클 것이다. 왜냐하면 통신량이 많은 코어들이 떨어져 있어 사용하는 전압이 다른 타일과 통신을 할 때 필요한 다수의 MCMF(Mixed Clock/Mixed FIFO)와 VLC(Voltage Level Converter)를 통과하기 때문이다. 다시 말해, 수식 (2)과 같은  $E_{VFI}$  에너지가 증가하기 때문이다.

$$P_{dyn} = C_L \cdot N_{0 \rightarrow 1} \cdot f \cdot V_{dd}^2 \quad (3)$$

본 논문에서는 그림 3(b)와 같이 통신량을 고려한 타일 매핑이 되도록 코어 그래프 분할을 우선 수행한다. 그것을 바탕으로 타일 매핑을 진행하는데 이때 각

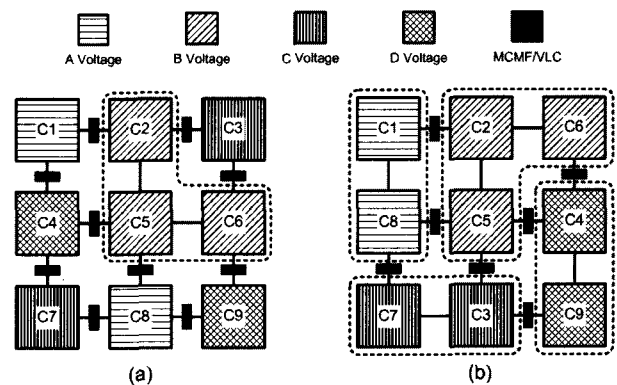


그림 3. VFI 기반 NoC에서의 전압 할당 예제  
Fig. 3. An example showing Voltage assignment in VFI based NoC.

코어들이 같은 링크를 사용해서 발생하는 통신-경쟁 시간을 최소화 하는 알고리즘이 적용된다. 다음으로 수식 (3)를 이용하여 각 코어들의 전력 변화량을 고려한 동적 전압 조절을 수행하고 마지막으로 효율적인 VFI 병합과 그 이후의 VFI 전압 재 조절을 포함하는 방법론을 제공한다.

### III. VFI 최적화 설계 및 저전력 알고리즘

그림 4는 제안된 최적화 설계 프레임워크의 전체적인 설계 흐름을 보여준다. 본 방법론의 핵심은 크게 4 단계로 나눌 수 있다: ① VFI의 효율을 높이기 위해 타일 매핑 이전에 통신량을 고려한 코어 그래프 분할, ② 타일 매핑 단계에서 각각의 태스크들이 통신을 할 때에 경쟁-시간(기다리는 시간)이 발생하지 않도록 타일 위치 변경, ③ 각각의 코어들의 전력 변화량을 비교하여 변화량이 가장 큰 코어부터 동적 전압 조절, ④ MCMF/VLC의 오버헤드를 줄이기 위한 VFI 병합과 VFI 병합으로 발생한 여유시간을 제거하기 위한 VFI 전압 재 조절.

본 논문은 NoC 설계에서 VFI를 적용할 때 에너지 소모에 많은 영향을 주는 부분에만 집중하기 위해 라우팅 경로 할당은 [13]이 제안한 방법을, 그리고 스케줄링은 [14]가 제안한 Earliest Deadline First(EDF)와 Energy Aware Scheduling(EAS)을 그대로 이용하였다. NoC 최적화 방법론을 완성하여 VFI 전압 재 조절까지 모두 완료된 후에는 에너지 소모와 성능을 계산하여 만족하면 에너지 효율이 가장 높은 것을 선택하고 만족하지 않으면 VFI의 수를 감소시키면서 반복하게 된다.

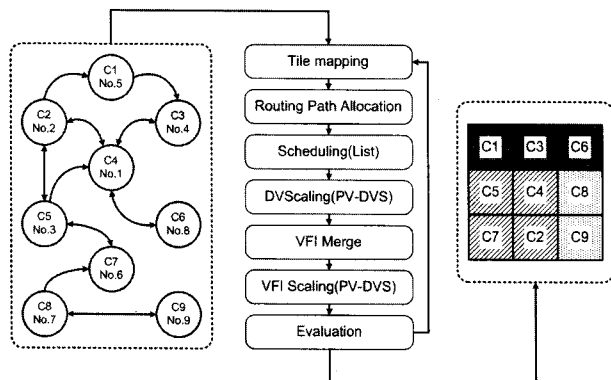


그림 4. 제안한 VFI를 고려한 네트워크-온-칩 저전력 방법론

Fig. 4. The proposed VFI-Aware NoC Low Power Methodology.

본 논문에서는 주기적 실시간 응용 프로그램을 태스크 그래프  $T=\langle V, E \rangle$ 로 나타내는 데,  $T$ 는 방향성 비순환 그래프이며  $V$ 는 태스크의 집합,  $E$ 는 태스크간의 방향성 에지의 집합이다.  $T$ 에서 각각의 방향성 에지  $e(\tau_i, \tau_j)$ 는  $\tau_i$ 와  $\tau_j$  사이의 선행관계를 나타내는 데, 태스크  $\tau_j$ 가 시작되기 전에 반드시 태스크  $\tau_i$ 가 완료되어야 함을 의미한다. 태스크 그래프  $T$ 의 주기는  $period(T)$ 로 표기한다.  $T$ 에 있는 태스크  $\tau_i$ 는 응용 프로그램이 정확히 동작하기 위해서 지켜져야 할 마감시간  $d_i$ 를 가질 수 있다. 각각의 에지  $e_{i,j}$ 는  $\tau_i$ 와  $\tau_j$ 가 서로 다른 코어에 할당 되었을 때, 두 태스크 사이에 전송되어야 할 통신 데이터량을 의미하는  $w(e_{i,j})$ 를 갖고 있다. 1장의 그림 2(a)가 태스크 그래프의 예를 보여 주고 있다. 여기에서는 그림 1(a)와 같은 임홀 라우팅을 사용하는 정규적 타일 기반의 그물(mesh) 형 NoC 구조를 가정하며 VFI가 적용된 NoC 문제를 풀기위해 랜덤 스케줄러로 그림 2(b)와 같이 각각의 태스크가 각각의 코어에 할당된 최적의 코어 그래프가 주어졌다는 가정하에서 출발한다.

#### 1. 통신량을 고려한 코어 그래프 분할

이 단계의 목표는 에너지 소모를 최소화하기 위해 어떻게 코어들이 분할되어야 하는지 결정하는 것이다. 전체 에너지 소모는 수식 (4)에서 보는 것과 같이 수식 (1)에 의해 구한 어플리케이션에서 소모되는 에너지와 수식 (2)에 의해 구한 통신이 필요한 코어들이 서로 다른 전압을 사용하는 타일에 있으면 MCMF와 VLC를 통해 통신을 할 때 발생하는 추가적인  $E_{VFI}$ 의 합으로 이루어진다. VFI의 최대수를  $max(n(VFI))$ 로 나타내고, 코어 그래프  $G=\langle C, W \rangle$ 로 나타낸다고 가정할 때 전체 에너지 소모를 최소화하기 위해서는 VFI의 최대수를 넘지 않는 범위에서 통신량이 많은 코어들은 되도록 같은 VFI가 될 수 있도록 분할되도록 했다.

$$E_{Total} = E_{App} + \sum_{i=1}^n E_{VFI}(i) \tag{4}$$

#### 2. 통신-경쟁 시간을 고려한 타일 매핑

이 단계에서는 엄격한 성능 제약 조건을 만족하면서 통신 에너지 소모를 최소화하기 위해 각각의 코어들이 어떤 타일에 매핑 되어야 하는지를 결정하는 것이 목표이다. 본 논문에서는 기본적으로 [13]의 타일 매핑 알고리즘에 기반을 두지만 이 알고리즘은 통신이 필요한 태

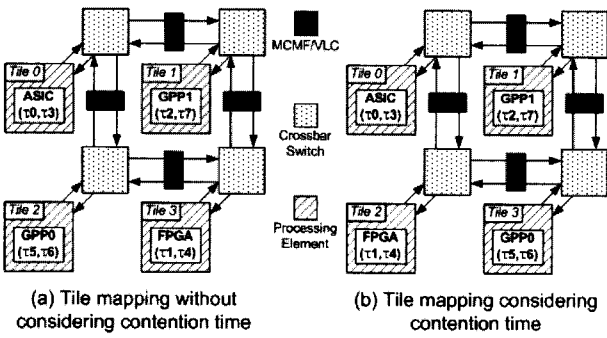


그림 5. 타일 매핑 예제  
Fig. 5. Tile mapping example.

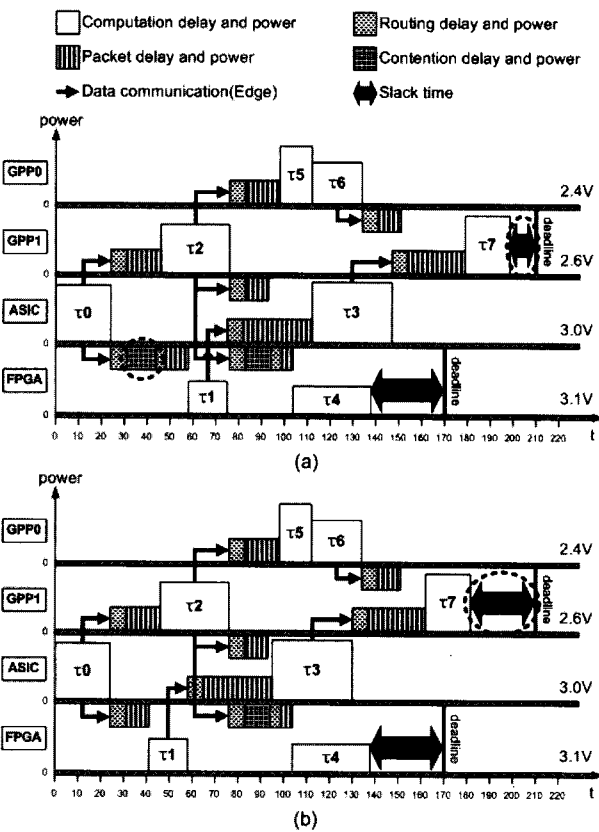


그림 6. 타일 매핑에 따른 여유시간 예제  
Fig. 6. Slack time example for different tile mapping.

스크 들이 다른 타일에 있을 경우 라우팅 경로 할당에서 발생하는 통신-경쟁 시간을 고려하지 않으므로 어플리케이션의 실행시간이 증가하여 타일 매핑 다음 단계에서 이루어지는 동적 전압 조절 단계에서 효과적인 전압 조절을 하지 못 한다. 그래서 이를 보완하는 통신-경쟁 시간을 고려하는 알고리즘을 추가하였다.

그림 5는 본 논문에서 제안하는 타일 매핑의 예를 보여주고 있다. 이것은 각각의 코어에 할당된 태스크 처리를 위해 소비하는 에너지와 계산 시간에는 영향을 주지 않는다. 하지만 각각의 태스크들이 실행을 마치고

통신을 할 때에 동시에 같은 링크를 사용해야 한다면 하나의 링크에서 동시에 여러 패킷을 처리할 수 없으므로 링크를 점유하기 위해 발생하는 경쟁 지연시간과 추가적인 에너지 소비가 발생하게 된다. 그림 5 (a)와 (b)의 차이를 이해하기 쉽도록 시간의 흐름으로 나타낸 것이 각각 그림 6 (a)와 (b)이다. XY-라우팅으로 패킷 전송을 할 때 그림 6(a)는  $\tau_0 \rightarrow \tau_1$ 과  $\tau_0 \rightarrow \tau_2$  패킷들이 같은 링크를 사용하기 때문에 서로 링크를 점유하기 위해 경쟁하는 지연시간이 발생하여 마감시간에 대한 여유시간(slack time)이 적어지게 된다. 본 논문에서 제안한 알고리즘이 적용된 그림 6(b)는 타일의 매핑 위치를 변경함으로써 경쟁하는 시간을 제거 하여 마감시간에 대한 여유시간이 커짐을 볼 수 있다. 여유시간이 크다는 것은 타일 매핑 다음 단계에 이어지는 코어의 동적 전압 조절 효과를 높일 수 있다는 것을 의미한다.

그림 6에서 보는 것과 같이 워홀 라우팅의 총 패킷 지연시간은 라우팅 지연시간과 패킷 지연시간으로 구성된다. 라우팅 지연시간은 패킷 경로에 대한 정보를 갖고 있는 첫 번째 패킷의 플릿(flit)이 어느 경로로 통신을 할 것인지 결정하는 통신 경로를 만들기 위해 필요한 시간이다. 패킷 지연시간은 남아 있는 플릿의 수에 의존한다.

### 3. 전력 변화량을 고려한 동적 전압 조절

이번 단계의 목표는 효과적인 동적 전압 조절을 통해 코어에서 소비되는 전력 소모를 최소화하도록 각각의 코어에 최적의 전압을 할당하는 것이다. 그림 6에서는 각각의 태스크들이 실행하는데 필요한 시간뿐만 아니라 소비하는 전력도 함께 나타내고 있으며 이는 수식 (3)를 이용해 구한다. 그림 6에서 볼 수 있듯이 각각의 태스크들이 같은 공급전압에서 소비하는 전력이 다르다는

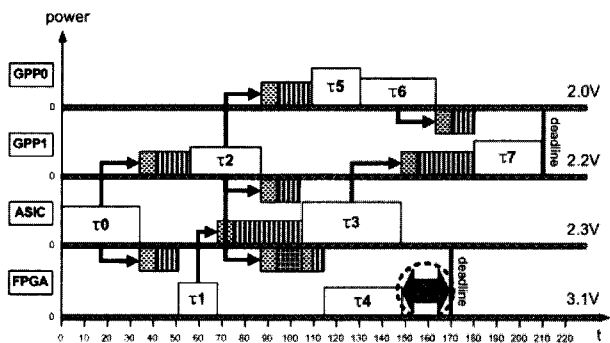


그림 7. 전력 변화량을 고려한 동적 전압 할당 예제  
Fig. 7. Power Variation-Aware DVS example.

것을 알 수 있다.

제안한 알고리즘은 기본적으로 [15]의 동적 전압 조절 방법을 사용하지만 태스크 단위로 최적의 전압을 조절하는 것은 VFI를 고려한 NoC 구조에서 적합하지 않으므로 본 논문에서는 코어 단위로 전력 변화량을 고려하는 것을 제안한다. 그래서 전력 변화량 측정은 수식 (5)과 같이  $\Delta t$  만큼의 시간을 변경했을 때, 코어에 포함되어 있는 모든 태스크들을 동시에 전압이 변경하여 얻은 전력의 차이가 가장 큰 순서대로 전압을 낮추는 것이다.

$$E_{core} = E_{core}(t) - E_{core}(t + \Delta t) \quad (5)$$

그리하여 최종적으로 그림 7과 같이 마감시간을 만족하면서 에너지 소모를 최소화 하는 각 코어의 공급전압을 얻을 수 있다. 이것은 전력 변화량이 큰 순서로 차례대로 전압을 낮추면서 여유시간이 없을 때까지 반복해 얻은 결과이다.

#### 4. VFI 병합과 VFI-동적 전압 조절

서로 다른 전압을 사용하는 인접한 (상, 하, 좌, 우) 타일들을 같은 전압을 사용하도록 VFI 병합해 보면서 에너지 소모를 최소화하는 것이 이 단계에서의 목표이다. 다시 말해, VFI 병합은 서로 다른 전압을 사용하는 타일들을 같은 전압을 사용하도록 하나의 VFI로 만드는 것을 의미한다. 이때, 이전 단계에서 성능 제약 조건을 만족하면서 에너지 소모를 최소화 하도록 각각의 타일들이 사용할 수 있는 최적의 전압이 할당되어 있기 때문에 VFI 병합이 이루어지는 과정에서 성능 제약 조건을 만족하기 위해서 낮은 전압을 사용하는 타일은 높은 전압을 사용하는 타일의 전압으로 재 할당 될 것이다. 그러므로 VFI 병합 후에는 수식 (4)의 첫 번째 항인 어플리케이션 에너지( $E_{App}$ )는 올라가지만, 두 번째 항인 서로 다른 전압을 사용하는 타일들이 통신을 할 때 필요한 MCMF/VLC의 사용으로 추가적으로 발생하는 에너지( $E_{VFI}$ )는 제거된다. 증가하는 어플리케이션의 에너지 보다 감소하는 VFI 오버헤드 에너지 값이 크면 수식 (4)의 전체 에너지 소모( $E_{Total}$ )는 줄어들게 된다. 마지막 단계는 VFI 병합 후에 발생한 태스크의 마감시간에 대한 여유시간을 제거하는 것으로 다시 한번 VFI-동적 전압 조절을 하여 에너지 효율을 극대화한다.

그림 8은 이 단계의 이해를 도와주는 예제이다. 그림

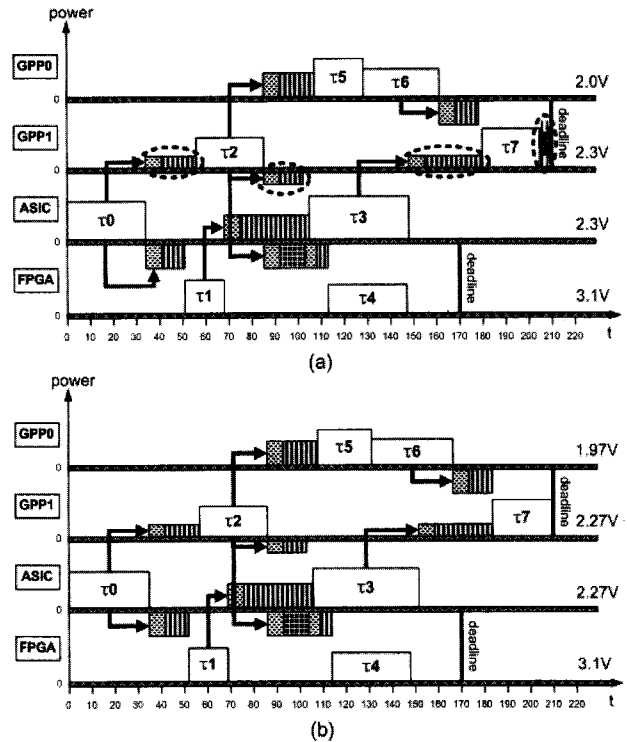


그림 8. VFI 병합과 VFI-동적 전압 조절 예제  
Fig. 8. VFI Merging and VFI-DVS example.

8(a)는 VFI 병합 단계로 그림 7에서 보는 것과 같이 GPP1과 ASIC은 할당된 전압의 차이가 크지 않아 VFI 병합 후에 증가하는 어플리케이션 에너지( $E_{App}$ )가 가장 작으면서 통신량은 많아 줄어드는  $E_{VFI}$ 의 에너지가 크므로 VFI 병합이 이루어졌다. 그림 8(b)는 제안된 최적화 방법론의 마지막 단계를 보여주는 것으로 VFI 병합 후에 발생한 여유시간을 제거하기 위한 VFI-동적 전압 조절을 하는 단계이다. 이 단계를 통해 최종의 결과물인, 최적의 에너지 소모를 하는 각각의 코어에 할당된 공급전압과 VFI를 구한다.

#### IV. 실험 결과

실험에서는 통신량을 고려한 코어 그래프 분할, 통신-경쟁 시간을 고려한 타일매핑, 전력변화량을 고려한 코어 동적 전압 조절, 효율적인 VFI 병합과 VFI-동적 전압 재 조절의 각 단계에서의 최적화 기법의 효과를 측정해 보았다. 실험에서는 크게 2가지 형태의 벤치마크를 사용하였는데, 하나는 무작위로 생성된 가상의 태스크 그래프들이며 다른 하나는 [16]이 소개한 E3S이다. 무작위로 생성된 가상의 그래프는 다양한 형태의 그래프에 대해서 실험해 보기가 유용하다. 그림 9는 무

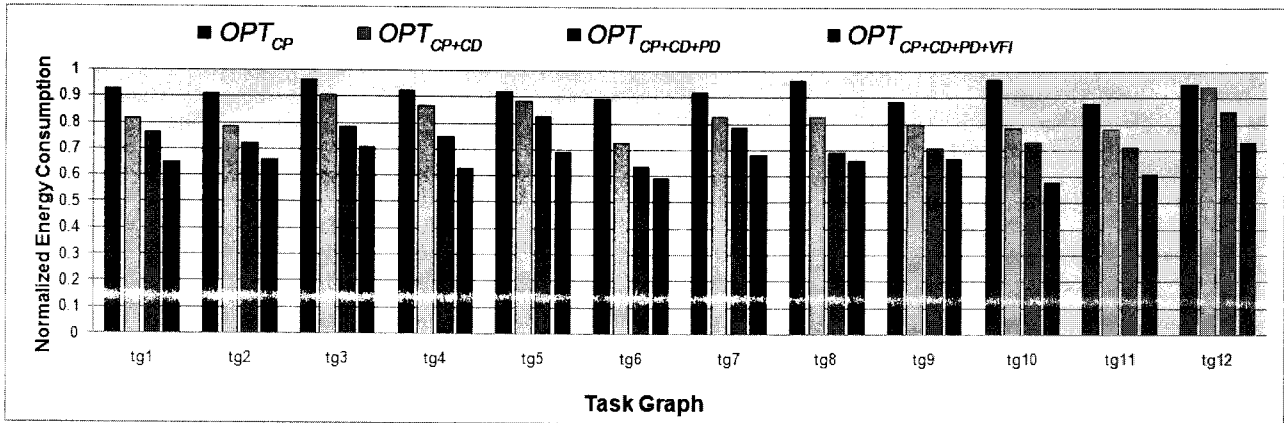


그림 9. 각 설계 단계에서의 누적된 에너지 절감 효과  
 Fig. 9. Accumulated energy saving effects in design steps.

작위로 생성된 태스크 그래프 tg1~tg12에 대해서 다양한 최적화 설정에서의 에너지 소모를 보여주고 있다. 결과는 무작위 코어 분할, 무작위 타일 매핑, 균일한 동적 전압 조절을 사용하고 VFI 병합을 사용하지 않은 설계기법에 의해 구해진 에너지 소모에 정규화 되어 있다. 입력으로 사용한 그래프가 무작위로 생성한 가상의 그래프이기 때문에 실제 시스템 상에서 실행시킬 수가 없으므로 에너지 소모 값은 실제 에너지 소모 측정 값이 아니고 앞에서 모델링한 에너지 소모 값을 사용했다.

각 태스크 그래프의 첫 번째 막대는 단지 통신량을 고려한 코어 그래프 분할만을 적용시켰을 때의 결과이다( $OPT_{CP}$ ). 두 번째 막대는 코어 분할뿐만 아니라 타일 매핑을 위해 통신-경쟁 시간을 고려한 알고리즘을 사용했을 때의 결과이다( $OPT_{CP+CD}$ ). 세 번째 막대는 전력 변화량을 고려한 동적 전압 조절이 추가로 사용되었을 때의 결과이다( $OPT_{CP+CD+PD}$ ). 마지막으로 네 번째 막대는 본 논문에서 제안한 모든 최적화 알고리즘들이 적용되었을 때의 에너지 소모를 나타낸다( $OPT_{CP+CD+PD+VFI}$ ). 에너지 소모는  $OPT_{CP}$ ,  $OPT_{CP+CD}$ ,  $OPT_{CP+CD+PD}$ ,  $OPT_{CP+CD+PD+VFI}$  단계별로 진행되면서 7.5%, 17.2%, 25.4%, 34.5%로 지속적으로 줄어들었다. 에너지 소모 감소는 태스크 그래프의 특성(예, 여유 시간, 통신 부하량 그리고 코어 수 등)과 무작위 설정의 성능에 의해 좌우된다. 예를 들면, 코어 분할( $OPT_{CP}$ )은 적은 에너지 감소를 가져왔는데, 그것은 각각의 코어들의 통신량이 비슷하기 때문이다. 이 실험 결과로부터 에너지 소모는 모든 단계에서 최적화되어야 한다는 것을 알 수 있다.

실험에서는 E3S<sup>[16]</sup> 벤치마크 어플리케이션을 이용하

표 1. 네트워크-온-칩 에너지 소모 비교  
 Table 1. Comparison results of NoC Energy Consumption.

Benchmark	Algorithm	Normalized Total Energy Consumption			
		No-Merge	4-VFI	3-VFI	2-VFI
Consumer	[12]	1	0.83	0.69	0.63*
	Ours	1	0.72	0.59	0.57*
Network	[12]	1	0.89	0.75*	0.76
	Ours	1	0.86	0.73	0.64*
Auto-industry	[12]	1	0.84	0.79*	1.12
	Ours	1	0.75	0.66*	0.91
Telecom	[12]	1	0.74*	0.74*	1.17
	Ours	1	0.67	0.63*	0.92

여 제안된 NoC 설계 기법과 [12]의 알고리즘 비교도 했다. E3S 벤치마크 어플리케이션은 consumer, network, auto-industry 그리고 telecom으로 이루어져 있고 각각 12, 13, 24 그리고 30개의 태스크를 포함한다. 이것들은 각각 9, 9, 16 그리고 25개의 코어로 임의의 스케줄러에 의해 스케줄 된다. 또한, 이것들은 각각 3x3, 3x3, 4x4 그리고 5x5 NoC 격자 위에 타일 매핑 된다. 표 1은 두 알고리즘의 에너지 소모 비교를 보여주고 있으며 VFI 병합을 하지 않고 구해진 에너지 소모에 정규화 되어 있다. 결과는 본 논문에서 제안한 VFI를 고려한 알고리즘이 VFI 병합 단계만을 비교하여도 평균 10.3% 에너지 소모 절약 효과가 있다는 것을 보여준다.

### V. 결 론

본 논문에서는 NoC 기반 시스템에서 GALS 패러다

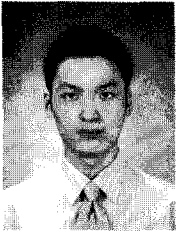
임을 활용한 VFI의 효과를 극대화하여 에너지 소모를 최적화 할 수 있는 알고리즘을 제안하였다. 제안된 알고리즘은 VFI-고려한 코어 분할, 통신-경쟁시간을 고려한 타일 매핑, 각 코어 기준 전력 변화량을 고려한 동적 전압 조절과 효율적인 VFI 병합과 VFI-동적 전압 조절 등 다양한 설계 단계에서 VFI의 효율을 높여 에너지 소모를 최적화 한다. 제안한 알고리즘을 통해 평균 34.5%의 NoC 에너지 감소 효과를 보이며 기존 [12]의 연구 결과와 비교해서도 평균 10.3%의 에너지 절감 우수성을 보였다.

### 참 고 문 헌

- [1] International Technology Roadmap for Semiconductors Report, 2006.
- [2] D. Wingard, "Micronetwork-based integration for SoCs," in Proc. of Design Automation Conference, pp. 673-677, Las Vegas, United States, June 2001.
- [3] L. Benini, G. De Micheli. "Networks on chips: A new SoC paradigm," IEEE Computer, Vol. 35, no. 1, pp. 70-78, January 2002.
- [4] W. Dally, B. Towles, "Route Packets, Not Wires: On-Chip Interconnection Networks," in Proc. of Design Automation Conference, pp. 684-689, Las Vegas, United States, June 2001.
- [5] A. Jantsch, H. Tenhunen (Eds.). Networks on Chip. Kluwer, 2003.
- [6] H. G. Lee, N. Chang, U. Y. Ogras and R. Marculescu, "On-Chip Communication Architecture Exploration: A Quantitative Evaluation of Point-to-Point, Bus, and Network-on-Chip Approaches," to appear ACM TODAES, Vol. 12, no. 3, Article 23, August 2007.
- [7] M. Coppola, et al. "OCCN: A Network-On-Chip Modeling and Simulation Framework," in Proc. of Design, Automation and Test in Europe, pp. 174-179, Paris, France, February, 2004.
- [8] D. M. Chapiro, "Globally asynchronous locally synchronous systems," PhD thesis, Stanford University, 1984.
- [9] D. Bertozzi, et. al., "NoC Synthesis Flow for Customized Domain Specific Multiprocessor Systems-on-Chip," IEEE Transactions on Parallel and Distributed Systems, Vol. 16, no. 2, pp. 113-129, February 2005.
- [10] M. Millberg, E. Nilsson, R. Thid, and A. Jantsch, "Guaranteed Bandwidth using Looped Containers in Temporally Disjoint Networks within the Nostrum Network on Chip," in Proc. of Design, Automation and Test in Europe, pp. 174-179, Paris, France, February, 2004.
- [11] Y. S. Dhillon, A. U. Diril, A. Chatterjee and H. S. Lee, "Algorithm for achieving minimum energy consumption in CMOS circuits using multiple supply and threshold voltages at the module level," in Proc. of ICCAD, pp. 693-700, San Jose, CA, USA, November 2003.
- [12] U. Y. Ogras, R. Marculescu, P. Choudhary and D. Marculescu, "Voltage-Frequency Island Partitioning for GALS-based Networks-on-Chip," in Proc. of Design Automation Conference, pp. 110-115, San Diego, CA, USA, June 2007.
- [13] W. Jang, D. Ding, and D. Z. Pan, "A Voltage-Frequency Island Aware Energy Optimization Framework for Networks-on-Chip," in Proc. of ICCAD, pp. 264-269, San Jose, CA, USA, November 2008.
- [14] J. Hu and R. Marculescu, "Communication and task scheduling of application-specific networks-on-chip," In IEE Proc. Computers & Digital Techniques, Vol. 152, no. 5, pp. 643-651, September 2005.
- [15] M. T. Schmitz, B. M. Al-Hashimi, "Considering Power Variations of DVS Processing Elements for Energy Minimisation in Distributed Systems," in Proc. of International Symposium on Systems Synthesis, pp. 250-255, Montreal, Quebec, Canada, September 2001.
- [16] Robert P. Dick, "Embedded System Synthesis Benchmarks Suite", <http://ziyang.eecs.umich.edu/~dickrp/e3s/>



## 저 자 소 개



김 우 중(학생회원)  
2008년 한국기술교육대학교  
전자공학과 학사.  
2008년 3월~현재 성균관대학교  
정보통신공학부 석사과정.  
<주관심분야 : VLSI 설계 기술  
및 방법론, 저전력 시스템, SoC  
설계, 임베디드 시스템>



권 순 태(학생회원)  
2008년 군산대학교 전자전기 제어  
공학과 학사.  
2008년 3월~현재 성균관대학교  
정보통신공학부 석사과정.  
<주관심분야 : NoC/SoC 설계, 임  
베디드 시스템>



신 등 군(정회원)  
1994년 서울대학교 계산통계학과  
학사.  
2000년 서울대학교 전산학과  
이학석사.  
2004년 서울대학교 컴퓨터공학부  
공학박사.

2004년~2007년 삼성전자 소프트웨어연구소  
책임연구원  
2007년~현재 성균관대학교 정보통신공학부  
조교수  
<주관심분야 : 임베디드 시스템, 실시간 시스템,  
저전력 시스템>



한 태 희(평생회원)-교신저자  
1992년 KAIST 전기 및  
전자공학과 학사.  
1994년 KAIST 전기 및  
전자공학과 석사.  
1999년 KAIST 전기 및  
전자공학과 박사.

1999년 3월~2006년 8월 삼성 전자 통신연구소  
책임 연구원.  
2006년 9월~2008년 2월 한국산업기술대학교  
전자공학과 조교수.  
2008년 3월~현재 성균관대학교 정보통신공학부  
반도체시스템공학 전공 조교수.  
<주관심분야 : IT SoC 설계 및 설계 방법론, 단  
말 시스템, IT 융합 기술>