

논문 2009-46SD-8-6

SoC 전원 관리를 위한 인덕터와 커패시터 내장형 100MHz DC-DC 부스트 변환기

(A 100MHz DC-DC Converter Using Integrated Inductor and Capacitor as a Power Module for SoC Power Management)

이 민 우*, 김 형 중*, 노 정 진**

(Minwoo Lee, Hyoungjoong Kim, and Jeongjin Roh)

요 약

본 논문은 SoC 전원 관리를 위한 고성능 DC-DC 부스트 변환기 설계에 관한 것이다. DC-DC 변환기에서 일반적으로 전하 축전용으로 사용되는 인덕터와 커패시터를 칩 안에 집적하기 위해 그 크기를 크게 감소시키고, 스위칭 주파수를 100MHz로 하였다. 고속 동작에서 전압 방식의 제어를 선택하여 신뢰성을 높였으며, 적절한 주파수 보상으로 안정적인 동작 특성을 확보하였다. 설계한 DC-DC 변환기는 thick gate oxide 옵션이 포함된 0.18 μ m CMOS 표준 공정으로 제작하였다. 내부 필터 커패시터를 포함한 칩의 면적은 8.14mm² 이고, 제어가 차지하는 면적은 1.15mm² 이다. 부하 전류 300mA 이상에 대하여 4V의 출력을 얻는 변환기의 최대 효율은 76% 이상, load regulation은 100mA의 변화에 대하여 0.012% (0.5mV)의 특성을 갖는다.

Abstract

This paper presents a design of a high performance DC-DC boost converter as a power module for SoC designs. It applied to this chip that reduced inductor and capacitor for integrating on a chip, and it operates with a switching frequency of 100MHz. It has reliability and stability in high switching frequency. The controller of DC-DC boost converter is designed by voltage-mode control method and compensated properly. The designed DC-DC converter is fabricated with the 0.18 μ m standard CMOS technology with a thick-gate oxide option. The overall die size is 8.14mm², and controller size is 1.15mm². The converter has the maximum efficiency over 76% for the output voltage of 4V and load current larger 300mA. The load regulation is 0.012% (0.5mV) for the load current change of 100mA.

Keywords : DC-DC 변환기, boost 변환기, power management, 전력효율, SoC.

I. 서 론

최근 휴대전화, PDA, PMP, MP3 등과 같은 휴대용 멀티미디어 기기 시장이 급속도로 성장하고 있다. 이러한 기기들은 소비자의 요구에 따라 다양한 기능을 포함 뿐만 아니라 그 크기는 점점 작아지고 있고, 극대

화된 사용 시간이 요구되고 있다. 이동성이 중요시 되는 모바일 기기들은 전원으로 배터리를 사용하며, 다양한 내부 시스템은 배터리로부터 변환된 전압을 공급받아 사용하게 된다. 이에 따라 배터리의 효율적인 사용을 위해, 전원 관리 회로의 중요성이 부각되고 있으며, 이 분야에 대한 연구가 급속하게 증가하고 있다. 또한 집적 회로 기술의 발전으로 여러 가지 기능이 하나의 칩에 집적화가 일반화 되어가면서, 전원 관리 회로 역시 SoC (System-on Chip)로 구현되는 시스템의 일부로 설계 기술 개발이 진행되고 있다.

전원 관리 회로는 리니어 레귤레이터 (linear regulator), 전하 펌프 (charge pump) 그리고 DC-DC

* 학생회원, ** 정회원, 한양대학교 전자컴퓨터공학 (Dep. of Electronic, Electrical, Control and Instrumentation Engineering, Hanyang Univ.)

※ 이 논문은 정보통신부 출연금으로 MIC/IITA/ETRI, SoC 산업진흥센터에서 수행한 IT SoC 핵심 설계인력양성사업의 연구결과임.

접수일자: 2008년12월24일, 수정완료일: 2009년8월4일

변환기 등으로 구현된다^[1,2,3]. 리니어 레귤레이터는 입력 전압보다 낮은 출력 전압을 얻기 위해서 많이 사용되며, 스위칭 동작을 하지 않기 때문에 리플이 매우 작은 출력 전압을 생성할 수 있다. 그러나 변환 효율이 입력 전압과 출력 전압의 차이에 비례하여 감소하는 단점이 있다. 외부에 커패시터를 전하 축전용으로 사용하는 전하 펌프는 설계에 따라, 입력보다 낮거나 높은 출력 전압을 모두 만들어 낼 수 있다. 비교적 작은 면적에 구현이 가능하고 높은 효율을 가지는 장점이 있지만, 부하에 대용량의 전류를 공급해 줄 수 없으며, 다른 구조의 변환기보다 큰 출력 전압 리플 특성을 가지는 단점이 있다. 따라서 전하 펌프 회로는 안정된 전원을 요구하는 응용분야에는 그 사용이 부적합하다^[4~5].

인덕터 타입의 DC-DC 변환기는 인덕터의 전기적 특성과 스위치 동작에 의해서 출력 전압을 생성하는 것으로, 구조에 따라 다양한 입력-출력 전압을 구현할 수 있다. DC-DC 변환기는 스위치를 사용하기 때문에 노이즈 특성이 존재하고, 인덕터와 커패시터와 같은 외부 소자의 사용으로 전체 시스템 제어가 복잡해지는 단점이 있다. 그러나 비교적 작은 출력 전압 리플과, 매우 높은 전력 변환 효율을 가지기 때문에 배터리 수명을 중요시 하는 휴대용 멀티미디어 기기에 적합하다^[6]. 이러한 DC-DC 변환기에는 입력 전압을 낮은 출력 전압으로 변환하는 벡 변환기가 있고, 입력 전압을 높은 출력 전압으로 변환하는 부스트 변환기, 그리고 이 두 가지 동작이 모두 가능한 벡-부스트 변환기가 있다.

이러한 인덕터 타입의 DC-DC 변환기는 일정한 스위칭 주파수로 동작하는 PWM (pulse width modulation) 제어 방식을 주로 사용한다. 이 방식은 스위칭 주파수가 고정되어 있으므로 비교적 스위칭 노이즈 제거가 용의하며, 작은 출력 전압 리플을 갖는다. 그리고 정확한 출력 전압 및 빠른 천이 반응 (transient response)을 구현하기 위해서 부궤환 루프 (negative feedback loop)의 구조를 가지며, 안정적인 동작을 위해서 보상회로 (compensation circuit)가 적용 된다. 부궤환 루프는 방식에 따라서 부하 전류 또는 출력 전압을 사용한 제어로 펄스폭 (pulse width)을 조절하는데, 출력 전압만을 사용하는 방식을 전압 방식 (voltage mode)이라 하고, 두 가지 모두를 사용하는 방식을 전류 방식 (current mode)이라고 한다.

인덕터 방식의 DC-DC 변환기가 지금까지 소개한 것처럼 많은 장점을 가지고 있지만, 외부 소자 특히 인덕

터가 차지하는 면적과 높이 때문에, 점점 소형화되고 슬립화 되는 모바일 기기로의 적용이 앞으로 점점 어려워질 것으로 예상된다. 본 논문에서는 이러한 문제를 해결하고, 기존의 전원 관리 회로를 개선하여, 다른 시스템과 함께 칩 내부로 집적하기 위한 방법을 제시한다. 실제로 DC-DC 벡 변환기의 경우 최근 많은 연구가 진행되고 있으며, 그 성과를 많이 찾아 볼 수 있다. 그러나 DC-DC 부스트 변환기는 아직까지 회로로 구현하는 것이 어렵다. 그 이유는 입력 전압보다 높은 출력 전압 생성을 위한 스위칭 펄스파의 진폭 (amplitude)이 크기 때문에 그에 따른 노이즈의 크기가 크다. 따라서 칩 내부의 접지와 신호들의 처리가 중요하지만, 최소한의 면적에 집적이라는 과제와 함께 적절한 절충이 필요하다. 그리고 에너지 축전용과 출력 전압의 필터로 사용되는 인덕터와 커패시터의 집적 또한 쉽지 않다. 실제로 인덕터와 커패시터 등의 외부소자를 사용하여 상용화 되고 있는 제품들의 경우 1MHz ~ 3MHz의 스위칭 주파수를 가지고, 대략 4.7μH와 10μF의 값의 인덕터와 커패시터를 사용한다^[7]. 그러나 이 정도 크기의 소자들을 칩 내부에 집적하는 것은 불가능하다. 기존의 논문들에서는 DC-DC 벡 변환기를 설계하면서 스위칭 주파수를 높이고 인덕터와 커패시터의 크기를 감소시켜 집적하는 방법을 사용하고 있다^[8~9]. 본 논문에서는 칩 면적을 고려하여 스위칭 주파수를 100MHz로 하였으며, 커패시터는 칩 내부에 4nF를 구현하였다. 인덕터는 다이와 패키지 사이에 본딩 와이어 (bonding wire) 기생 성분을 사용하였으며, AMKOR 사의 208핀 MQFP 패키지를 기준으로 하여, 약 12nH ~ 24nH의 값을 가진다^[10].

설계된 제어기의 구조는 전압 방식을 사용하여 구현하였으며, PWM 동작에 의해서 입력 전압 보다 높은 전압을 안정적으로 생성한다. 앞으로 II, III장에서는 설계된 전압 방식의 DC-DC 부스트 변환기 구조 및 동작 그리고 내부 회로에 대해 설명할 것이다. IV장에서는 Hspice 시뮬레이션을 이용하여 정밀 검증된 결과를 소개할 것이며, V장에서는 결론을 맺는다.

II. DC-DC 부스트 변환기의 동작

인덕터를 이용한 DC-DC 부스트 변환기에 대한 개념적인 블록도가 그림 1 (a)에 있다. S₁이 켜진 상태일 때 출력 단은 입력 단과 분리되고, 입력은 인덕터에 에너지를 공급한다. 시스템 제어에 의해 S₁이 꺼지고 S₂

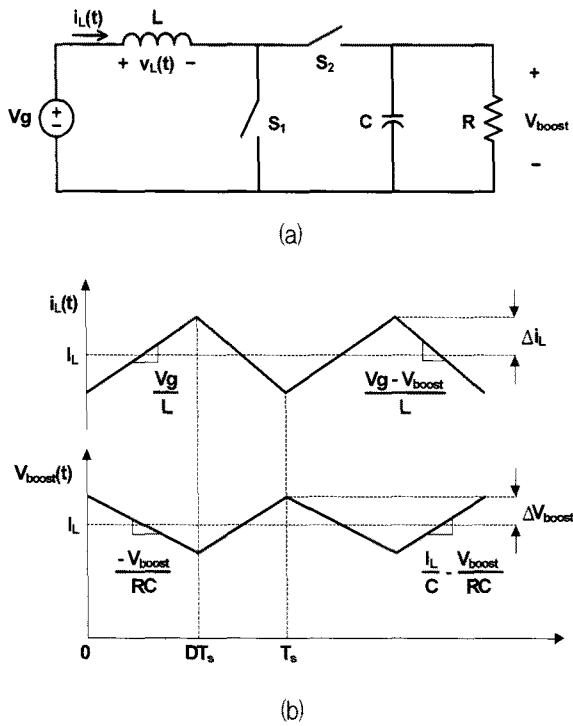


그림 1. DC-DC 부스트 변환기의 동작 원리^[5]
 (a) 개념적인 블록도
 (b) 인덕터 전류와 출력 전압
 Fig. 1. Basic operation of a DC-DC boost converter.
 (a) General block diagram
 (b) Inductor current waveform through the inductor and output voltage waveform

가 켜지면 출력 단은 입력뿐만 아니라 인덕터에서도 에너지를 공급받는다. 따라서 출력 전압은 입력 전압과 인덕터에 저장된 에너지의 합이 되므로, 항상 입력 전압보다 높은 값을 가진다. 시스템 제어는 스위치의 PWM 방식을 사용하며, 부하 전류의 상태나 출력 전압에 따라 제어가 이루어진다. 그림 1 (b)는 부스트 변환기의 정상 상태 (steady state condition) 동작에서 인덕터 전류와 출력 전압을 나타낸 것이다. S₁ 스위치가 켜지는 동안 입력 전압에 비례하는 전류가 인덕터에 저장된다. 이때 출력 커패시터에 충전 되어 있던 출력 전압은 부하 전류에 의해서 감소한다. S₂ 스위치가 켜지는

$$\int_0^{T_s} v_L(t) dt = (V_g)DT_s + (V_g - V_{boost})D'T_s \quad (1)$$

$$V_{boost} = \frac{1}{1-D} V_g \quad (2)$$

동안에는 인덕터에 저장된 전류가 부하 전류를 공급하며 이를 제외한 나머지 전류는 출력 커패시터를 충전시키게

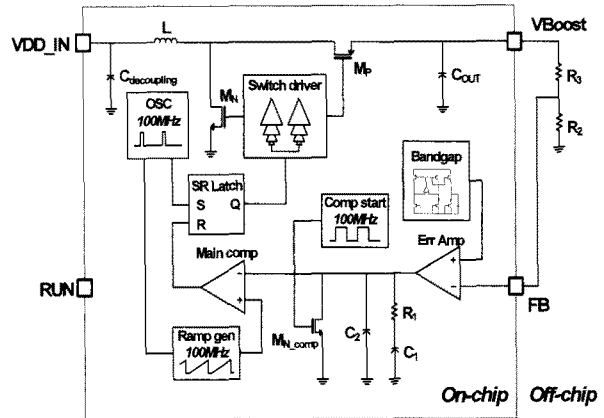


그림 2. 전압 제어 방식 DC-DC 부스트 변환기의 블록 다이어그램
 Fig. 2. Block diagram of voltage-mode DC-DC boost converter.

된다. 부스트 변환기의 정상 상태에서의 입력 전압 및 출력 전압의 관계는 수식 (1), (2)와 같다^[11]. 여기서 듀티 (duty) D는 전체 시간 T_s에서 스위치 S₁이 켜지는 시간의 비로 0에서 1사이의 값을 가진다. 부스트 변환기는 듀티가 증가할수록 높은 출력 전압을 얻을 수 있다. 듀티에 의한 제어는 부궤환 루프로 구성되며, 본 논문에서는 출력 전압을 이용하여 듀티를 조절하는 전압 방식을 사용한다. 전압 방식의 제어기는 부하 전류에 의해서 출력 전압이 낮아지게 되면, 듀티를 증가 시켜 출력 전압을 높이고, 반대로 출력 전압이 높아지게 되면, 듀티를 감소 시켜 출력 전압을 낮춘다. 이와 같은 듀티를 제어할 통해 출력 전압을 얻는 방식을 PWM이라 한다.

III. 고주파 부스트 변환기의 구조 및 회로설계

1. 전압 방식의 부스트 변환기 구조

그림 2는 본 논문에서 설계한 DC-DC 부스트 변환기의 전체 블록 다이어그램이다. 그림 1 (a)에서 스위치 S₁과 S₂는 각각 NMOS 트랜지스터 M_N과 PMOS 트랜지스터 M_P를 사용하여 구현하였다. 이 트랜지스터들은 수백 mA 급의 전류가 흘러 전력 소모가 생기기 때문에, on-저항 값을 최소화 하여야 한다. 따라서 그 크기가 매우 큰 트랜지스터를 사용해야 하며, PWM 동작에 의한 많은 양의 전류를 부하에 빠르게 공급하기 위해 스위치 드라이버 회로로 구동된다. 스위치 드라이버는 스위치 트랜지스터 구동을 위해 출력 전압의 진폭을 가지는 신호를 생성한다. 이때 필요한 전압은 부스트 변환기의 출력을 스위치 드라이버의 전원으로 사용한다. 따

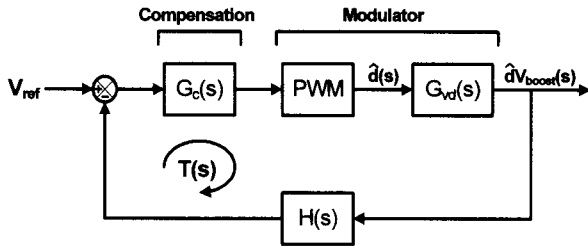


그림 3. 부스트 변환기의 부궤환 제어 루프
Fig. 3. Negative feedback control loop for boost converter.

라서 효율적인 측면에서 스위치 드라이버에서 사용 되는 전원을 부스트 변환기의 입력이 아닌 출력에서 사용 함으로써, 이득을 얻을 수 있다.

스위치 드라이버는 PWM 파형을 입력으로 하는데, 이 파형을 생성하기 위한 회로는, 부스트 변환기의 부궤환 루프에 의해서 생성된 신호와, 내부적으로 설계된 100MHz의 오실레이터 (oscillator)에 의해 생성된 신호를 입력으로 하는 SR-Latch로 구현된다. 셋 (set) 신호는 오실레이터에서 생성된 숏-펄스 (short-pulse)를 사용 하게 되는데, 약 8%의 펄스폭 (800ps)을 갖는다. 리셋 (reset) 신호는 주파수 보상된 오차 증폭 회로의 출력과 내부적으로 구현된 톱니파 (sawtooth wave)를 비교하여 생성된다. 본 논문에서 설계한 부스트 변환기는 100 MHz 로 동작하기 때문에 실제로 한 주기가 10ns 밖에 되지 않는다. 따라서 정확한 PWM 신호의 구현을 위해서는 고성능의 비교기가 필요하다. 이를 위해 다양한 코너 시뮬레이션 (corner simulation)에서 지연 응답 시간이 1ns 이하가 되도록 설계하였다. 이러한 설계는 회로의 신뢰도와도 직결되는 문제로 자세한 내용은 이후에 비교기 설계를 통해서 설명할 것이다.

2. 주파수 보상기

오차 증폭 회로와 주파수 보상은 부궤환 루프로 구성된 시스템의 위상 여유도 (phase margin)의 부족으로 인한 발진 또는 원하지 않는 동작을 예방하기 위한 회로로 구현된다. 부스트 변환기의 제어 루프는 그림 3과 같이 구성된다. 변환기의 고유 특성을 나타내는 $G_{vd}(s)$ 는 듀티 제어에 따른 출력 전압 변화의 응답 특성이다. PWM 블록은 톱니파와 오차 증폭회로의 출력 값의 비교 시에 이득 (gain)을 나타내며, 일반적으로 전압 방식에서는 톱니파의 진폭의 역수이다^[11]. 그리고 기준전압 V_{ref} 와 출력 전압을 비교하기 위해 출력 전압을 축소하

는 $H(s)$ 블록이 존재 한다. 부스트 변환기의 주파수 보상은 PWM 블록과 $H(s)$ 블록에서 발생 되는 이득의 감소와 $G_{vd}(s)$ 블록의 주파수 특성을 모두 고려하여 설계 되어야 한다. 그리고 스위치의 사용으로 비선형적 특성을 가지는 DC-DC 변환기 회로의 부궤환 루프의 주파수 특성을 분석하기 위해서는 선형화된 소신호 모델 (small signal model)이 필요하다. 일반적인 전압 방식의 부스트 변환기는 두 개의 극점을 가지며 다음과 같이 2차식으로 모델링 할 수 있다^[11~12].

$$G_{vd}(s) = \frac{V_g}{D'^2} \frac{1 - s \left(\frac{L}{D'^2 R} \right)}{\left(1 + s \left(\frac{L}{D'^2 R} \right) + s^2 \left(\frac{LC}{D'^2} \right) \right)} \quad (3)$$

식 (3)은 전압 방식의 제어-출력 전달함수 (control to output transfer function) $G_{vd}(s)$ 를 보여준다. 일반적인 DC-DC 변환기에서 이와 같이 극점 두 개가 낮은 주파수 대에 같은 위치에 존재하면 이득과 위상 여유도 확보가 어렵다. 따라서 안정된 시스템 구현을 위해 복잡한 주파수 보상기가 필요하다. 반면에 전류 방식의 변환기는 1차 식으로 모델링이 가능하여 안정성이 확보된 시스템의 구현이 용의하다^[13]. 그러나 본 연구에서 목표로 하는 100MHz의 스위칭 주파수의 동작에서는 전류 감지 회로 구현 및 감지된 전류의 정확성의 문제 등으로 전류 방식의 제어는 적합하지 않다. 100MHz의 스위칭 주파수를 사용하는 DC-DC 변환기에서 전압 방식이 전류 방식과 비교해서 가지는 장점은 보상기의 설계에 있다. 기존에 1.5MHz 스위칭 주파수로 전압 방식의 DC-DC 변환기를 설계를 한다

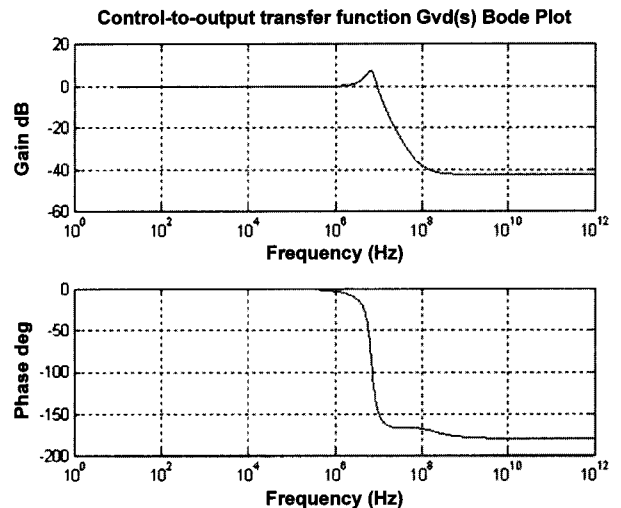


그림 4. 제어-출력 전달함수, $G_{vd}(s)$
Fig. 4. Control-to-output transfer function, $G_{vd}(s)$

면, 두 개의 극점은 수십 kHz 부근에 위치하게 된다. 따라서 이 같은 경우 주파수 보상을 위해서는 이중 극점 이후에 시스템 대역폭을 설정하고, 그 안쪽으로는 영점을 추가하여 하나의 극점과 상쇄시키고, 시스템 대역폭 이후에는 극점을 추가하여 고주파 노이즈를 적절하게 상쇄시키는 설계가 필요하다^[13].

본 논문에서는 인덕터와 커패시터의 집적을 위해서 AMKOR 사의 208핀 MQFP 패키지의 기생 성분을 기준으로 하여, 인덕터 성분 값을 적용하였다^[10]. 이에 따라 인덕터와 커패시터는 각각 12nH ~ 24nH 와 4nF 로 구현하였으며, 전체 시스템은 100MHz의 스위칭 주파수를 사용하도록 설계하였다. 그림 4는 이 값을 기준으로 해서, 인덕터와 커패시터를 적용하여 모델링한 제어-출력의 주파수 응답 특성이다. 그림에서 볼 수 있듯이, 이중 극점은 수십 kHz 부근에 위치한다. 따라서 기존의 방법으로 타입-II 보상기의 적용은 실질적으로 어렵다. 이 정도 주파수에 영점과 극점을 만들기 위해서는 사용되는 커패시터와 저항 값은 매우 작아, 칩 내부에 구현 시 그 값을 신뢰하기 힘들다. 그래서 이중 극점 안쪽으로 시스템 대역폭을 설정하고, 영점과 극점의 모두 위치시켰다. 그림 5는 주파수 보상된 전체 부궤환 제어 루프의 전달함수 T(s)의 주파수 응답으로, 시스템 대역폭에서 충분한 위상 여유도 (phase margin)를 확보하고 있다.

그림 6은 본 논문의 회로 설계에 사용된 오차 증폭기와 주파수 보상 회로이다. 두 개의 커패시터와 저항은 식 (4), (5)에 따라 영점과 극점의 위치를 결정한다^[13].

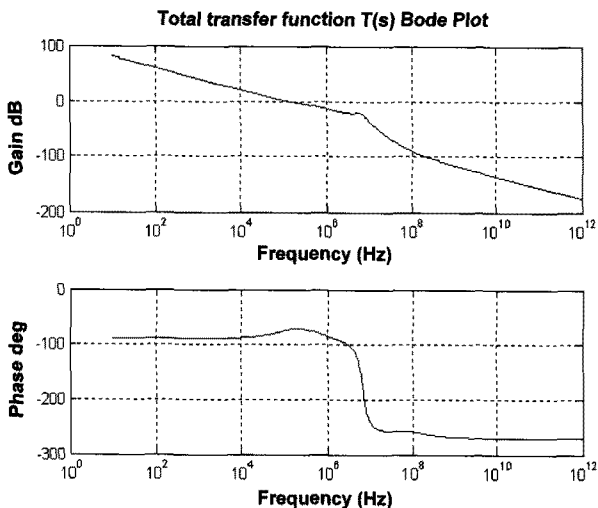


그림 5. 보상된 전체 부궤환 루프 전달함수, T(s)
Fig. 5. Transfer function of compensated total feedback loop, T(s).

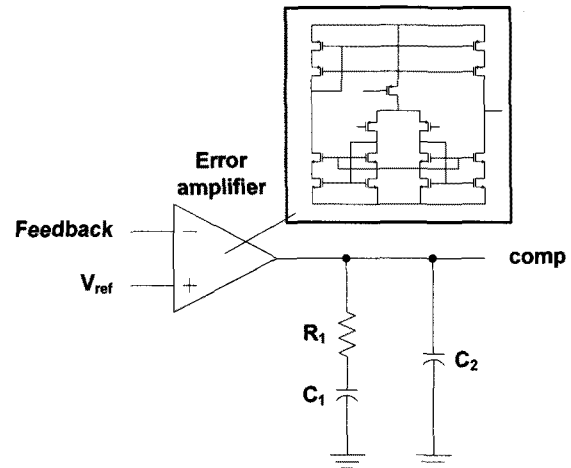


그림 6. Type-II 구조의 보상기 회로
Fig. 6. Type-II compensation network schematic diagram.

$$f_z = \frac{1}{2\pi R_1 C_1} \tag{4}$$

$$f_p = \frac{C_1 + C_2}{2\pi R_1 C_1 C_2} \approx \frac{1}{2\pi R_1 C_1} \text{ where } C_1 \ll C_2 \tag{5}$$

그리고 위에서 정한 영점과 극점을 포함한 보상기의 DC 이득은 식 (6)과 같다.

$$A_v = g_m R_{out} \tag{6}$$

이때 g_m 은 오차 증폭기의 트랜스컨덕턴스 이다^[13].

3. 스위치 드라이버 설계

DC-DC 변환기에서 스위치 드라이버는 부궤환 루프에서 생성된 PWM 신호를 입력 신호로 하여, PMOS 스위치와 NMOS 스위치를 구동하기 위한 신호 Pdrive 와 Ndrive를 생성한다. 그림 7은 본 논문에서 설계한 스위치 드라이버의 블록 다이어그램으로 데드 타임 버퍼, 레벨 쉬프터 그리고 스위치 버퍼 드라이버로 구성된 것을 볼 수 있다. 데드 타임 버퍼는 PMOS 스위치와 NMOS 스위치가 동시에 켜지는 것을 막아서, 전력 손실을 줄일 뿐만 아니라, 파워 스위치들의 과전류에 의한 손상을 방지한다. 레벨 쉬프터는 데드 타임 버퍼에서 생성된 각각의 드라이버 신호를 파워 스위치를 구동할 수 있도록, 입력 전압의 진폭에서 출력 전압의 진폭으로 변환한다. 이때 출력 전압의 진폭은 제어 시스템에서 생성된 전압을 사용한다. 출력 전압의 진폭으로 변환된 드라이버 신호는 On-저항에 따른 전력소비를

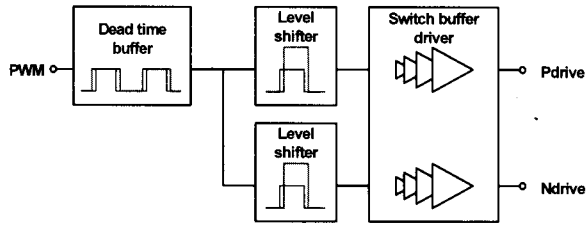


그림 7. 스위치 드라이버 블록 다이어그램
Fig. 7. Switch driver block diagram.

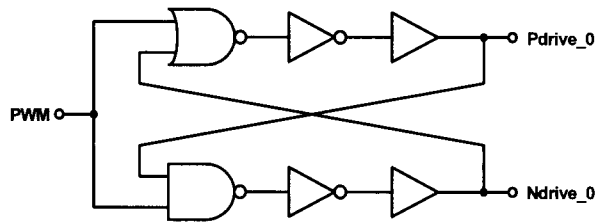


그림 8. 데드 타임 버퍼 회로
Fig. 8. Dead time buffer circuit.

최소화하기 위해 상당한 크기로 설계된 파워 스위치를 구동해야 한다. 이를 위해 스위치 버퍼 드라이버를 사용하여, 부하를 점차 증가시켜 최종 드라이버 신호 Pdrive와 Ndrive를 생성한다.

본 논문에서는 인덕터와 커패시터의 크기를 줄이기 위해서 100MHz의 스위칭 주파수를 사용하였다. 따라서 기존의 회로들과 비교하여 스위칭 주기가 10ns로 매우 짧다. 이 시간 동안 빠르게 드라이버 신호를 생성하기 위해서, 스위치 드라이버 회로의 설계를 최대한 간단하게 구성하여, 신호의 전파 지연에 의한 영향이 최소화 되도록 하였다. 그림 8은 설계 시 실제 적용된 데드 타임 버퍼의 회로이다.

4. 고성능 전압 비교기 설계

전압 방식의 DC-DC 변환기에서는 PWM 신호를 생성하기 위한 리셋 신호는 톱니파와 오차 증폭기 출력 신호의 비교를 통해서 얻어진다. 이상적인 비교기의 경우 양의 입력 단자의 값이 음의 입력 단자의 값보다 커지면 출력 전압이 즉시 양의 값을 가진다. 그러나 실제로 비교기를 구현하게 되면 입력단의 오프셋과 신호의 전송 지연에 의해 출력 값을 즉각적으로 나타낼 수 없다. 이러한 지연을 최소화하기 위한 구조로써, 그림 9와 같이 비교기 앞에 프리앰프 (preamplifier)를 두어 한번 증폭된 신호를 비교하여 속도를 향상 시켰다^[14]. 뿐만 아니라 입력 단에 오프셋을 최소화하기 위해서 프리앰프와 비교기의 입력은 멀티핑거 (multi-finger)로 구

성하였다. 시뮬레이션 결과 모든 동작 조건 및 코너 모델에서 1ns 이하의 전송 지연 시간을 가지며, 이는 스위칭 주기 10ns의 1/10로, 시스템 제어를 통해 충분히 수용 가능한 오차 수준이다.

5. 스타트업 동작

DC-DC 변환기에서 스타트업 동작은 크게 두 가지 역할을 한다. 시스템에 입력 전압이 인가되고 활성화 되었을 때, 빠르게 출력 값에 도달하기 위해 듀티를 과도하게 확보하여, 전류의 양이 급격히 증가하는 것을 방지한다. 실제로 이러한 회로는 인덕터에 흐르는 전류의 양을 감지하여, 일정 수준 이상일 경우 시스템의 동작 상태를 바꾸도록 설계한다. 그리고 설계에 따라서는 초기 상태를 유지해 주어야만 정상적으로 시스템을 동작 시킬 수 있는 조건이 있다. 본 논문에서는 이 두 가지 문제를 comp_start_up 블록으로 해결 하였다. 그림 2에서 적용한 것과 같이 오차 증폭기 회로의 출력에 스위치 M_{N,comp}를 추가하여, 특정 조건까지는 이 노드의 전압을 잡아 두게 된다. 이 상태에서는 변환기의 초기 동작에서 출력 전압과 비교 전압간의 차이가 커져 오차 증폭기 회로의 출력 전압이 높아지려 해도 스위치에 의해서 중간 전압으로 유지된다. 이에 따라 PWM 파형의 듀티 또한 적정 수준으로 유지되고, 출력 전압은 급격히 증가하지 않고 완만하게 증가하여 비교전압과 만나게 된다. 이 스위치가 꺼지는 때는 제어기 내부에서 생성되는 기준 전압과 클락(clock)의 스타트업이 완전히 끝난 다음, 미리 정한 시간을 카운터로 측정하여, 조건이 만족하게 되면 자동적으로 꺼지도록 설계하였다.

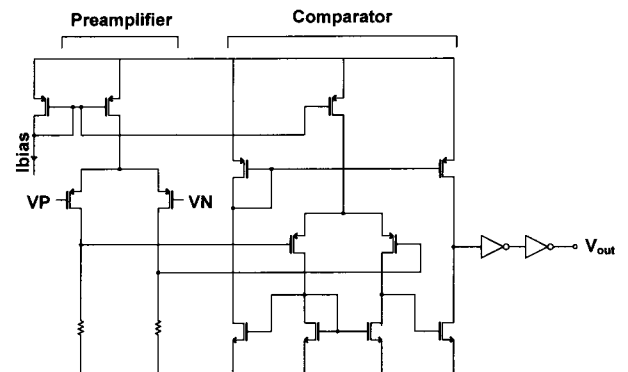


그림 9. 고속 비교기 회로
Fig. 9. High speed main comparator circuit.

III. 시뮬레이션 결과

설계된 DC-DC 부스트 변환기는 0.18 μ m 표준 CMOS 공정으로 제작되었다. 그림 10은 설계된 칩의 레이아웃으로 전체 칩 크기는 8.14mm² 이고 제어기 크기는 1.15mm² 이다. 실제로 칩 크기의 대부분이 출력 커패시터와 접지 디커플링 용도로 사용된 커패시터가 차지하고 있다. 인덕터는 칩 다이와 패키지를 연결해 주는 본딩 와이어를 사용함으로써, 칩 크기의 효율적인 사용이 가능하였다^[10]. 제어기의 크기만으로 비교하면, 기존에 논문에서 연구되었던 칩 크기 수준이다^[13].

그림 11은 MAXIM 사의 DC-DC 변환기 MAX8569의 데모 보드의 구성이다^[15]. 이 칩은 외부에 인덕터와 커패시터를 사용하여, 전체 시스템이 구현되며, 이때 전체 면적은 20.9mm² 이다. 본 논문에서 설계한 칩의 다이 면적은 8.14mm²로 MAX8569의 데모 보드 면적 내에 패키징이 충분이 가능할 뿐만 아니라, 출력 전압의 리

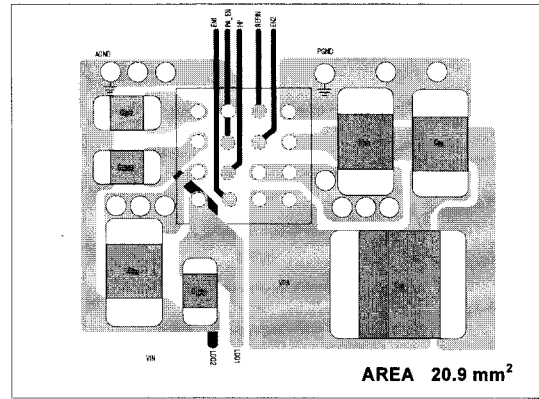


그림 11. MAX8569의 데모 보드 구성.
Fig. 11. Recommended layout of MAX8569 in MAXIM.

플을 축소시키기 위한 외부 디커플링 커패시터 (decoupling capacitor)를 추가할 수 있는 면적의 여유가 있다. 제작된 칩은 기존의 칩 보다, 테스트 및 응용시 보드 구성이 단순화 되어, 복잡성을 최소화 할 수 있다.

1. 정상 상태에서의 동작

그림 12는 출력 전압의 리플 감소를 위한, 추가적인 디커플링 커패시터를 적용하고, 본딩 와이어 (bonding wire)에 의한 기생 (parasitic) 성분을 최대한으로 가정 하였을 때 출력 전압과 인덕터에 흐르는 전류 그리고 SW 노드에서의 신호를 측정한 파형이다. 변환기의 입력 전압은 2.5V를 인가하였고, 출력 전압은 4V가 생성되도록 칩 외부에서 설정하였다. 시뮬레이션 결과 출력 전압은 40mV이내의 리플을 가지고, 4V를 유지하고 있다. 이때, 스위칭 파형은 10ns의 주기로 동작하고 있다. 그림 13은 위와 동일한 조건에서 부하 전류의 순간적인 변화에

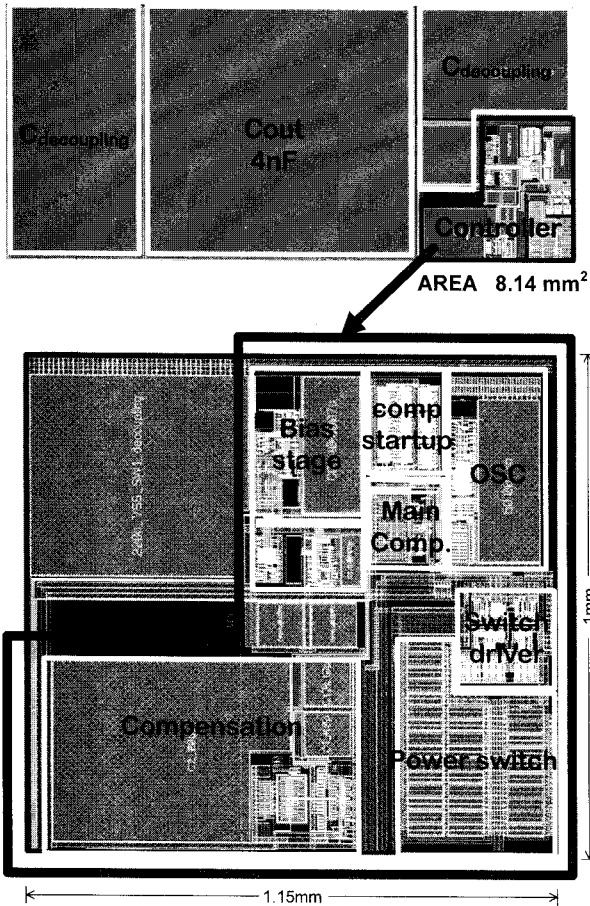


그림 10. 전압 방식 DC-DC 부스트 변환기 레이아웃.
Fig. 10. Layout of the voltage mode DC-DC boost converter controller.

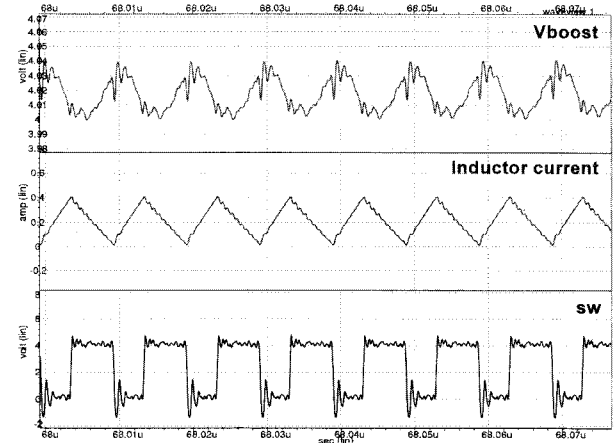


그림 12. 출력 전압, 인덕터 전류, SW 노드의 파형
Fig. 12. Output voltage, inductor current and SW signal.

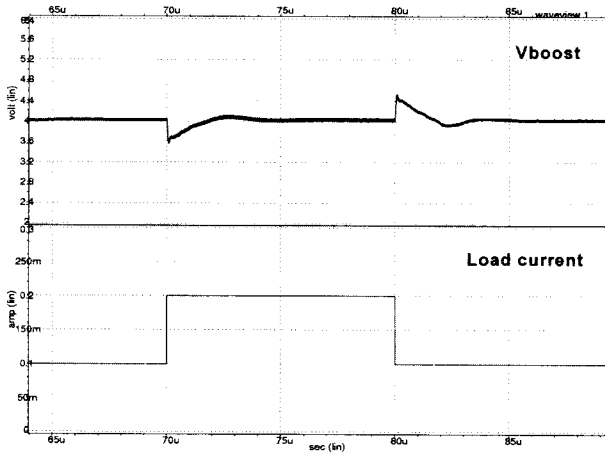


그림 13. 부하 전류 변화 (100mA-200mA-100mA)에 따른 출력 전압 변화

Fig. 13. Output voltage variation by load variation.

따른 출력 전압의 변화를 측정할 수 있다. 부하 전류는 100mA-200mA-100mA의 변화를 준 것으로 출력전압이 안정적으로 제어되고 있는 것을 확인할 수 있다. 뿐만 아니라 순간적인 부하 전류 변화에 대해 출력 전압이 2μs 내외의 빠른 천이 시간 (fast transient time)을 갖는다. 현재 상용 제품들도 100μs 내외의 천이 시간을 필요 하다는 것을 감안하면, 본 논문에서 설계한 부스트 변환기의 천이 시간은 매우 짧은 것이다^[7, 15].

2. 효율

그림 14는 기생성분이 최대값을 가질 경우와 최소값을 가지는 경우로 나누어, 전체 동작 구간의 효율을 측정할 것이다. 본 논문에서 설계된 전압 방식 DC-DC 부스트 변환기는 SoC 구현을 위한 전력 변환 회로 설계를 목표로 하고 있다. 인덕터와 커패시터의 크기를 집

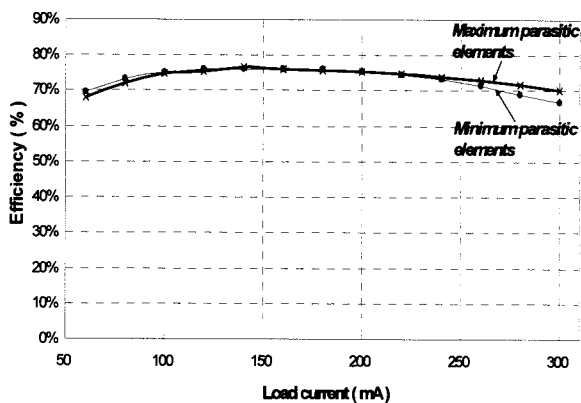


그림 14. 측정된 효율

Fig. 14. Measured efficiency.

표 1. 제작된 DC-DC 부스트 변환기 성능

Table 1. Performance of the designed DC-DC boost converter.

면적	전체 8.14 mm ²
	제어기 1.15 mm ²
공정	0.18 μm
스위칭 주파수	100 MHz
효율	Max 76.57 %
입력 전압 범위	2.5 ~ 3.3 V
출력 전압 범위	입력 전압 ~ 5 V
부하 전류 범위	< 300 mA
load regulation	0.012 %

적 가능할 정도로 축소하면서 스위칭 주파수를 100MHz로 하였다. 고속으로 동작하는 시스템 설계를 위해서, 기존의 부스트 변환 회로와 비교해서 많은 전류의 사용으로 인한 전력소비와 빠른 스위칭 주파수에 따른 스위칭 전력 소비 등으로 최대 76.57% 효율을 갖는다. 추후 연구에서는 설계 최적화와 함께 적은 부하전류 시에 효율 문제의 해결을 계획하고 있다. 제작된 전압 방식의 DC-DC 부스트 변환기의 전체 성능은 표 1을 통하여 정리하였다.

IV. 결 론

전력 변환 회로 설계에 있어서 고려해야 하는 중요한 특성에는 빠른 시간 천이 반응, 시스템 안정성, 그리고 효율이 있다. 그러나 이러한 특성들을 모두 만족시키는 어렵기 때문에 응용 분야에 따라 설계를 달리 하여 최적화된 시스템을 구현한다. DC-DC 전력 변환기는 높은 전력 변환 효율과 작은 출력 전압 리플을 가지고 있어 다양한 응용분야에서 사용 되고 있지만, 외부 소자의 사용에 따른 공간의 효율성 문제가 있다.

본 논문에서는 이와 같은 문제점을 개선하기 위한 인덕터와 커패시터가 집적된 전압 방식 DC-DC 부스트 변환기를 설계하였고, 기생성분 등을 적용하여 정밀한 시뮬레이션을 통해 동작 결과를 확인 하였다. 설계된 변환기는 2μs 내외의 빠른 천이 시간을 가지며, 최대 300mA의 부하 전류에 대해서도 최대 76.57%의 효율로 안정적인 동작을 하는 것으로 검증 되었다. 설계된 칩은 100MHz의 동작 주파수로 동작하며, 100mA의 최대 부하 전류 변화에 대하여 0.012% (0.5mV)의 로드 레귤레이션(load regulation) 특성을 갖는다.

참고 문헌

- [1] S. Abedinpour, B. Bakkaloglu, and S. Kiaei, "A multistage interleaved synchronous buck converter with integrated output filter in 0.18 μm SiGe process," *IEEE Trans. on Power Electronics*, vol. 22, no. 6, pp. 1-2, Nov. 2007.
- [2] J. Wong, "A low noise low dropout regulator for portable equipment," in *Proc. Power Conv. Intell. Motion Conf.*, pp. 38-43, 1990.
- [3] F. Ueno, "Emergency power supply for small computer systems," in *Proc. IEEE ISCAS*, pp. 1065-1068, 1999.
- [4] N. Andrews, "The global market for power supply and power management integrated circuits," *Power Electronics Conf. Expo.*, vol. 1, pp. 126-131, Mar. 2002.
- [5] 정경수, 양희관, 최중호, "전류 감지 Feedback 기법을 사용한 고효율 CMOS DC-DC Boost 변환기의 설계," *대한전자공학회지*, 제43권, SD편, 제9호, pp. 23-30, 2006.
- [6] A. Sitratakos, S. Sanders, and R. Broderon, "A low-voltage CMOS DC-DC converter for a portable battery-operated system," in *IEEE Power Electron. Spec. Conf.*, pp. 619-626, 1994.
- [7] "LTC3528/LTC3528B: 1A, 1MHz Synchronous Step-up DC/DC Converters in 3mm \times 2mm DFN," 2007. [Online]. Available: <http://www.linear.com>.
- [8] P. Hazucha, G. Schrom, J. Hahn, and A. Bloechel, "A 233-MHz 80%-87% Efficient Four-Phase DC-DC Converter Utilizing Air-Core Inductors on Package," *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 842-843, Apr. 2005.
- [9] J. Wibben and R. Harjani, "A High Efficiency DC-DC Converter Using 2nH Integrated Inductors," *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 849-853, Apr. 2008.
- [10] "MQFP PowerQuad 4 Packages," 2008. [Online]. Available: <http://www.amkor.com>.
- [11] R. W. Erickson and D. Maksimovic, *Fundamentals of Power Electronics*, 2nd ed. Boston, MA: Kluwer, 2000.
- [12] R. Zaitso, "Voltage mode boost converter small signal control loop analysis using the TPS61030," *Application report*, SLVA274, pp. 2-5, May 2007.
- [13] 허동훈, 남현석, 노정진, "휴대용 멀티미디어 기기를 위한 400mA급 전류 방식 DC-DC 컨버터," *대한전자공학회지*, 제45권, SD편, 제8호, pp. 24-31, 2006.
- [14] R. J. Baker, *CMOS Circuit Design, Layout, and Simulation*, 2nd ed. IEEE Press, 1998.
- [15] "MAX8569A/MAX8569B: 200mA, Step-Up Converters in 6-Pin SOT23 and TDFN," 2005. [Online]. Available: <http://www.maxim-ic.com>.
- [16] "TPS61200/TPS61201/TPS61202: Low Input Voltage Synchronous Boost Converter with 1.3-A Switches," 2008. [Online]. Available: <http://www.ti.com>.

저 자 소 개



이 민 우(학생회원)
 2007년 한양대학교 전자.컴퓨터
 공학과 학사 졸업
 2009년 한양대학교 전자.전기,
 제어계측 공학과
 석사 졸업

<주관심분야 : System IC design, DC-DC
 converters 설계>



김 형 중(학생회원)
 2007년 한양대학교 전자.컴퓨터
 공학과 학사 졸업
 2009년 한양대학교 전자.전기,
 제어계측 공학과
 석사 졸업

<주관심분야 : System IC design, Over-
 sampling delta-sigma data converter>



노 정 진(정회원)
 1990년 한양대학교 전기공학과
 학사 졸업
 1996년 삼성전자 선임 연구원
 1998년 미국 Pennsylvania State
 University 전기공학
 석사 졸업

2001년 Intel. USA, senior design engineer

2001년 University of Texas at Austin.
 컴퓨터공학 박사.

2001년~현재 한양대학교 안산캠퍼스 전자컴퓨터
 공학부 교수

<주관심분야 : CMOS DC-DC converters 설계,
 Over-sampling delta-sigma data converters 설
 계>