

논문 2009-46SD-8-8

# OFDM 시스템용 로그 수체계 기반의 저전력/저면적 FFT 프로세서

( An LNS-based Low-power/Small-area FFT Processor for OFDM Systems )

박상덕\*, 신경욱\*\*

( Sang-Deok Park and Kyung-Wook Shin )

## 요약

로그 수체계 기반의 저전력/저면적 128점 FFT 프로세서를 수체계 변환 오차와 하드웨어 최소화 방법을 적용하여 설계하였다. FFT 프로세서의 핵심 연산인 복소수 승산과 가/감산 연산을 기존의 2의 보수 수체계 대신 로그 수체계를 적용하여 가산기와 look-up table (LUT)로 구현하였으며, 이를 통하여 2의 보수 수체계 기반의 FFT 프로세서에 비해 약 21%의 게이트와 16%의 메모리를 감소시켰으며, 약 18%의 소비전력 감소가 얻어졌다. 설계된 LNS기반 FFT 프로세서를 0.35  $\mu\text{m}$  CMOS 표준셀로 합성한 결과, 33,910개의 게이트와 2,880 비트의 메모리로 구현되었으며, 60 MHz@2.5V로 동작하여 128점 FFT 연산에 2.13  $\mu\text{s}$ 가 소요되며, 평균 40.7 dB의 SQNR 성능을 갖는다.

## Abstract

A low-power/small-area 128-point FFT processor is designed, which is based on logarithmic number system (LNS) and some design techniques to minimize both hardware complexity and arithmetic error. The complex-number multiplications and additions/subtractions for FFT computation are implemented with LNS adders and look-up table (LUT) rather than using conventional two's complement multipliers and adders. Our design reduces the gate counts by 21% and the memory size by 16% when compared to the conventional two's complement implementation. Also, the estimated power consumption is reduced by about 18%. The LNS-based FFT processor synthesized with 0.35  $\mu\text{m}$  CMOS standard cell library has 39,910 gates and 2,880 bits memory. It can compute a 128-point FFT in 2.13  $\mu\text{s}$  with 60 MHz@2.5V, and has the average SQNR of 40.7 dB.

**Keywords :** Fourier Transform, FFT, LNS (Logarithmic Number System), OFDM

## I. 서론

직교 주파수 분할 다중화(Orthogonal Frequency

Division Multiplexing; OFDM) 방식은 IEEE 802.11n 무선 랜, 유럽 및 일본의 디지털 TV, 디지털 멀티미디어 방송(Digital Multimedia Broadcasting; DMB) 등에서 고속 데이터 전송을 위한 변조방식으로 폭 넓게 사용되고 있다. OFDM의 원리는 고속의 데이터 스트림을 여러 개의 저속 스트림으로 분할하여 이들을 다수개의 반송파(subcarrier)에 실어 동시에 전송하는 것이다. 저속의 병렬 반송파를 사용함으로써 심벌구간이 증가되고 이에 의해 multi-path delay spread에 의한 시간영역에서 상대적인 분산이 감소하게 된다. OFDM 시스템에서 다수 반송파 변조/복조는 IFFT(Inverse Fast Fourier

\* 정회원, (주)코아리버  
(CORERIVER Co., Ltd.)

\*\* 정회원, 금오공과대학교 전자공학부  
(School of Electronic Eng., Kumoh National Institute of Technology)

※ 2008년도 지식경제부 출연금으로 ETRI, 시스템반도체진흥센터에서 수행한 IT-SoC 핵심설계인력양성사업의 연구결과임.

접수일자: 2009년5월11일, 수정완료일: 2009년7월28일

Transform)/FFT 연산에 의해 이루어지며, 하나의 OFDM 심볼이 갖는 부반송파의 수와 유효 심볼기간에 의해 FFT/IFFT 길이와 연산시간이 결정된다<sup>[1]</sup>.

최근, OFDM 기반의 고속 무선통신 응용분야의 확대에 따라 대량의 데이터를 실시간으로 처리하는 저전력/저면적/고속의 FFT 프로세서에 관한 중요성이 증대되고 있다. FFT는 많은 수의 복소수 승산과 가산으로 계산되는 연산 집약적인 특성을 가지므로, 연산량을 줄이기 위한 FFT 알고리즘, 알고리즘을 효율적으로 구현하기 위한 아키텍처, 새로운 수체계의 적용 등의 관점에서 연구가 이루어져 왔다. 그러나 모바일 시스템용 SoC (System-On-Chip)와 같이 작은 칩 면적과 저전력 특성이 중요한 분야에서는 고전적인 설계방법의 한계를 극복할 수 있는 새로운 접근방법이 요구되고 있다.

로그 수 체계(Logarithmic Number System; LNS)는 3차원 그래픽, 디지털 통신 및 신호처리 분야와 같이 많은 연산량을 고속으로 처리해야 하는 분야에서 저전력/저면적 설계를 위한 방안으로 관심이 증대되고 있다<sup>[2]</sup>. OFDM의 핵심 기능블록인 FFT는 복소수 승산과 나비연산의 반복으로 계산되므로 많은 연산량과 하드웨어 면적을 필요로 한다. LNS 기반의 연산에서는 곱셈이 가산으로 구현되므로 많은 수의 복소수 승산이 사용되는 FFT 알고리즘의 저전력, 저면적 구현에 적합한 것으로 평가되고 있다<sup>[3-4]</sup>. 2의 보수 수체계(Two's Complement Number System; TCNS) 기반의 FFT는 나비 연산의 결과와 격자계수의 복소수 승산 횟수를 줄이는 것이 중요하다. 반면에, LNS 기반의 FFT에서는 2의 보수 가/감산 연산의 근사화를 통한 LUT (Look-Up Table) 기반으로 구현되므로 오차가 누적되어 연산 정밀도가 떨어지게 되어 가/감산 연산 횟수가 적은 아키텍처의 선택과 오차 보상을 위한 방안이 중요하다.

본 논문에서는 가산 횟수가 적어 LNS 연산에 유리하다고 판단되는 R2SDF(Radix-2 Single-path Delay Feedback) 구조를 바탕으로 LNS-FFT 프로세서를 설계하였다. 가/감산 구현에 있어서 LUT에 저장되는 데이터의 특성과 오차 특성을 이용한 최적화를 통해 연산 정밀도의 감소 없이 LUT의 크기를 감소시켜 저전력/저면적 구현이 가능하도록 하였다.

## II. 로그 수 체계 및 로그 연산

실수 A의 로그 변환값은 식(1)과 같이 부호비트  $S_A$

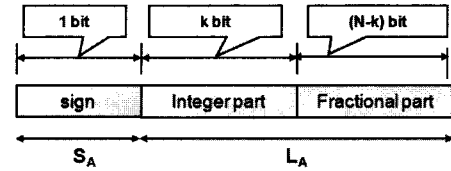


그림 1. LNS의 값 표현  
Fig. 1. Representation in LNS.

와 로그 값  $L_A$ 로 표현되며, 그림 1과 같이 1-비트의 부호비트,  $k$ -비트의 정수부분, 그리고  $(N-k)$ -비트의 소수부분으로 구성된다. 로그의 밑수(base)  $b$ 는 일반적으로 2가 많이 사용된다.

$$A \xrightarrow{LNA} (S_A, L_A = \log_b |A|) \tag{1}$$

부호비트  $S_A$ 와 로그값  $L_A$ 는 식(2)와 같이 정의되며, 여기서  $\tau$ 는 로그값으로 변환되는 실수 A의 임계값을 나타낸다. 실수 A가 0에 가까울수록 로그 변환값은  $-\infty$ 로 급격하게 수렴하므로, 임계값  $\tau$ 를 이용하여 로그 변환값을 근사화해야 하며, 임계값은 LNS에서 표현할 수 있는 가장 작은 양수 값으로 결정된다.  $L_A$ 는 2의 보수로 표현되며, 양수 또는 음수가 될 수 있다. 한편, 실수 A와 로그 변환값 사이에는 식(3)의 관계가 성립한다.

$$S_A = \begin{cases} 0, & \text{if } A \geq 0 \\ 1, & \text{if } A < 0 \end{cases} \tag{2-a}$$

$$L_A = \begin{cases} \log_2 |A|, & \text{if } |A| \geq \tau \\ \log_2 \tau, & \text{if } |A| < \tau \end{cases} \quad (\text{단, } \tau: \text{임계값}) \tag{2-b}$$

$$A = (1 - 2 \cdot S_A) \times 2^{L_A} \tag{3}$$

일반적으로, 로그 변환값  $L_A$ 는  $N$ -비트의 양자화된  $\widehat{L}_A$ 로 식(4)와 같이 표현된다.  $N$ -비트 중, 상위  $k$ -비트는 정수부분을 나타내고, 하위  $j$ -비트는 소수부분을 나타내며,  $\widehat{L}_A$ 는  $-2^k \sim (2^k - 2^{-j})$  범위의 값을 갖는다.

$$\widehat{L}_A = a_{k-1} a_{k-2} \cdots a_1 a_0 \cdot a_{-1} a_{-2} \cdots a_{-j} \tag{4}$$

단,  $N = k + j$

주어진 임계값  $\tau$ 에 대해  $-2^k = \log_2(\tau)$ 가 되며, 정수부분의 비트수  $k$ 는 식(5)와 같이 표현된다. 예를 들어, 실수 A의 임계값을  $2^{-8}$ 으로 사용하는 경우에 로그 변환값의 정수부분은 3-비트가 된다.

$$k = \log_2(-\log_2(\tau)) \quad (5)$$

두 수 A, B의 LNS 표현이 각각  $(S_A, L_A)$ ,  $(S_B, L_B)$  인 경우, 두 수의 곱셈  $C=A \times B$ 에 대한 LNS 곱셈 결과는 식(6)과 같이 계산된다. 즉, 부호  $S_C$ 는 XOR 게이트로 구현되며, 크기  $L_C$ 는 가산으로 구현된다.

$$S_C = S_A \oplus S_B \quad (6-a)$$

$$L_C = L_A + L_B \quad (6-b)$$

한편, 두 수 A, B의 가산/감산  $D=A \pm B$ 에 대한 LNS 가산/감산 결과의 부호와 크기를 각각  $S_D$ 와  $L_D$ 라고 하면, 식(7-a)의 관계를 이용하여 식(7-b) 및 식(7-c)와 같이 표현된다<sup>[3]</sup>.

$$C = A \pm B = A \times \left(1 \pm \frac{B}{A}\right) \quad (7-a)$$

$$S_D = \begin{cases} S_A, & \text{if } L_A \geq L_B \\ S_B, & \text{if } L_A < L_B \end{cases} \quad (7-b)$$

$$L_D = \begin{cases} L_M + \log_2(1 + 2^{-|L_T|}), & \text{if } S_A = S_B \\ L_M + \log_2(1 - 2^{-|L_T|}), & \text{if } S_A \neq S_B \text{ and } |L_T| \geq \tau_1 \\ \tau_2, & \text{if } S_A \neq S_B \text{ and } |L_T| < \tau_1 \end{cases}$$

단,  $L_M = \max(L_A, L_B)$ ,  $L_T = L_B - L_A$  (7-c)

식(7-c)에서  $\tau_1$ 과  $\tau_2$ 는 각각  $L_T$ 와  $L_D$ 의 최소 임계값을 나타낸다.  $L_T$ 가 0에 가까울수록 (즉, A와 B가 같아질수록)  $\log_2(1 - 2^{-|L_T|})$ 가  $-\infty$ 로 급격히 수렴하므로,  $L_T$ 의 임계값  $\tau_1$ 을 경계로 하여  $L_D$ 를  $\tau_2$ 로 근사시킨다. 식(7)로부터, LNS 가산/감산은  $L_A$ 와  $\log_2(1 \pm 2^{-|L_T|})$ 의 fixed-point 가산으로 계산될 수 있으며,  $\log_2(1 \pm 2^{-|L_T|})$ 는  $L_T$ 를 주소값으로 하는 LUT로 구현된다. LUT의 크기는 LNS 가산/감산의 오차와 하드웨어 크기 사이에 교환조건으로 작용한다.

### III. 로그 수 체계 기반의 FFT 프로세서 설계

본 논문에서 설계된 128점 LNS-FFT 프로세서의 구조는 그림 2와 같으며, LNS 변환기, 7단의 연산 stage, LNS 역변환기, 그리고 제어블록 등으로 구성된다. 8비

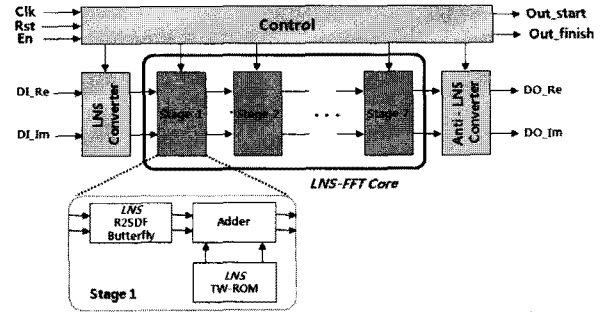


그림 2. 128점 LNS-FFT 프로세서의 구조  
Fig. 2. Architecture of 128-point LNS-FFT processor.

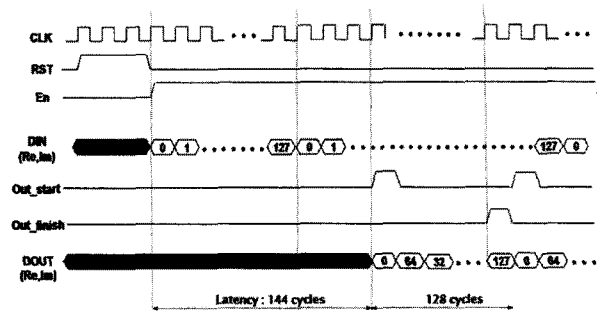


그림 3. 128점 LNS-FFT 프로세서의 동작 타이밍 도  
Fig. 3. Timing diagram of 128-point LNS-FFT processor.

트의 입력 데이터가 LNS 변환기를 통해 부호비트를 포함하여 11비트의 LNS 값으로 변환되어 첫 번째 연산 stage에 입력되며, 내부의 모든 연산들은 LNS 기반으로 이루어진다. LNS 격자계수는 부호비트를 포함하여 11비트이며, 각 연산 stage의 중간 결과값들은 부호비트를 포함하여 15비트이고, LNS 역변환기를 거친 최종 출력은 14비트이다. 각 연산 stage는 LNS 나비연산기와 LNS 격자계수 ROM, 가산기 블록 등으로 구성되며, 나비 연산기와 복소수 가산기 사이에 파이프라인 레지스터를 삽입하여 동작속도가 향상되도록 하였다. LNS 나비연산기는 2개의 LNS 가/감산기와 지연 버퍼 메모리, 입·출력 스위치로 구성된다. LNS 가/감산기는 비교기, 가산기, LUT, 출력의 부호와 절대값을 결정하는 블록 등으로 구성된다. LNS 가/감산기는 LNS 가산기를 기본 구조로 하여 감산을 위한 LUT가 추가된 구조로 설계되었다.

설계된 128점 LNS-FFT 프로세서의 동작 타이밍 도는 그림 3과 같다. 신호 En에 의해 128개의 데이터가 입력되고 144 클록의 레이턴시가 지난 후, Out\_start 신호와 함께 FFT/IFFT 결과가 출력되기 시작한다. 전체 회로는 파이프라인 방식으로 동작하므로, 매 클록 마다 하나의 데이터가 입력되고 출력된다.

1. LNS 변환/역변환기

TCNS에서 LNS로 변환과 LNS에서 TCNS로의 역변환을 위한 가장 기본적인 방법은 LUT를 이용하는 것이다. 이 방법은 필요한 정밀도까지 연산이 가능하나, 그에 따른 LUT의 크기가 지수적으로 증가하는 단점을 갖는다. 본 논문에서는 정밀도를 허용오차 범위 내로 줄임으로써 변환회로의 하드웨어를 줄일 수 있는 방법을 적용하였다<sup>[5,6]</sup>.

TCNS의 이진수  $N = z_k \cdot \dots \cdot z_1 z_0 \cdot z_{-1} z_{-2} \cdot \dots \cdot z_{-j}$  이  $2^j \leq N \leq 2^k$  (단,  $j, k = 0, \pm 1, \pm 2, \dots, k \geq j$ )의 범위에 있는 경우,  $N$ 의 로그 변환값은 식(8)의 관계를 이용하여 근사화될 수 있다<sup>[7]</sup>.

$$N = \sum_{i=j}^k 2^i z_i = 2^k + \sum_{i=j}^{k-1} 2^i z_i = 2^k \left( 1 + \sum_{i=j}^{k-1} 2^{i-k} z_i \right) \quad (8-a)$$

$$= 2^k (1 + m)$$

$$\log_2 N = k + \log_2 (1 + m) \quad (8-b)$$

식(8)을 이용하여 구현된 LNS 변환기는 그림 4와 같으며, 8비트의 2진수를 11비트의 LNS 값으로 변환한다. 11비트의 LNS 값은 부호 1비트, 정수부분 3비트, 소수부분 7비트로 구성된다. LOD(Leading One Detector), LSH(Left Shifter), ECC(Error Correcting Circuit) 블록 등으로 구성된다. LOD 블록과 LSH 블록은 이진수 입력 중 최상위 '1'의 위치  $k$ 를 찾은 후, 최상위 '1'의 오른쪽에 있는 비트들(즉, 식(8)에서  $m$ )을 소수로 왼쪽자리 이동시키는 역할을 한다(단,  $0 \leq N \leq 7$ )<sup>[8]</sup>. ECC 블록은 로그 변환 근사화에서 발생하는 오차를 보상하는 역할을 한다<sup>[9]</sup>. LNS 역변환기는 LNS 값의 정수부분으로부터 TCNS 값의 최상위 '1'의 위치를 찾고, 최상위 '1'의 오른쪽으로 하위비트 열을 붙여주는 RSH(Right Shifter) 블록과 LNS 값의 부호로부터 TCNS 값의 부호를 결정하는 블록으로 구성된다.

2. Radix-2 SDF 구조의 LNS 나비연산기

본 논문의 FFT 프로세서는 radix-2 SDF 구조를 기반으로 설계되었다. 그림 5는 TCNS 기반의 나비연산 구조와 LNS 기반의 나비연산 구조를 보이고 있다. TCNS 기반의 나비연산은 그림 5-(a)와 같이 2개의 가산기와 2개의 감산기로 구현된다. 본 논문에서 설계된 LNS 기반의 나비연산은 그림 5-(b)와 같이 2개의 LNS 가/감산기로 구현된다. LNS 나비연산기는 LNS 가/감

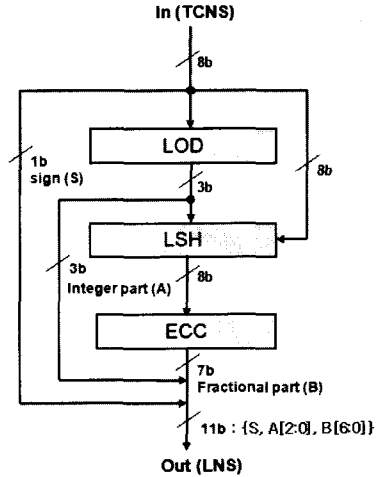


그림 4. LNS 변환기  
Fig. 4. LNS Converter.

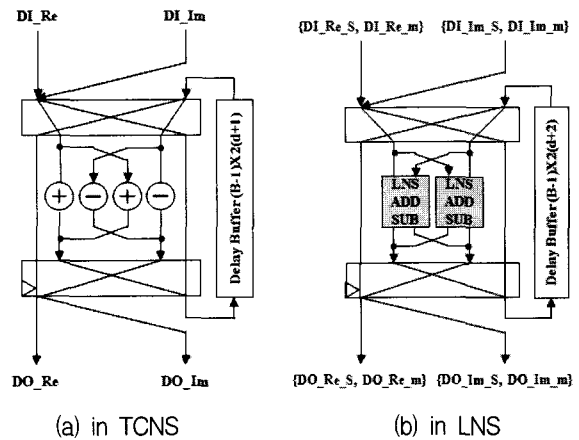


그림 5. Radix-2 SDF 나비 연산  
Fig. 5. Butterfly operation of Radix-2 SDF.

산기와 나비연산 입력과 나비연산기의 출력 중 일부를 임시 저장하는 지연버퍼로 구성된다.  $i$ -번째 연산단계를 위한 지연버퍼의 크기는  $B = N/2^i$  (단,  $N$ 은 FFT 길이)로 결정되며, 이는 radix-2 FFT 신호 흐름도 상에서 나비연산을 이루는 데이터 짝의 거리와 동일하다.

그림 6은 설계된 LNS 가/감산기의 블록도이다. LNS 가/감산기는  $\log_2 |A|$ 와  $\log_2 |B|$ 의 부호값  $S_A, S_B$ 와 14비트의 로그값  $L_A, L_B$ 를 입력받는다.  $\max(L_A, L_B)$ 를 찾는 Comp 블록,  $L_T = L_B - L_A$ 를 계산하는 감산기,  $L_T$ 를 주소로 사용하여  $\log_2(1 \pm 2^{-L_T})$ 를 저장하는 두개의 LUT, 그리고 식(7-c)를 계산하는 2개의 가산기 등으로 구현된다. LNS 가/감산 결과의 부호는 두 입력 LNS 값의 부호  $S_A, S_B$ 와 Comp 블록의 신호에 의해 sign\_sel 블록에서 결정된다. 한편, LUT에 저장되는 데

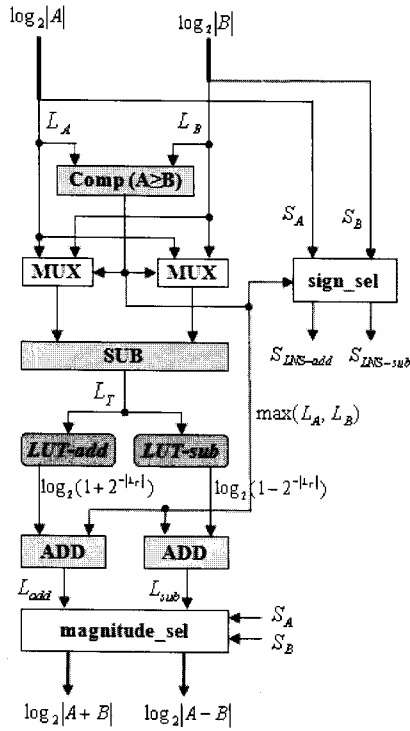


그림 6. LNS 가/감산기  
Fig. 6. LNS Adder/Subtractor.

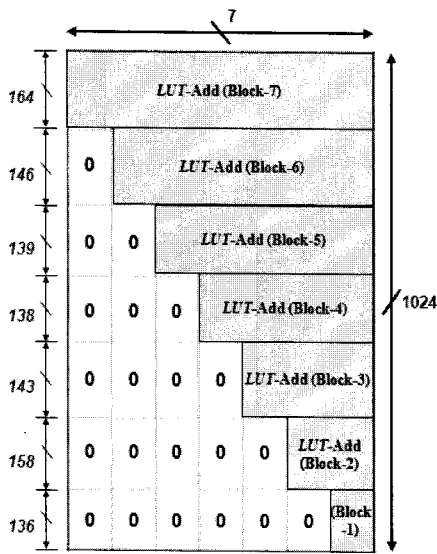


그림 7. LUT-add의 최적화  
Fig. 7. Optimization of LUT-add.

이터의 특성을 이용하여 LUT를 그림 7과 같이 7개의 블록으로 분할하고, 분할된 LUT 블록에 저장되는 데이터의 연속되는 상위비트 0을 제거함으로써 연산 정밀도 감소없이 작은 면적으로 LUT를 구현하였다. LUT-add는 7,168 비트에서 4,172 비트로, LUT-sub는 10,240 비트에서 5,909 비트로 약 42% 감소되었으며, 이와 같은

LUT 최적화를 통해 부가회로가 포함된 전체 LUT의 면적을 약 20% 감소시켰다.

### 3. LNS 복소수 승산기

TCNS 기반의 FFT에서 복소수 승산기는 LNS-FFT에서 가산기로 구현된다. TCNS에서의 복소수 승산기는 그림 8-(a)와 같이 4개의 승산기와 가산기 및 감산기 1개씩으로 구현된다. 반면에, 본 논문의 LNS-FFT에서는 그림 8-(b)와 같이 4개의 가산기와 LNS 가산기 및 LNS 감산기 1개씩으로 구현되어 TCNS 기반의 구현에 비하여 매우 작은 게이트로 구현될 수 있다. 논리 합성 결과, 그림 8-(b)의 LNS 복소수 승산기는 약 1,680개의 게이트로 구현되었으며, 그림 8-(a)의 TCNS 복소수 승산기의 4,650 게이트에 비해 64%의 게이트가 감소되었다.

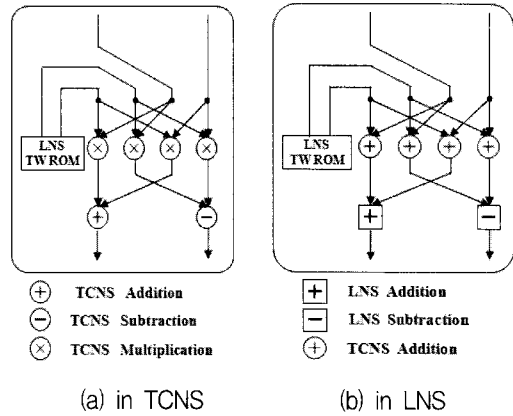


그림 8. 복소수 승산기  
Fig. 8. Complex-number multiplier.

## IV. 기능 검증 및 성능 평가

설계된 128점 LNS-FFT 프로세서의 기능검증, 논리 합성, 성능평가, 그리고 레이아웃 설계를 그림 9의 과정으로 수행하였다.

전체 회로는 Verilog HDL로 모델링되었으며, LNS 가/감산기에 사용되는 LUT의 데이터는 C 프로그램으로 생성되었다. 기능검증과 연산 정밀도 분석을 위한 시뮬레이션 데이터는 2진 랜덤 신호를 16-QAM 변조한 후, 부동점 연산을 갖는 이상적인 IFFT와 이득 조정을 거쳐 8비트로 양자화시켜 사용하였다. ModelSim을 이용한 기능검증과 Matlab을 이용한 부동점 FFT 연산을 수행하였으며, 이들 두 결과로부터 연산오차와 SQNR

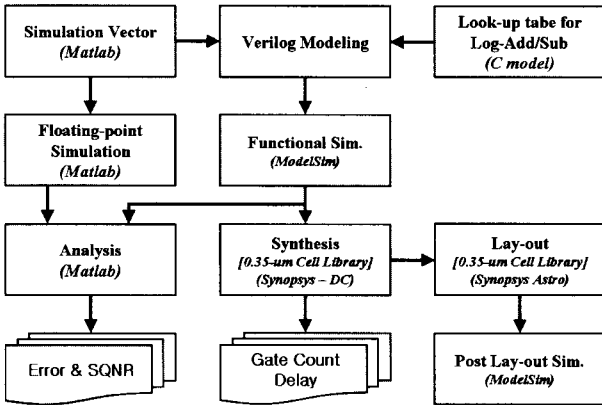


그림 9. LNS-FFT 프로세서의 설계 및 검증 과정  
 Fig. 9. Design and verification flow of LNS-FFT Processor.

을 분석하였다. Verilog HDL 모델링은 논리합성을 통해 게이트 수와 동작속도를 예측하였으며, Xilinx Xpower를 이용하여 전력소모를 예측하였다. 레이아웃은 Astro P&R 툴을 이용하여 설계되었다.

연산 정밀도는 식(9)에 의한 SQNR을 통해서 분석되었다. 식(9)에서 A는 Matlab을 이용한 부동점 연산결과 값을 나타내며, B는 설계된 LNS-FFT 프로세서의 출력을 나타낸다.

$$SQNR = \frac{\sum [Re(A)]^2 + \sum [Im(A)]^2}{\sum [Re(A) - Re(B)]^2 + \sum [Im(A) - Im(B)]^2} \quad (9)$$

그림 10은 설계된 LNS-FFT 프로세서의 연산 정밀도 시뮬레이션 결과를 보이고 있다. 시뮬레이션에 사용된 입력 데이터는 좌측 상단의 성상도와 같으며, 좌측 하단의 성상도는 Matlab에서 얻어진 이상적 FFT 출력

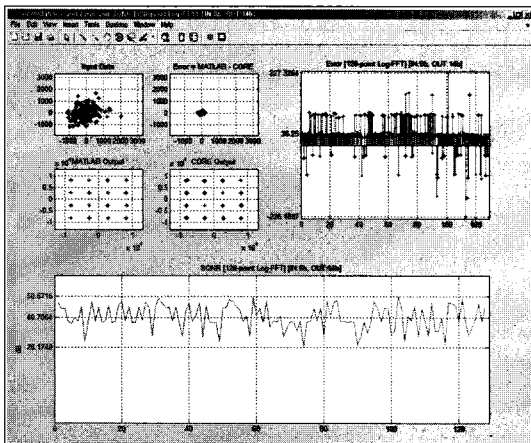


그림 10. LNS-FFT 프로세서의 성상도, 오차 및 SQNR  
 Fig. 10. Constellation, error, SQNR of LNS-FFT processor.

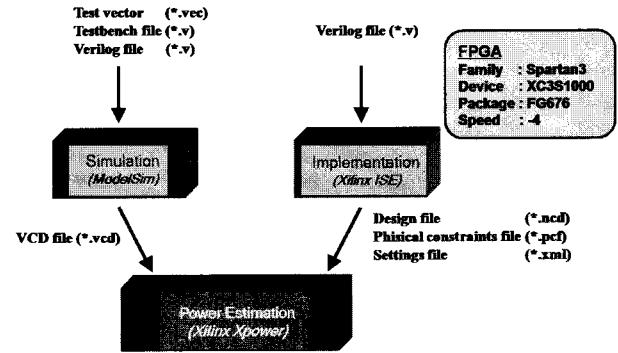


그림 11. 전력소모 예측  
 Fig. 11. Power estimation.

이고, 우측 하단의 성상도는 설계된 LNS-FFT 프로세서의 FFT 출력이다. 연산 오차는 우측 상단의 성상도와 같이 매우 작은 범위이다. 설계된 LNS-FFT 프로세서는 평균 41 dB의 SQNR을 갖는 것으로 분석되었다.

설계된 LNS-FFT 프로세서의 저전력 특성을 확인하기 위하여 Xilinx사의 Xpower 툴을 사용하여 전력소모를 예측하고, TCNS-FFT 프로세서와 비교하였다. 전력소모 예측은 그림 11의 방법으로 이루어졌다. 전력소모 예측에 필요한 VCD 파일은 설계된 Verilog HDL 코드와 테스트 벡터, 테스트 벤치를 사용하여 ModelSim 시뮬레이션을 통해 생성하였으며, Design 파일, Physical constraints 파일, Settings 파일 등은 Xilinx의 ISE 툴을 사용하여 생성하였다. 사용된 타겟 FPGA 디바이스는 Spartan3 XC3S1000이다. Xpower 툴로 측정된 LNS-FFT 프로세서의 전력소모는 187 mW로 나타났으며, 동일한 과정으로 측정된 TCNS-FFT 프로세서의 소비전력 229 mW에 비하여 약 18.3% 감소된 것으로 나타났다. 따라서 본 논문에서 설계된 LNS-FFT 프로세서가 저전력 구현에 적합하다고 평가되었다.

설계된 LNS-FFT 프로세서를 0.35-μm CMOS 셀 라이브러리로 합성하여 게이트 수와 지연시간을 추출하였다. 논리합성 결과, 33,910개의 게이트와 2,880비트의 RAM으로 구현되었으며, 동일한 설계사양을 갖는 TCNS 기반의 FFT 프로세서의 42,927 게이트와 비교하여 약 21% 게이트 수 감소가 얻어졌다. 최대 지연시간은 약 12.8 ns로 LNS 격자계수 ROM과 LNS 가산기의 경로에서 발생하였다. 레이아웃 설계 후의 배선에 의한 지연을 30% 추가적으로 고려하더라도 최대 지연시간은 16.6 ns를 넘지 않을 것으로 판단된다. 따라서 2.5 V 전원전압에서 60 MHz로 안전하게 동작 가능할 것으로 평가되었으며, 128점 FFT의 연산에 2.13 μs의

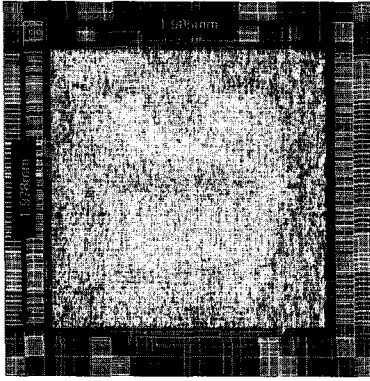


그림 12. LNS-FFT 프로세서의 레이아웃 도면  
Fig. 12. Layout of LNS-FFT processor.

표 1. LNS-FFT 프로세서와 TCNS-FFT 프로세서의 비교

Table 1. Comparison of LNS-FFT processor with TCNS FFT processor.

		본 논문의 설계	TCNS FFT
Gate count	LNS Converter	200	42,927 (1.0)
	LNS FFT Core	33,629	
	Anti-LNS Converter	81	
	Total	33,910 (0.79)	
RAM (bits)		2,880 (0.84)	3,424 (1.0)
Power [mW]		187 (0.82)	229 (1.0)

표 2. FFT 프로세서의 비교

Table 2. Comparison of FFT processors.

	본 논문	[10]	[11]	[12]	[13]
FFT Length	128	128	64×2	128×4	128×4
Gate count	33,910	20,580 slices	9,322	93,200	5,633 slices
SQNR(dB)	41	N/A	N/A	40	30
Clock rate(MHz)	60	62	20	132	140
Power(mW)	187	337	208	132	N/A
Technology(μm)	0.35	Vertex2	0.35	0.18	Vertex 4

시간이 소요될 것으로 예상된다.

자동 배선 및 배치 툴인 Astro를 이용하여 레이아웃을 설계한 결과는 그림 12와 같으며, 코어의 크기는 약 1.985×1.978 mm<sup>2</sup> 이다. 표 1은 본 논문에서 설계된 LNS-FFT 프로세서와 동일한 사양으로 설계된 TCNS FFT 프로세서의 비교를 보이고 있으며, TCNS FFT 프로세서에 비해 약 21%의 게이트가 감소되었으며, 전력소모는 약 18%가 감소되었다. 표 2는 문헌에 발표된 FFT 프로세서의 성능을 비교한 것이다. 본 논문의

LNS-FFT 프로세서는 문헌 [10]의 경우에 비해 전력소모가 약 절반 정도이며, 문헌 [11]에 비해 게이트 수는 많이 소요되지만, 전력소모가 작다. 4개의 데이터 패스를 갖는 문헌 [12] 보다 전력소모가 크나, 본 논문의 LNS-FFT 프로세서는 0.35 μm 공정으로 구현된 것이므로, 0.18 μm 공정으로 구현하면 유사한 결과가 얻어질 것으로 예상된다.

## V. 결 론

본 논문에서는 OFDM 모뎀의 핵심 IP로 사용되는 FFT 프로세서의 저전력/저면적 구현을 위해 LNS 기반의 FFT 구현 방법을 연구하고, R2SDF 구조를 갖는 128점 LNS-FFT 프로세서를 설계하였다. 0.35 μm CMOS 셀 라이브러리로 합성한 결과 약 33,910개의 게이트, 2,880비트의 RAM으로 구현되어 약 21%의 게이트와 16%의 메모리 크기가 감소하였다. 128점 FFT 연산에 2.13 μs가 소요되며, 평균 41 dB의 SQNR 성능을 갖는다. 설계된 LNS 기반의 FFT 프로세서는 기존의 2의 보수 수체계 기반의 설계에 비해 비슷한 SQNR 성능을 가지며 저전력/저면적 설계에 유용함이 확인되어 저전력/저면적 통신 시스템용 SoC 설계에 IP로 사용될 수 있을 것이다.

## 감사의 글

반도체설계교육센터(IDEC)의 CAD Tool 지원에 감사드립니다.

## 참 고 문 헌

- [1] 조용수, "무선 멀티미디어 통신을 위한 OFDM 기초", 대영사, 2001.
- [2] T. Stouraitis and V. Paliouras, "Considering the alternatives in low-power design", *IEEE Circuit and Device Magazine*, pp. 23-29, July, 2001.
- [3] Y. Wang, H.M. Lam, C.Y. Tsui, R.S. Cheng, W.H. Mow, "Low complexity OFDM receiver using Log-FFT for coded OFDM system", *IEEE ISCAS 2002*, vol 3, 445-448. 2002.
- [4] E.E. Jr., Swartzlander, D.V. Satish Chandra, H.T. Nagle, S.A. Starks, "Sign/Logarithm Arithmetic for FFT Implementation", *IEEE Trans. on Computers*, pp. 526-534, June 1983.

- [5] 김채현, 송유수, 김종환, 신경욱, "휴대형 3D 그래픽 가속기용 로그 수체계 기반의 누승기 설계", *대한전자공학회 하계학술대회 논문집*, Jun. 2005.
- [6] A. Avizienis, "Signed Digit Number Representation for Fast Parallel Arithmetic", *IRE Trans. Electronic Computers*, vol. 10, pp. 389-400, Sep. 1961.
- [7] J. N. Mitchell, "Computer Multiplication and Division Using Binary Logarithms", *IRE Trans. Electronic Computer*, vol. 11, pp. 512-517, Aug. 1962.
- [8] H. Suzuki, H. Morinaka, H. Makino, Y. Nakase, K. Mashiko, T. Sumi, "Leading-Zero Anticipatory Logic for High-Speed Floating Point Addition", *IEEE J. Solid-State Circuits*, pp. 1157-1164, 1996.
- [9] H. A. Khalid, E. S. Raymond, "CMOS VLSI Implementation of a Low-Power Logarithmic Converter", *IEEE Trans. on Computers*, vol. 52, no. 11, pp. 1421-1433, Nov. 2003.
- [10] C. Huggett, K. Maharatna, K. Paul, "On the Implementation of 128-pt FFT/IFFT for High-performance WPAN", *IEEE ISCAS 2005*, vol. 6, pp. 5513-5516, May, 2005.
- [11] H.L. Lin, H. Lin, Y.C. Chen, R.C. Chang, "A Novel Pipelined Fast Fourier Transform Architecture for Double Rate OFDM Systems", *IEEE SIPS 2004*, pp. 7-11, 2004.
- [12] S.I. Cho, K.M. Kang, S.S. Choi, "Implementation of 128-point Fast Fourier Transform Processor for UWB Systems" *Int. Wireless Communications and Mobile Computing Conference(IWCMC'08)*, pp. 210- 213, Aug. 2008.
- [13] 리우향, 이한호 "MIMO-OFDM 시스템을 위한 고속 저면적 128/64-point Radix-2<sup>l</sup> FFT 프로세서 설계" *전자공학회 논문지*, 제46권, SD편, 2호, pp. 15-23, Feb. 2009.

---

 저 자 소 개
 

---



박 상 덕(정회원)  
 2007년 금오공과대학교 전자공학  
 부 졸업 (공학사)  
 2009년 2월 금오공과대학교  
 대학원 전자공학과 졸업  
 (공학석사)  
 2009년 3월 (주)코아리버 연구원

<주관심분야 : 통신 및 신호처리용 SoC 설계, 정보보호 SoC 설계, 반도체 IP 설계>



신 경 욱(정회원)-교신저자  
 1984년 한국항공대학교  
 전자공학과 공학사  
 1986년 연세대학교 전자공학과  
 공학석사  
 1990년 연세대학교 전자공학과  
 공학박사

1990년 9월~1991년 6월 한국전자통신연구소  
 반도체연구단(선임연구원)

1991년 7월~현재 금오공과대학교 전자공학부  
 (교수)

1995년 8월~1996년 7월 University of Illinois at  
 Urbana-Champaign(방문교수)

2003년 1월~2004년 1월 University of  
 California at San Diego(방문교수)

<주관심분야 : 통신 및 신호처리용 SoC 설계, 정보보호 SoC 설계, 반도체 IP 설계>