

논문 2009-46SD-8-12

아날로그 PRML 디코딩 회로 구현 시의 미스 매칭 문제 완화를 위한 입력 심볼 에러 값 증폭

(Input Error Amplification for the Ease of Mismatching Problem in the Analog PRML Decoder Implementation)

양 창 주*, 마헤스워 사*, 김 형 석**

(Changju Yang, Maheswar Sah, and Hyongsuk Kim)

요 약

차동형 아날로그 PRML 디코더의 하드웨어 구현 시에 발생하는 mismatching 문제를 해결하기 위해서 입력 심볼 에러를 증폭함으로써 에러 정정 효과를 향상시키는 방법을 제안하였다. 차동형 아날로그 PRML 비터비 디코더는 축약된 길이만큼의 트렐리스 다이어그램 회로를 2 개 구성하고, 그 중 한 회로는 0에 해당하는 가지들을 절단하고, 다른 회로는 1에 해당하는 가지들을 절단하여 두 회로의 출력을 비교함으로써 디코딩한다. 이 때, 두 회로 출력 값의 차이가 작을 경우에는 하드웨어 구현 시의 mismatching 때문에 디코딩 에러가 발생할 수 있다. 본 논문에서는 입력 심볼 에러 값들을 증폭함으로써 큰 경로 에러 값들은 saturation시키는 대신, 작은 경로 에러 값들 간에는 구별 성능을 키움으로써 결과적으로 0 혹은 1 간의 구별 마진이 커지게 하는 방법을 제안하였다. 회로의 디코딩 성능 개선효과를 보이기 위해 시뮬레이션 결과를 제시하였다.

Abstract

An idea to improve the performance of error correction with the amplification of input symbol errors is proposed to ease the mismatching problem which occurs in the hardware implementation of the differential analog PRML decoder. The differential analog PRML decoder is the decoder with two blocks of trellis diagram one of which is without branches of "0" and the other one is without the branches of "1". Decoding is performed by comparing the outputs of two blocks. The decoding error is likely to occur when the difference of two outputs is very small and the hardware implementation is not precise due to mismatching. The proposed idea is to increase the discrimination margin for the output "0" and "1" by amplifying the symbol error while the larger path metrics are saturated. To show the performance improvement of decoding with the proposed idea, simulation results are included.

Keywords : 비터비 디코더, Trellis diagram, 입력심볼 에러, AWGN, Mismatching

I. 서 론

다양한 기술 분야에서 신호를 Encoding 혹은 Decoding할 필요가 있으며, 이 때, 전로 환경에서의 SNR(Signal to Noise Ratio)가 작으면 작을수록 디코딩 에러가 자주 발생한다. 예를 들면 통신 시 데이터를 전

송할 때 외부 환경에 의해 발생된 노이즈에 의해서도 오류가 빈번히 발생한다. 또 자기 디스크 드라이브와 같이 PR(Partial Response)신호^[4-5, 15]를 저장했다가 읽어낼 때도 신호의 왜곡과 함께 디코딩 에러가 생긴다. 이러한 경우들과 같이 잘못 전송된 데이터를 원래의 데이터로 복원하기 위해 사용되는 기법들 중, 데이터 기록 시에 전후의 상관관계를 갖도록 끼워 넣은 부호화된 데이터 계열과 가장 근사한 계열을 최적화 방법을 이용하여 선택하여 재생하는 비터비 복호 방식^[5, 8, 14]이 많이 사용되고 있다.

* 학생회원, ** 정회원, 전북대학교 전자정보공학부
(Electronics and Information Department,
Chonbuk National University)

접수일자: 2009년5월29일, 수정완료일: 2009년8월1일

비터비 디코더는 디지털 방식 및 아날로그(fully analog)방식들이 있다. 디지털 방식은 입력신호를 A/D 변환한 후, 이후의 모든 처리를 디지털회로에 의해 처리하는 방식이다^[5, 8, 12~13]. 그 중 가장 구현이 쉬운 방법은 하나의 프로세서를 이용하여 각 상태에 필요한 연산을 순차적으로 수행하는 방식인데^[3~5], 연산속도가 매우 느리다는 점이 큰 단점이다. 연산 속도를 향상시키기 위한 방안으로 각 상태마다 한 개씩의 연산 셀을 설치하여 병렬 처리하는 구조가 개발되었는데^[6~7], 이 방식은 수신된 신호 강도와 각 branch에서의 기준 심볼과의 차이를 예러로 간주하고 이를 누적시켜 최적 경로 검출 방법에 따라 예러를 정정한다. 그러나 이 디지털 방식에서는 수신된 아날로그 신호를 다 단계 양자화를 해야 하기 때문에 고속의 A/D 변환기를 채용해야 하며 이에 따라 전력 소모가 매우 크다는 문제가 있다.

디지털 방식의 보완책으로 아날로그 입력신호를 디지털로 변환하지 않고 아날로그 회로를 이용하여 처리하는 방법이 연구되었는데^[1] 디지털 비터비 디코더의 각 상태를 담당하는 셀을 아날로그 연산 셀로 대체하여 사용하는 방식이다. 이 방식은 아날로그 연산 셀을 사용하므로 각 노드에서의 처리 속도도 개선되는 장점이 있지만 디지털 디코더처럼 처리 결과를 디지털 메모리에 저장해야 하므로 경로 저장용 디지털 메모리가 필요하므로 디지털 디코더에 비해 크게 개선된 결과를 얻지 못하고 있다. 보다 발전된 아날로그 방식은 기존의 아날로그 방식의 문제점들을 개선하기 위한 것으로 트렐리스 다이어그램의 각 상태에 해당하는 위치에 아날로그 신호처리 셀을 배치한 완전 병렬 구조이다^[2, 9].

이 구조에서는 경로저장용 메모리에서의 backtracking 대신, 완전 연결 상태의 출력과 디코딩 단의 "0" 혹은 "1"의 가지들을 절단한 상태의 출력의 차이를 이용하여, 최소 예러 path가 지나는 branch를 검사하므로 효율적이었다. 이 방법에 기반하여 디코딩 단에서 "0"에 대한 branch만 가진 회로와 "1"에 대한 회로만 가진 회로의 출력의 차이를 이용하여 디코딩 하는 차동비교 방법도 발표되었다^[2]. 이 완전 아날로그 방법들의 공통점은 아날로그 출력 값들을 비교에 의해 디코딩하는 것이다.

그런데, 아날로그 차동 비터비 디코더에서 두 회로 출력 값의 차이가 작은 경우에는 하드웨어 구현 시의 mismatching 때문에 디코딩 예러가 발생할 수 있다.

S/N 율이 작은 경우에 출력 값의 차이가 작은 경우

가 자주 발생하는데 본 논문에서는 입력 심볼 예러 값을 증폭하여 입력하면 출력 값 차이의 마진을 크게 할 수 있다는데 착안하여 그 실현성을 확인하였다. 특히, 입력을 증폭하게 되면, 각 노드의 누적된 출력 값이 증가하게 되는데, 회로에 의해 나타낼 수 있는 출력 값의 최대 값은 전원 크기 값을 상회할 수 없으므로 큰 출력 값은 saturation 되게 된다. 이렇게 큰 출력 값의 saturation에도 불구하고 출력 값의 차이 마진이 증가하게 되는 원리를 해석하였다.

특히, 본 논문에서는 디스크 드라이브나 광자기 디스크 등에 사용하는 PR 신호를 복호화하는 PRML(Partial Response Maximum Likelihood)^[3~4, 6~7, 10]을 대상으로 시뮬레이션 하였다.

II. 기존의 아날로그 비터비 디코더

비터비 디코더의 기본 연산은 단순화된 동적계획법으로 각 노드에서는 입력된 정보들 중의 최소 값 연산을 통하여 목표점까지의 최소 오차 값을 계산한다. 즉, 노드(k, l)로부터 목표점에 이르는 최소 오차 값을 $D_{k, l}$ 라 하고, 노드(i, j)와 (k, l)사이의 오차 값을 $d_{ij, kl}$ 라 할 때, 목적 점에서 노드 (i, j)에 이르는 최소 오차 값 $D_{k, l}$ 는 인접한 노드 (k, l)에 이르는데 소요되는 오차 값 $d_{ij, kl}$ 과 그 위치로부터 목표점에 이르는 최소 오차 값 $D_{k, l}$ 을 합한 값 중 최소 값을 취하는 식 (1)과 같이 계산한다.

$$D_{i, j} = \min\{D_{k, l} + d_{ij, kl}, (k, l) \in S\} \quad (1)$$

여기서, S는 노드 (i, j)의 인접한 노드들의 집합을 의미하며, min은 괄호안의 값들 중 최소 값을 출력하는 함수를 나타낸다. 식(1)을 비터비 디코더에 적용시키기 위해서 $d_{ij, kl}$ 에 Trellis diagram상의 부호어와 수신된 심볼과의 차이 값을 인가하고, 각 노드에 식(1)을 수행할 수 있는 연산 유닛을 배치하게 되면, stage가 진행함에 따라 각 노드에는 오차 값이 누적 되는데 마지막 stage의 노드 중 최소 값을 갖는 노드의 경로를 역 추적 하여 디코딩을 수행하게 된다.

아날로그 비터비 디코더는 Trellis diagram의 각 노드에 최대 값 연산을 수행하는 아날로그 신호처리 셀을 병렬로 배치한 구조이며, 완전 및 부분연결 차동형은 Multiplexer에서 순차적으로 입력 값을 받아서 처리하

는 구조로 되어있다. 그림 1은 비터비 디코더 중 PRML 신호의 디코더를 보여 준다.

그림 1에서의 완전 및 부분연결 차동형 디코더는 모든 가지가 연결된 trellis diagram과 “1” 혹은 “0”만 연

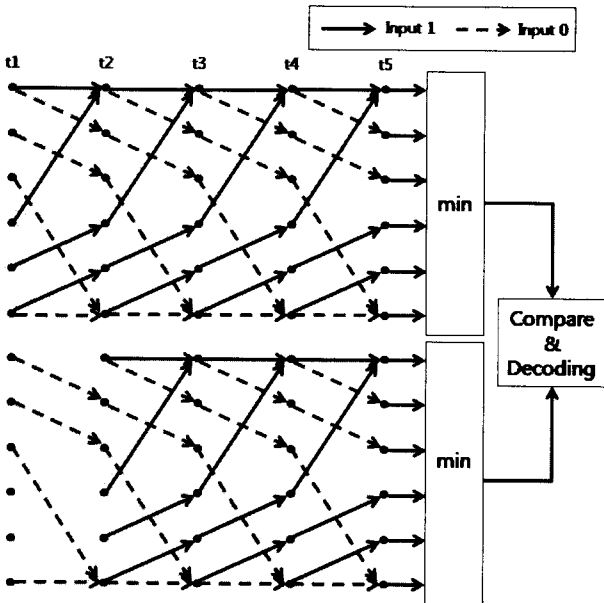


그림 1. 완전연결형과 부분 연결형 trellis diagram간의 비교에 의한 차동형 디코딩 구조^[9-10]

Fig. 1. Conventional differential decoding structure with the comparison between the fully connected and partially connected trellis diagrams.

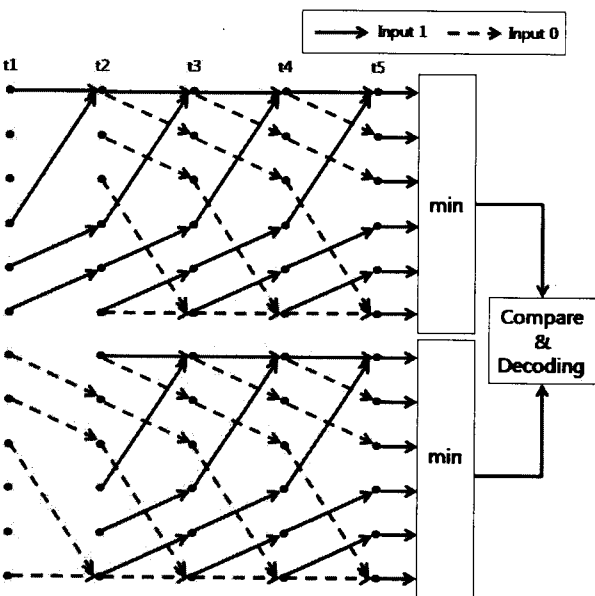


그림 2. 부분 연결 차동형 trellis diagram간의 비교에 의한 디코딩 구조^[2]

Fig. 2. Conventional differential decoding structure with the comparison between the two partially connected trellis diagrams.

결된 부분 회로를 일정한 길이만큼 구성하고, 두 회로의 값에 따라 디코딩한다.

그림 2는 기존의 Trellis diagram을 입력이 0에 해당하는 Branch에 연결된 회로와 1에 해당하는 Branch에 연결된 두 개의 부분회로로 구성된 차동형 디코딩 회로 구조를 보여준다. 위쪽의 Trellis diagram은 1에 해당하는 회로이고, 아래쪽 Trellis diagram은 0에 해당하는 회로이다. 0에 해당하는 회로와 1에 해당하는 회로 출력 단의 값을 비교하면 Decoding이 가능하다. 즉, 1로 Decoding 되기 위해서는 1에 해당하는 회로의 출력이 0에 해당하는 회로의 출력에 비해 커야 하고, 그 반대의 경우도 성립해야 할 것이다.

그러나 이러한 구조는 각 Stage 별로 BMC(Branch Metric Computation)과 ACS(Add-Compare-Select) 연산을 수행하는 과정에서 여러 값이 누적된 결과를 처리하는 방법으로 변화를 이용해 증폭을 통하여 Decoding 하는 방식으로, 실제적으로 아주 정교한 Threshold를 요구한다. 그림 2 에서 보는 바와 같이, 기존의 방식에서는 누적된 결과 값을 가지고 임의의 Threshold Voltage를 기준으로 Decoding하였다.

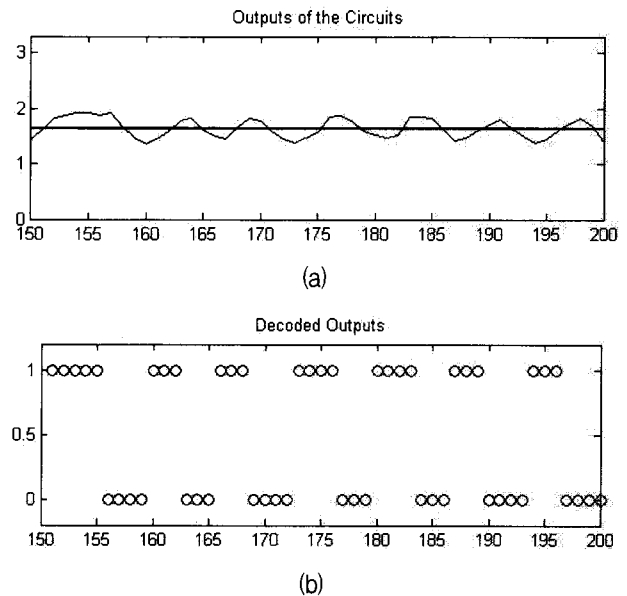


그림 3. 차동형 비터비 디코더 사용 시의 문턱치에 의한 디코딩 예 (a) 차동 회로의 출력 값, 신호의 중간 크기에 위치된 가로 선은 설정된 문턱치 (b) (a)를 디코딩 한 출력

Fig. 3. Example of the decoding of the differential Viterbi decoder with a threshold value (a) output of the differential circuits. The horizontal line at the middle level of the si후미 is the threshold. (b) decoded outputs of (a).

또한, 이러한 방식은 각기 다른 dB별 신호에 따라 매 순간 달라질 수밖에 없게 되면서 시스템이 한정된 dB 신호만 처리 하게 됨을 의미한다. 또한 직접회로의 특성상, 웨이퍼 생성 과정 및 칩 제조 과정에서 시스템 내부에 Mismatching^[11]이 발생하기 때문에 이러한 문제를 해결하기 위해 회로 설계자의 수준 높은 노하우가 필요 하게 된다. 그래서 이러한 문제를 해결함과 동시에 에러 정정 효율을 높일 수 있는 구조를 제안한다.

III. 제안한 구조를 이용한 입력 에러의 증폭에 의한 회로 미스매칭 문제 해결

하드웨어 mismatching의 정도가 증가함에 따라 디코딩 에러 또한 증가하게 된다^[9]. 이것은 회로설계에서의 일반적 통념과도 일치하는 결과이다. 본 논문에서는 디코딩에러가 출력 단에서의 출력 값과 문턱치와의 차이에 의해 좌우될 수 있다는 점에 착안하여, 출력 값과 문턱치와의 차이 값이 ± 10 % 내에 포함되는 데이터 수를 에러로 간주하여, BER을 계산하였다.

그림 4는 기존의 아날로그 차동형 디코더^[1~2,9]의 출력을 예시한 것으로, 0.0을 기준으로 큰 값은 1로, 작은 값은 0으로 디코딩 되어야 하는 예를 보여 주지만, 1과 0으로 구별되는 출력 값 차이가 매우 작기 때문에, 회로가 약간의 부 정확성을 포함 하고 있는 경우라면, 0이 되어야 할 출력이 1로 디코딩 되고 그 역의 경우도 쉽게 발생 할 수 있다.

노이즈가 없거나 회로가 매우 정확히 구현되는 경우에는 상기 두 회로 출력을 구별할 수 있겠지만, 입력 노이즈가 점점 심해지거나 회로 구현의 부 정확성이 커지

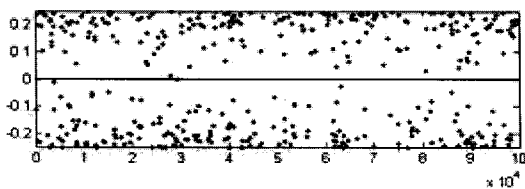


그림 4. 기존의 아날로그 차동형 디코더에서의 차동회로의 출력 값의 예. 문턱치 0에 가깝게 위치한 출력 값들은 하드웨어 구현 에러에 의해 디코딩 에러를 생성할 수 있다.

Fig. 4. Illustration of the output of the differential circuits of the conventional analog differential decoder. The data with the near threshold value would generate decoding error due to the hardware imperfection of the decoder.

게 되면 출력 값의 구별성이 점점 작아지다가 회로구현의 부 정확성이 일정한 정도를 넘어서게 되면 결국 Decoding 에러를 발생하게 된다. 따라서 회로 구현 부 정확성이 있는 경우에도 정확한 디코딩 결과를 얻기 위해서는 0회로와 1회로 출력 간의 마진이 커야할 것이다. 노이즈가 있는 경우에도 출력 값의 구별성이 크게 하기 위해서 본 논문에서는 Branch 에러를 증폭하는 방법을 사용하였다.

즉, 최종 출력을 O_{final} 라고 하고, 각 stage에서의 에러를 e_1, e_2, e_3 라고 하면

$$O_{final} = \sum_{i=1}^k e_i \quad (2)$$

1과 0회로 출력 간의 마진은 1에 해당하는 회로의 최소 값과 0에 해당하는 회로의 최소 값과의 차이 이므로

$$O_{margin} = |Min(O_{final}^1) - Min(O_{final}^0)| \quad (3)$$

여기서 $Min(O_{final}^1)$ 은 1에 해당하는 회로의 출력 단 노드 값들 중 최소 값이고, $Min(O_{final}^0)$ 은 0에 해당하는 회로의 출력 단 노드 값들 중 최소 값이다. 식 (2) 중 마진 값 O_{margin} 을 A 배 만큼 크게 하기 위해서는

$$\begin{aligned} A \cdot O_{margin} &= A \cdot |Min(O_{final}^1) - Min(O_{final}^0)| \\ &= |A \cdot Min(O_{final}^1) - A \cdot Min(O_{final}^0)| \quad (4) \\ &= |Min(A \cdot O_{final}^1) - Min(A \cdot O_{final}^0)| \end{aligned}$$

식 (2)을 (4)에 대입하면,

$$\begin{aligned} A \cdot O_{margin} &= \left| Min\left(A \cdot \sum_{i=1}^k e_i^1\right) - Min\left(A \cdot \sum_{i=1}^k e_i^0\right) \right| \quad (5) \\ &= \left| Min\left(\sum_{i=1}^k A \cdot e_i^1\right) - Min\left(\sum_{i=1}^k A \cdot e_i^0\right) \right| \end{aligned}$$

이 된다. 식 (5)에서 보는 바와 같이, 0과 1에 해당하는 회로 간의 마진을 A배 만큼 키우기 위해서는 개별 branch 에러들을 A배 만큼 키운 후에 비터비 디코더의 ACS 연산을 하여 누적되도록 하면 될 것이다.

그림 5는 ACS 연산을 하는 회로로서 두 개의 입력 I_1, I_2 가 인가되면 두 입력의 차의 절대값 $|I_1 - I_2|$ 를 출력하는 기능을 한다. 회로의 기본적인 동작원리는 다음과 같다.

- ① $I_1 > I_2$ 이면 $I_1 - I_2$ 의 전류가 흐르고 Mn_{13} 에는 전류가 흐르지 않는다.
- ② $I_2 > I_1$ 이면 $I_2 - I_1$ 의 전류가 흐르고 Mn_{23} 에는 전류가 흐르지 않는다.

그림 5에서 보는 바와 같이, Current Mirror로 구성된 Mn_{13} 과 Mn_{14} 에 동일한 V_{GS} 가 인가 되어있을 때, W, L 의 길이가 같다면 Mn_{13} 과 Mn_{14} 에는 $|I_2 - I_1|$ 의 전류가 흐를 것이다. 이때 흐르는 전류값 $|I_2 - I_1|$ 는 ACS 연산 과정에서 얻게 되는 에러 값이므로, 이를 증폭하기 위해 W, L 길이의 비를 조정하는 방법을 사용한다. 즉, Mn_{14} 에 흐르는 전류를 A배 증폭하려면 Mn_{14} 의 W 길이를 A배하면 된다. 이와 같이, 원하는 만큼의 증폭을 하기 위해서 MOSFET의 W 길이를 조정하는 방법으로 간단히 에러값을 증폭 할 수 있다.

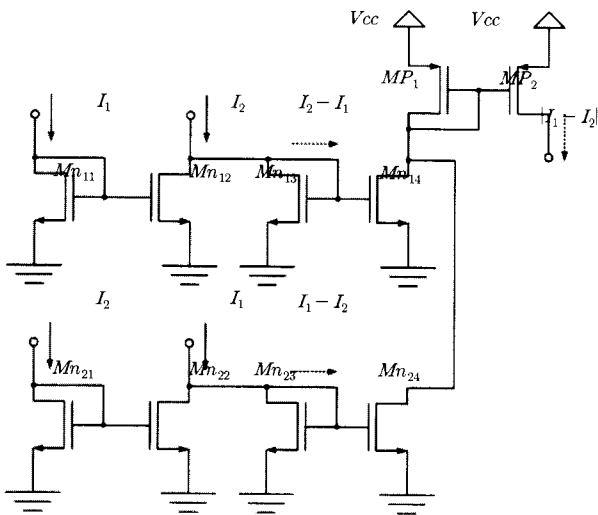


그림 5. 아날로그 비터비 디코더를 위한 입력심볼 에러 증폭 회로. 전류모드 회로이므로 W/L비가 큰 트랜지스터를 전류미러 회로에 연결함으로써 증폭이 가능

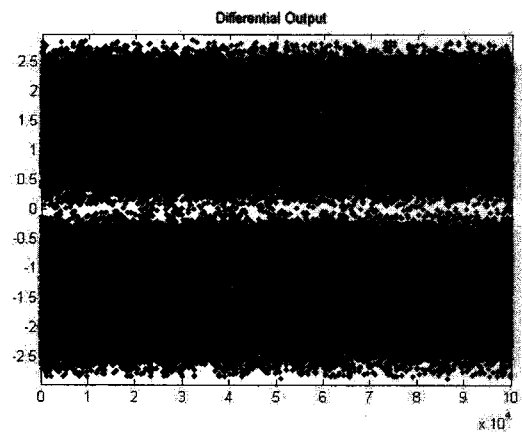
Fig. 5. Symbol error amplification circuits for the proposed analog Viterbi decoder. The amplification could be achieved easily with employing a transistor with the corresponding W/L ratio at the current mirror circuits when the decoder is designed in current mode.

IV. 시뮬레이션 및 고찰

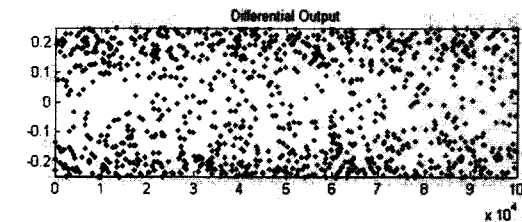
시뮬레이션을 위해 binary sequence를 변환한 PRML(Partial Response Maximum Likelihood)을 기반

으로 하는 DVD PR(1,2,2,1)신호를 사용했고 100,000 개의 데이터를 AWGN(Additive White Gaussian Noise) 환경 하에서 Decoding 시뮬레이션을 수행하였다.

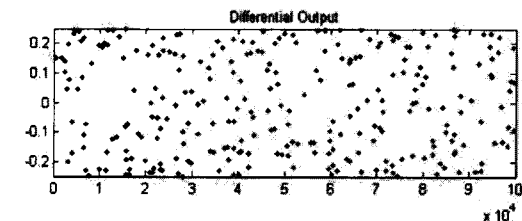
그림 6은 SNR=1dB의 신호들이 입력되었을 경우, 디코더 출력 값의 분포를 보여주는 시뮬레이션 결과로서, 입력 심볼 에러를 여러 배 증폭했을 때, 출력 값의 변화를 보여 준다. 여기서 그림 6(a)는 출력 값의 전 범위이고, 그림 6(b)에서 그림 6(d)까지의 그림들은 각각 입력 심볼 에러를 2배, 3 배, 5배 증폭 했을 경우 [-0.25, 0.25] 범위의 출력 값 분포를 확대해서 보여 준다. 디코



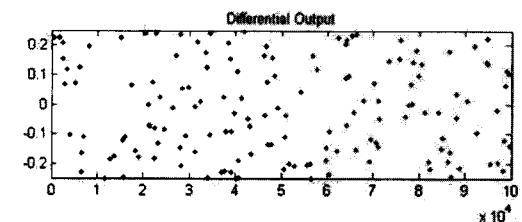
(a)



(b)



(c)



(d)

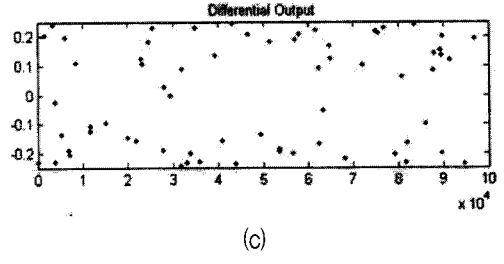
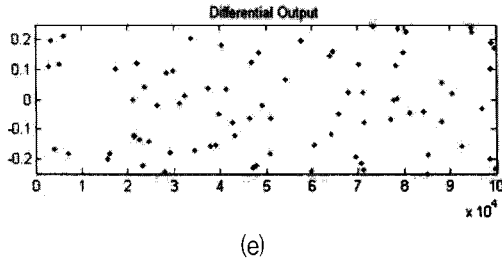


그림 6. SNR이 1dB 일 때 100,000의 데이터에 대한 입력 심볼에러를 여러 배 증폭할 경우의 출력 값의 분포. (a) 모든 입력 데이터에 대한 증폭 전의 차동 출력 값, (b) 증폭 전의 차동 출력의 [-0.25, 0.25] 범위, (c)2 배 증폭 경우, (d)3 배 증폭 경우, (e)5 배 증폭 경우

Fig. 6. Output distribution of 100,000 data at SNR=1dB when their input symbol errors are amplified with different amplification rates. (a) Differential outputs of all the inputs symbols before the amplification (b) differential outputs of (a) in the range of [-0.25, 0.25] before the symbol error amplification (c) differential outputs of (b) in the case of 2 times of the symbol error amplification (d) differential outputs of (b) in the case of 3 times of the symbol error amplification (e) differential outputs of (b) in the case of 5 times of the symbol error amplification.

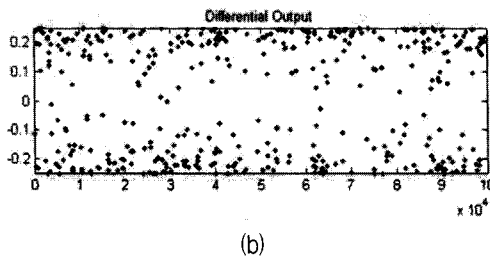
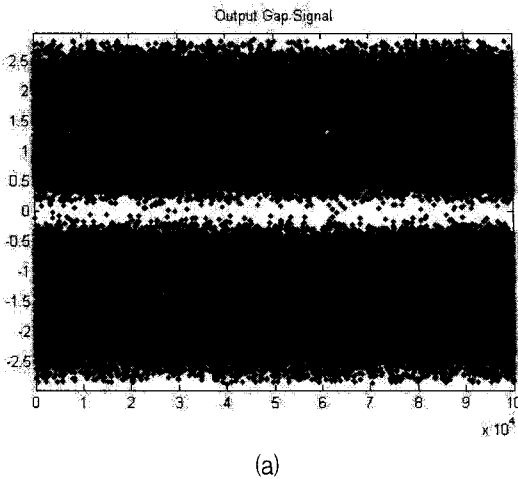
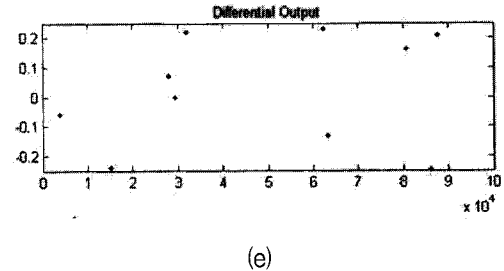
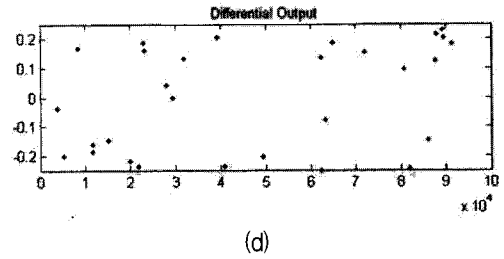


그림 7. SNR이 3B 일 때 100,000의 데이터에 대한 입력 심볼에러를 여러 배 증폭할 경우의 출력 값의 분포. (a) 모든 입력 데이터에 대한 증폭 전의 차동 출력 값, (b) 증폭 전의 차동 출력의 [-0.25, 0.25] 범위, (c)2 배 증폭 경우, (d)3 배 증폭 경우, (e)5 배 증폭 경우

Fig. 7. Output distribution of 100,000 data at SNR=3B when their input symbol errors are amplified with different amplification rates. (a) Differential outputs of all the inputs symbols before the amplification (b) differential outputs of (a) in the range of [-0.25, 0.25] before the symbol error amplification (c) differential outputs of (b) in the case of 2 times of the symbol error amplification (d) differential outputs of (b) in the case of 3 times of the symbol error amplification (e) differential outputs of (b) in the case of 5 times of the symbol error amplification.

당은 0 값을 기준으로 큰 값은 “1”로 작은 값은 “0”으로 결정되는데, mismatching으로 인한 하드웨어 구현 부정확성 때문에 [-0.25, 0.25] 범위의 출력 값을 에러로 처

리될 수 있는 위험한 범위라고 간주한다. 그림에서 보는 바와 같이 위험한 범위 내의 데이터 수는 증폭률이 클수록 현저히 적어지는 것을 확인할 수 있다.

또, 그림 7과 그림 8은 각각 SNR=3과 SNR=5의 경우로서, 예상대로 SNR=1 때 보다는 위험한 영역의 데이터 수가 적어지고, 입력 심볼 에러를 증폭률이 클수록 에러 가능성이 적어지는 경향이 뚜렷함을 알 수 있

다. 특히, SNR=5 인 경우에 증폭하지 않은 그림 8(b)에 서는 상당히 많은 데이터들이 위험 범위에 속해 있었으 나, 5 배 증폭을 수행하면 그림 8(e)처럼 모든 데이터가 위험 범위에서 벗어나고 있음을 알 수 있다.

그림 9는 상기 시뮬레이션 결과에서 위험 영역에 있 는 [-0.25, 0.25] 범위의 데이터 모두를 예러로 간주한 경우 BER 그래프를 보여준다. 그림에서 보는 바와 같 이, 입력 심볼 에러를 5 배 증폭한 경우가 증폭하지 않 은 경우에 비해서 동일한 BER 값을 얻는데, SNR은 약 4dB만큼의 성능 개선을 얻을 수 있음을 보여준다.

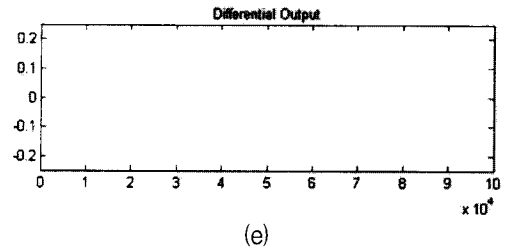
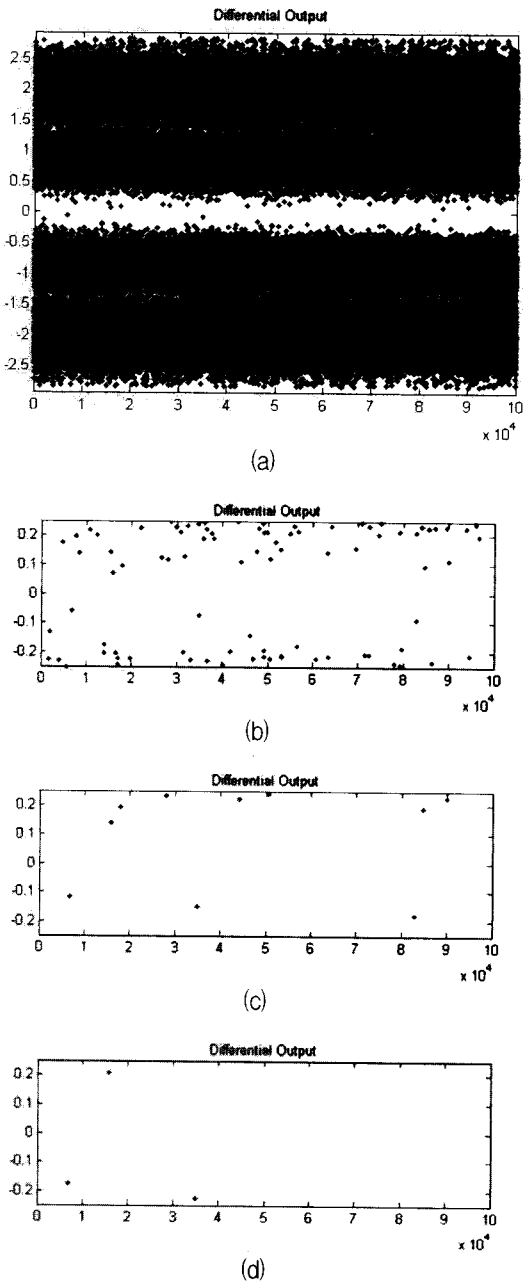


그림 8. SNR이 5B 일 때 100,000의 데이터에 대한 입력 심볼에러를 여러 배 증폭할 경우의 출력 값의 분포. (a) 모든 입력 데이터에 대한 증폭 전의 차동 출력 값, (b) 증폭 전의 차동 출력의 [-0.25, 0.25] 범위, (c) 2 배 증폭 경우, (d) 3 배 증폭 경우, (e) 5 배 증폭 경우

Fig. 8. Output distribution of 100,000 data at SNR=5B when their input symbol errors are amplified with different amplification rates. (a) Differential outputs of all the inputs symbols before the amplification (b) differential outputs of (a) in the range of [-0.25, 0.25] before the symbol error amplification (c) differential outputs of (b) in the case of 2 times of the symbol error amplification (d) differential outputs of (b) in the case of 3 times of the symbol error amplification (e) differential outputs of (b) in the case of 5 times of the symbol error amplification.

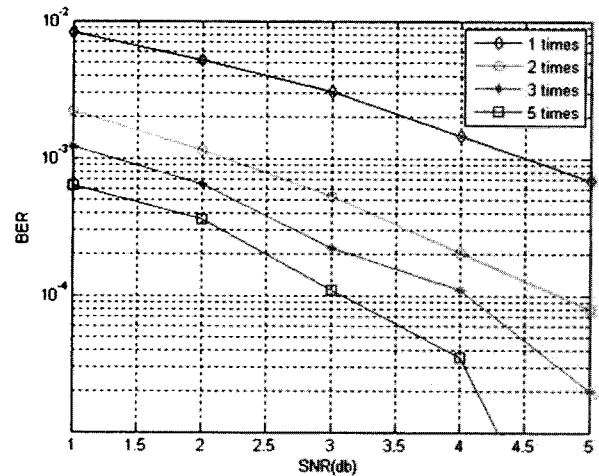


그림 9. 차동 출력 값이 [-0.25, 0.25] 인 경우의 데이터 를 예러로 간주할 때 각 증폭률에 대한 신호 들의 BER 비교

Fig. 9. Comparison of BER for various amplification rate about the SNR variation when all the input data with the output ranged [-0.25, 0.25] are considered as decoding errors.

IV. 결 론

차동형의 아날로그 비터비 디코더는 일정한 길이의

Trellis diagram을 아날로그로 구현하여 디코딩 단의 "0" 혹은 "1"에 해당하는 branch들을 절단 한 회로의 출력 값과 절단하지 않은 회로의 출력 값을 비교함으로써 디코딩한다. 그러나 회로 구현시의 mismatching으로 인한 출력 값의 오차가 있을 수 있으므로, 출력 값의 차이가 크지 않은 데이터에서는 디코딩 에러를 유발 할 수 있다. 본 논문에서는 하드웨어 구현 시의 부정확성을 고려하여 출력 값의 차이 마진을 크게 하기 위한 방안으로 입력 심볼에러 증폭방법을 제안하였다.

아날로그 비터비 디코더에서는 에러 누적 경로 값이 큰 path보다는 에러누적 경로 값이 작은 path에서 디코딩이 결정된다는데 착안하여, 에러누적 경로 값을 증폭함으로써 큰 경로에러 값을 saturation 시키는 대신 적은 경로 값에 대한 구별성이 크게 하여 회로의 부정확한 구현에도 디코딩 에러를 획기적으로 감소하게 하는 것이다.

소프트웨어에 의한 시뮬레이션 결과 SNR이 1dB에서 입력 심볼에러를 5 배 증폭하면 출력 값이 [-0.25, 0.25] 범위에 있는 데이터를 모두 디코딩에러로 간주하더라도 100,000개 당 에러율을 10개 이하로 줄일 수 있었다. 또, 동일 BER을 얻으려고 할 때 제안한 방법은 입력 심볼 에러를 증폭하지 않은 경우에 비해서 4dB 이상의 SNR 이득을 얻을 수 있었다.

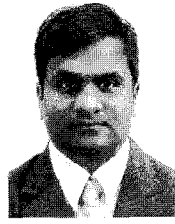
참 고 문 헌

- [1] M. H. Shakiba, D. A. Johns, and K. W. Martin, "Bicmos circuits for analog viterbi decoders," IEEE trans. on circuits and systems-II, Analog and Digital Signal processing, pp.1527-1537, vol.45, no.12, Dec.1998.
- [2] Jane Maunu, Mika laiho and Ari paassio, "A differential architecture for an online analog viterbi decoder, IEEE Trans. on circuit and system-I, regular paper, vol.55, no.4, pp.1133-1140, May2008.
- [3] F. Dolivo, "Signal processing for high-density magnetic recording", Proc. of VLSI and computer peripherals, pp.1.91-1.96, 1989.
- [4] H. Kobayashi and D. T. Tang, "Application of partial response channel coding to magnetic recording system," IBM journal of research and development. pp.368-375, 1970.
- [5] A.J. Viterbi, "Error bounds for convolution codes and asymptotically optimum decoding algorithm" IEEE Trans. On information theory, vol.13, pp.260-269, 1967.
- [6] R.D. Ciderciyan, F. Dolvio, R. Hermann, W. Schoot, "A PRML system for digital magnetic recording," IEEE Trans. On selected area communication, vol.10, no.1, pp.38-56, 1992.
- [7] Sun-How Jiang and Feng-Hsiang Lo, "PRML process of multilevel run length-limited modulation recording on optical disk," IEEE Trans. On magnetism, vol.41, no.2, pp.1070-1072, Feb.2005.
- [8] G. D. Forney, JR. "The viterbi algorithm," Proc. of the IEEE, vol.61, no.3, March.1973.
- [9] Hyongsuk Kim, Hongrak Son, Tamas Roska and Leon O. Chua, "High performance viterbi decoder with circularly connected 2-D CNN unilateral cell array," IEEE Trans. on circuit and system-I, vol.52, no.10, pp.2208-2218, Oct.2005.
- [10] Hyunjung Kim, Hongrak Son, Jeonwon lee, In-cheol Kim and Hyongsuk Kim, "Analog viterbi decoder for PRML using analog parallel processing circuits of the CNN," 10th International workshop on Cellular neural networks and their application, Istanbul, Turkey, Aug.2006.
- [11] P. R. Kinget, "Device mismatch and tradeoffs in the design of analog circuits," IEEE J. Solid-State Circuits, vol.40, no.6, pp.1212-1224, Jun.2005.
- [12] P. G. Gulak and E. Shwedyk. "VLSI structures for viterbi receivers: Part I - general theory and applications," IEEE J. on Selected areas in comm., vol. 4, pp. 142-154, Jan. 1986.
- [13] Jens Sparso, Henrik N., Jorgenson, "An Area-Efficient Topology for VLSI Implementation of Viterbi Decoders and Other Shuffle-Exchange Type Structures," IEEE Jr. Solid-State Circuit, vol. SC-26. no. 2, pp. 90-96, Feb. 1991.
- [14] Kai He and Gert Cauwenberghs, "Integrated 64-state parallel analog Viterbi decoder," Proceedings of ISCAS 2000, Geneva, Swiss, vol. IV, pp. 761-764.
- [15] M. Moerz, A. Schaefer, "Analog decoders for high rate convolutional codes," IWT 2001, Australia, pp. 128-130.

저 자 소 개



양 창 주(학생회원)
 2008년 전북대학교 전자정보
 공학부 학사졸업.
 2009년 현재 전북대학교 전자정보
 공학부 석사과정.
 <주관심분야 : 아날로그 집적회
 로, CNN, 로봇비전>



마헤스워 사(학생회원)
 2005년 Pokhara University
 Nepal Electronics and
 Communication
 Engineering 학사졸업.
 2009년 현재 전북대학교 전자정보
 공학부 석사과정.
 <주관심분야 : 아날로그 병렬처리 회로>



김 형 석(정회원)-교신저자
 1980년 한양대학교 전자공학과
 학사졸업.
 1982년 전북대학교 전기공학과
 석사졸업.
 1992년 University of Missouri,
 Columbia 박사졸업.
 2009년 현재 전북대학교 전자정보공학부 교수
 <주관심분야 : 로봇비전, 로봇센서시스템, 아날로
 그 병렬처리 회로>