

논문 2009-46TC-8-1

무인기용 상향링크 대역확산 송수신기 설계 및 개발

(Design and Development of DSSS Modem for UAV Uplink)

김종만*, 은창수**

(Jongman Gim and Changsoo Eun)

요약

본 논문은 무인기용 대전자전 송수신 장치 개발에 대한 연구로 재밍(jamming) 환경에 강건한 대역확산(DSSS) 송수신기 개발에 대해 기술한다. 대역확산 방식은 데이터의 전송률 보다는 재밍마진이 중요하기 때문에 송수신 장치의 개발 목표로 재밍마진이 15dB 이상이고, 확산코드를 변경 가능한 송수신기를 제작하는 것이다. 멀티패스 성분을 이용하기 위한 레이크 수신기와, FEC로 부호이득이 7.2dB인 터보 코드를 적용하였다. 본 논문에서는 대역확산 송수신 장치의 전체적인 구조와 설계방법, 기능시험 결과를 기술하고 결론을 맺는다.

Abstract

In this paper, we describe DSSS transceiver development robust to jamming signals as an investigation of ECCM transceiver for UAV uplink. The jamming margin is 15dB or greater with the development target of transceiver because the jamming margin is more important than the transmission rate of data and the spreading code can be changeable. The rake receiver is applied to combine multipath components and turbo code which the coding gain is 7.2dB as a FEC. In this paper, the whole structure, design method and functional test result about the designed modem are described and a conclusion is made.

Keywords : Direct Sequence Spread Spectrum, Jamming Margin, FLL, PLL, DLL, ECCM

I. 서론

스마트 무기 및 무인 항공기 등 C2 (Command and Control)링크는 의도된 간섭전파 환경 하에서 강건한 대역확산 송수신 장치가 필요하다. 미국, 프랑스를 비롯한 기술 선진국의 경우, 이러한 분야의 수요증대에 따라 항공 및 스마트 무기용 대전자전 송수신장치를 상용화하였지만, 국내에서는 전량 수입에 의존하고 있는 실정이기 때문에 향후 국내 항공용 C2 링크 송수신 장치 수요증가에 적극 대응하고, 동남아를 중심으로 한 세계

시장 진출을 도모하기 위해 상용화 기술 개발의 추진이 필요시 된다. 미국, 프랑스 등의 기술 선진국에서는 유·무인기를 활용한 항공관측 및 스마트 무기화 기술의 발달로 이미 동일 시스템에 대한 기술개발 및 상용화를 이미 완료한 상태이나 국내에서는 정보통신 기술의 발달로 CDMA 휴대폰 등을 통한 대역확산 통신기술은 발전하였으나 항공관측, 산업기기, 군사용 등의 특수 목적분야의 대전자전용 C2 링크에 적용할 수 있는 송수신장치 개발 및 상용화는 찾아보기 어렵다. 이런 이유에서 대역확산 송수신장치를 개발하는 것은 의미가 있다.

본 논문은 무인기 상향 링크용 대역확산 송수신 장치의 전체적인 구조와 설계방법, 기능검증 및 향후 연구 방향 등을 기술하고 수신기 개발에 대해 초점을 맞추고 있다. 그림 1은 본 연구에서 제작한 대역확산 송수신기의 기본 구성도 이다.

II장 1절에서는 송신기 설계 사양을 설명하고 2절에

* 정회원, (주)파인텔레콤
(PineTelecom. Co. Ltd.)

** 정회원, 충남대학교 전기정보통신공학부
(Chungnam National University)

※ 본 연구는 지식경제부 산업원천기술개발사업 '근접 감시용 무인항공기 통신 중계 기술개발' 과제의 일환으로 수행되었음

접수일자: 2009년3월31일, 수정완료일: 2009년8월10일

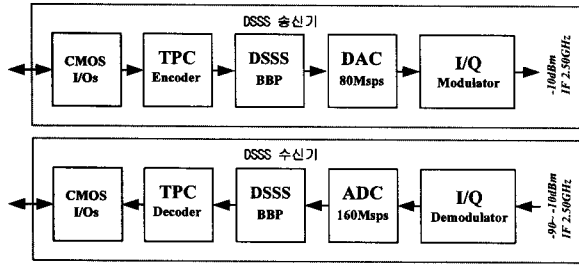


그림 1. 송수신기 구성 블록도
Fig. 1. Block diagram of entire transceiver.

서 수신기 설계 사양 및 각 기능 블록별 구조를 보이고 FEC 성능과 수신감도 계산에 대해 기술한다. III장에서 보드 제작 및 각 기능 블록별 실험 내용을 제시하고 IV장에서 결론을 맺는다.

II. 본 론

1. 송신기 설계

직접 시퀀스 확산 스펙트럼(DSSS) 방식은 협대역 데이터 비트를 광대역 PN 코드로 직접 곱함으로써 대역폭을 확장하여 보다 낮은 송신출력으로 데이터를 전송하고자 하는 변조 방법이다. 이방식의 주목할 만한 장점으로는 확산과 역확산 과정을 통해 간섭에 대한 내성과 anti-jamming 효과를 얻을 수 있다는 것이다^[1].

표 1은 본 연구에서 적용된 송신기 사양이다. 중간주파수는 2.5GHz이고 최종 RF는 C 또는 Ku 대역으로 상향 변환된다.

표 1. 송신기 사양
Table 1. Transmitter spec.

구분	파라미터	비고	
변조기	IF Frequency	2.500	GHz
	IF Output Power	-20 ~ -5	dBm
	IF Bandwidth	< 20	MHz
	Output Connector	SMA FeMale	R/A
	Output Impedance	50	Ohm
	Chip Rate	10	Mcps
	Channel Rate	78.125	kbps
	Channel Filter	Root Raised Cosine	$\alpha=0.25$
	FEC	Turbo Code	1k-block
	Processing Gain	21	dB
	Ref. Osc.	TCXO-40MHz	± 1 ppm
Digital I/Os	LVC MOS	3.3V	
전원	+5V @650mA	단일전원	

가. PN Spreader

DSSS 모뎀의 중요한 특징은 데이터의 전송률 보다 훨씬 빠른 확산코드(PN Code)를 이용하여 전송대역을

확장(spreading)하는 것이다. 이러한 기능을 하는 블록이 PN Spreader이다. 데이터 비트의 맵핑은 BPSK라고 확산(spreading) 과정은 그림 2와 같이 QPSK 확산을 한다. 이는 BPSK 확산 보다 채밍 특성이 3dB 더 좋다. 여기서 데이터 채널의 이득은 0.795이고 파일럿 채널은 0.205로 설정하였다^[2]. 파일럿 채널은 항상 '1'을 보내고 수신기에서 주파수 오프셋 및 레이크 수신기의 채널 추정에 사용된다.

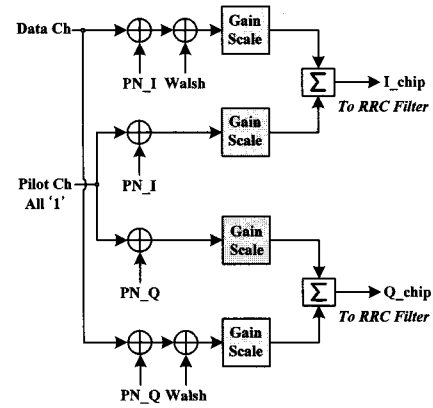


그림 2. PN 확산기
Fig. 2. PN spreader.

나. Tx Wave Shaping Filter

채널 필터로 그림 3과 같은 RRC(root raised cosine filter; $\alpha = 0.25$)필터를 사용한다. 동일한 필터를 송신기와 수신기에 직렬로 사용하여 총 필터 응답이 raised cosine filter의 응답 특성을 얻도록 한다. 여기서 필터의 탭수는 57탭이고 2배 보간(interpolation) 된다.

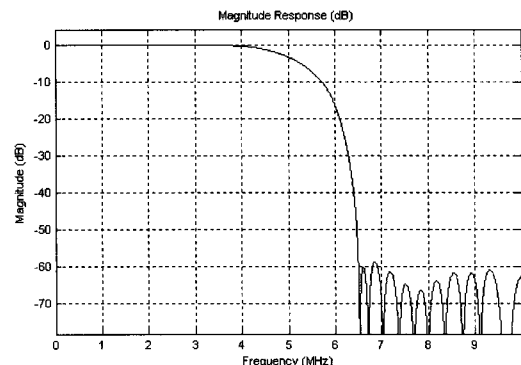


그림 3. 송신 채널 필터 주파수 응답
Fig. 3. Frequency response of Tx filter.

다. I/Q Modulator

확산된 신호는 RRC 필터를 통과한 후 Half Band (4X) LPF를 거쳐 80MSPS로 DA 변환되고 아날로그

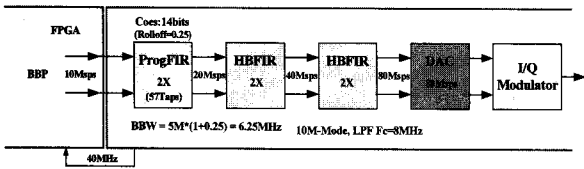


그림 4. 변조 신호 흐름도
Fig. 4. Signal flow diagram of modulation.

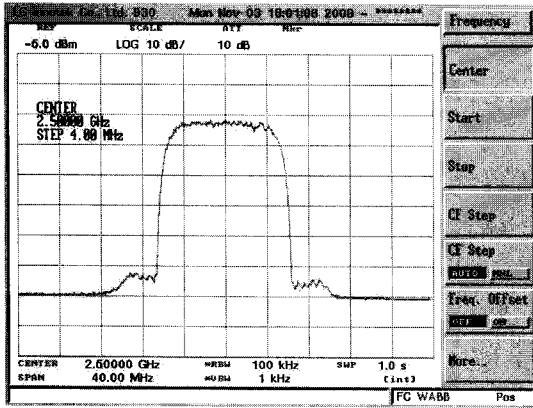


그림 5. 송신 스펙트럼 (@2.5GHz)
Fig. 5. SST IF spectrum (@2.5GHz).

LPF를 통과한 후 최종 변조가 이루어진다. 출력파워는 -20~-5[dBm]까지 조정이 가능하도록 하였다.

그림 5는 구현한 송신기의 스펙트럼이고 널(null)과 널 대역폭은 12.5MHz이다.

2. 수신기 설계

표 2는 본 연구에서 적용된 수신기 사양이다. C 또는 Ku 대역 RF 신호는 2.5GHz로 하향 변환된다. 여기서 LNA 이득은 20dB로 한다.

표 2. 수신기 사양
Table 2. Receiver spec.

구분	파라미터	비고	
복조기	IF Frequency	2.500	GHz
	IF Input Power	-90 ~ -10	dBm
	IF Bandwidth	< 20	MHz
	Input Connector	SMA FeMale	R/A
	Input Impedance	50	Ohm
	Channel Rate	78.125	kbps
	Chip Rate	10	Mcps
	Processing Gain	21	dB
	J a m m i n g	≥ 15	dB
	Margin		
	Channel Filter	Root Raised Cosine	$\alpha=0.25$
	FEC	Turbo Code	1k-block
	Sensitivity	< -106	dBm
Digital I/Os	LVC MOS	3.3V	
전원	+5V @760mA	단일전원	

가. I/Q DeModulator

그림 6에서 IF 신호는 I/Q demodulator를 거쳐 아날로그 LPF를 통과한 후 160Msps로 AD 변환되어 4배 데시메이션 된다. 그리고 송신채널 필터와 동일한 RRC 2배 데시메이션 필터(80Taps)를 통과한 후 20Msps로 FPGA에 입력되어 DC 오프셋이 제거된다. 여기서 오버 샘플링 후 8배 데시메이션을 수행하면 9dB의 처리이득을 얻을 수 있다^[2].

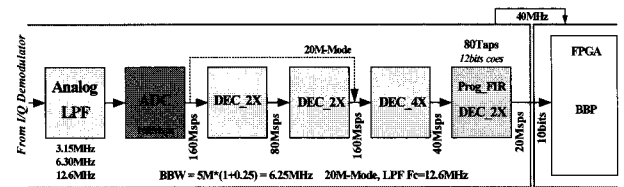


그림 6. 복조 신호 흐름도
Fig. 6. Signal flow diagram of demodulation.

나. 코드 획득 및 추적

확산된 신호로부터 원래의 데이터 신호를 찾아내는 과정에 있어서 정확한 동기는 매우 중요하다. 본 연구에서 코드 획득은 임의의 시점에서 정의된 비트 수만큼 I&D를 수행하고 임계값과 비교하여 임계값 보다 작으면 한 번에 두 칩 간격의 클럭을 스킵하는 방법으로 임계값 보다 클 때까지 이 과정을 계속 반복한다. 만약 임계값 보다 크면 코드가 고정되고 추적 모드로 진행한다. 그림 7은 코드 추적기의 구조를 나타낸다.

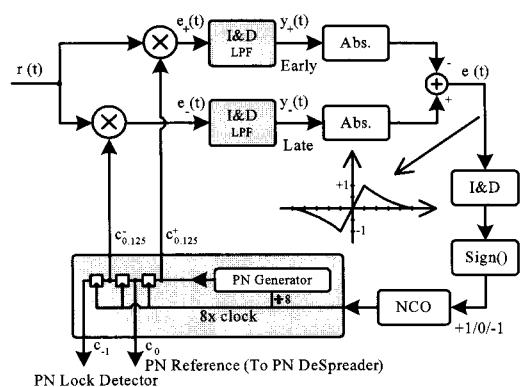


그림 7. PN 코드 추적기
Fig. 7. Delay Locked Loop.

다. 코드 락 검출기

코드를 획득하는데 코드 락(lock) 검출기 또한 매우 중요한 역할을 한다. 동작은 그림 8에서처럼 신호 전력 과 잡음 전력을 비교하여 신호전력이 10ms 이상 클 때 코드가 고정되고 홀드시간 500ms를 주었다. 잡음 전력

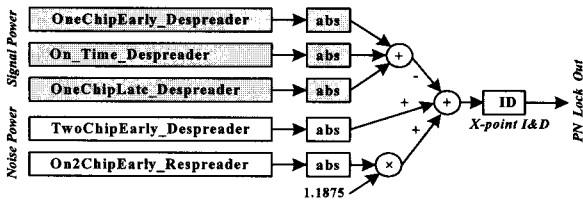


그림 8. PN 코드 락 검출기
Fig. 8. PN code lock detector.

에서 이득(1.1875) 항은 송신 신호가 없을 때 코드 고정 이 풀리도록 설정한 값이다.

라. FLL 및 PLL

그림 9는 본 연구에서 제안한 주파수 및 위상 오프셋 추정기 구조이다. 코드가 고정되면 주파수 추정기가 오프셋 추정을 위해 파일럿 채널의 위상을 modulo-2π 수정하고 위상차를 구해 64 비트 구간동안 한번(OneShot)만 I&D를 수행하고 각 표현을 주파수로 환산하여 대략적(coarse)인 주파수 오프셋을 보상한다. 대략적인 주파수 오프셋이 보상된 후에 PLL 루프가 동작한다. 만약 코드가 풀리면 주파수 추정용 I&D 필터와 PLL 루프가 초기화된다.

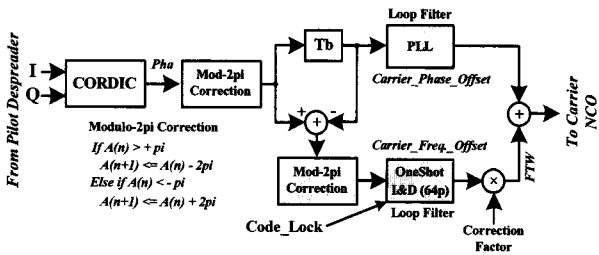


그림 9. 주파수 및 위상 오프셋 추정기
Fig. 9. Frequency and phase offset estimator.

마. 레이크 수신기 구조 및 성능

그림 10은 레이크 수신기 구조를 나타낸다. 파일럿 채널을 이용하여 채널응답을 구하고 각 핑거마다 채널을 보상한 후 MRC 기법으로 최종 데이터가 복원된다.

본 설계에서는 8개의 핑거를 적용하였고 AWGN 환경에서 MRC 손실을 줄이기 위해 8개의 핑거에 대한 평균을 구해 평균보다 작은 핑거에는 가중치를 영으로 하였다.

그림 11은 AWGN 및 3-Path Rayleigh Fading 채널에서 그림 10의 구조를 적용하여 모의실험을 수행한 결과이다. 본 모의실험은 파일럿 손실 2dB를 반영한 것이며 TPC R=0.66을 적용할 경우 AWGN 채널에서는 약

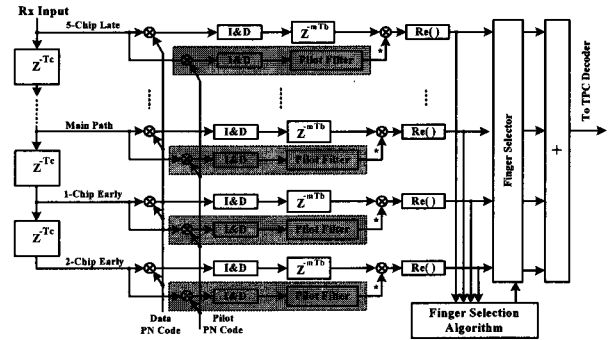


그림 10. 레이크 수신기 구조
Fig. 10. Block diagram of Rake receiver.

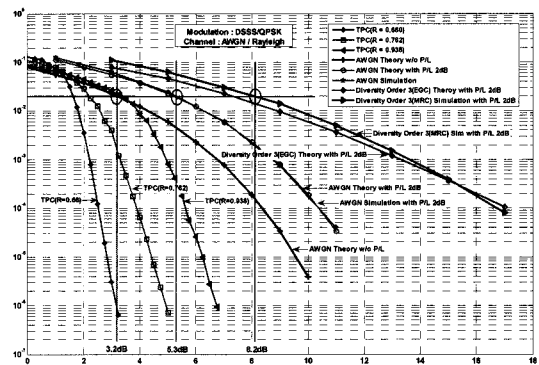


그림 11. 레이크 수신기 성능
Fig. 11. Performance of Rake receiver with 3-finger.

5.3dB에서 BER 10⁻⁶을 얻을 수 있고 Rayleigh 페이딩 채널에서는 8.2dB에서 BER 10⁻⁶의 성능을 보인다.

그림 11에서 왼쪽 TPC의 성능 곡선은 AWGN 채널에서의 BPSK 변조방식에 대한 성능이고, 오른쪽은 부호화하지 않은 본 레이크 수신기의 성능을 나타낸다. 즉 AWGN 채널에서 5.3dB이면 TPC R=0.66을 적용할 경우 BER 10⁻⁶을 얻을 수 있음을 의미한다.

바. 터보 코드 성능

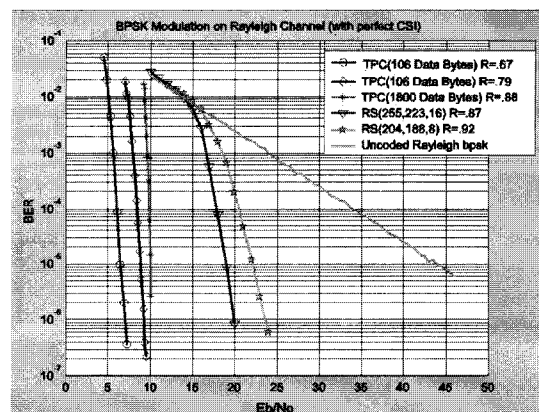


그림 12. 터보 코드의 성능 (Rayleigh)
Fig. 12. Performance of turbo code over Rayleigh.

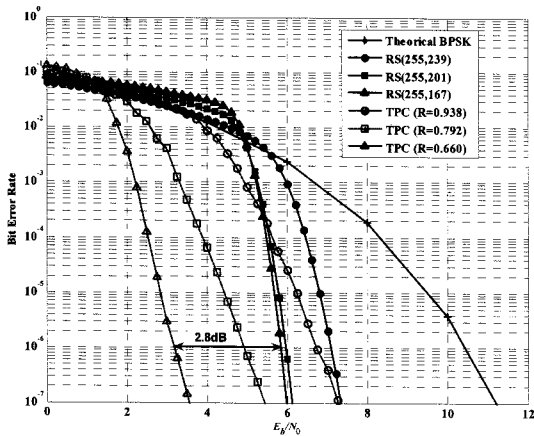


그림 13. 터보 코드의 성능 (AWGN)
Fig. 13. Performance of turbo code over AWGN.

그림 12와 그림 13은 RS코드와 Turbo 코드의 성능을 비교한 것이다^[4]. 즉 Rayleigh 페이딩 채널에서는 약 10dB, AWGN 채널에서는 약 3dB 더 터보코드가 RS코드보다 성능이 우수함을 확인할 수 있다. 여기서 터보코드의 부호 이득은 약 7.2dB이다^[5].

사. 수신 감도 및 재밍 마진 계산

수신 감도 계산에서 FEC 적용 전 BER 10^{-6} 에서 요구되는 E_b/N_0 를 10.5dB로 하였다. 터보코드 부호이득은 7dB로 하고 NF를 6dB를 적용했을 때 수신 감도는 -110dBm, 재밍 마진은 15.3dB를 얻을 수 있다.

표 3. 수신기 최소 입력 신호 레벨
Table 3. Minimum received signal level.

1	E_b/N_0 (10^{-6} BER) → FEC 적용전	10.50dB
2	E_s/N_0 (without Loss) = SNR = ① + 10log(1)	10.50dB
3	Imp. Loss(with Pilot+MRC Loss = 2.5dB) = 1(Tx) + 2(Rx) + 2.5(PL) = 5.5dB	05.50dB
4	E_s/N_0 (with Loss) = SNR = ②+③	16.00dB
5	kT_0	-174dBm/Hz
6	Effective Noise Figure	6.00dB
7	Baud Rate (R) = 10log(10x10 ⁶)	70.00dBHz
8	$N_0 \cdot R$ = ⑤+⑥+⑦	-98dBm
9	Required Receiver Input Power = ④ + ⑧ → FEC 적용전	-82dBm
10	Spreading Factor = 128 = 21dB	21dB
11	Sensitivity w/o FEC = ⑨ - ⑩	-103.0dBm
12	⑨ - ⑩ - Coding Gain(7dB) → FEC 적용후	-110.0dBm
13	M_f (dB) = P _G (dB) - (S/N) _{REQ} (dB) - L(dB) M_f (dB) = 24(dB) - 3.2(dB) - 5.5(dB) = 15.3	15.3dB

III. 제작 및 실험

그림 14는 송신기의 내부 파라미터를 실시간으로 변경하기 위한 GUI 이다. 그림 15는 수신신호의 세기를 확인하고 PN 코드를 변경하는데 사용된다.

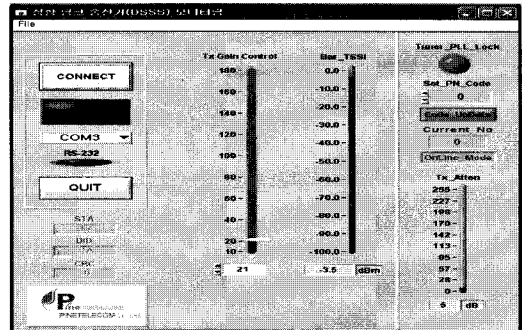


그림 14. 송신기 내부 파라미터 입력창
Fig. 14. GUI for transmitter params setting.

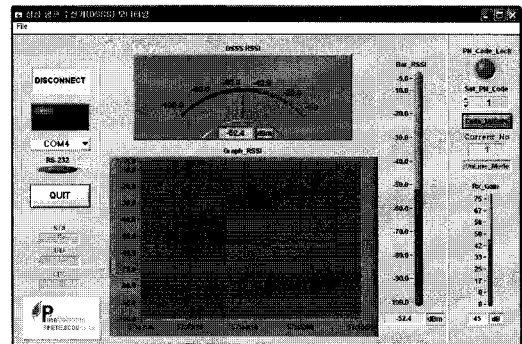


그림 15. 수신기 실험을 위한 GUI
Fig. 15. GUI for receiver test.

1. 송수신기 보드 제작

그림 16은 본 연구에서 제작한 송수신기 보드이다. 펌웨어만 바꾸면 송신용 또는 수신용으로 변경 가능하고 구성은 100만 게이트 급 FPGA, 터보코드, 튜너^[6], 컨트롤러, 테스트 DAC 등으로 이루어져 있다. 출력과

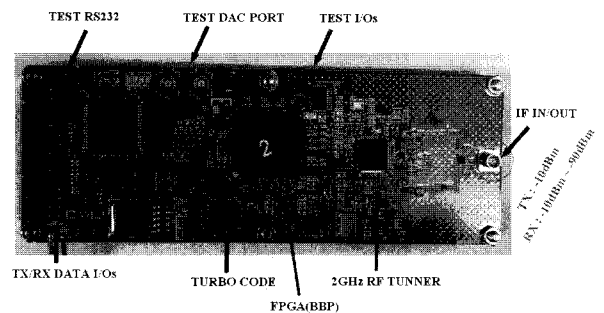


그림 16. 대역확산 송수신기 보드
Fig. 16. DSSS transceiver board.

위는 -10dBm으로 하였고 조절이 가능하도록 설계 하였다.

2. 코드 추적 루프 실험

그림 17에서 그림 20은 코드 추적 루프의 동작을 캡 처한 것으로 PN 코드를 반 칩 또는 그 이하를 지연하여 얼리-레이트 게이트를 만든 것이 아니라 수신 샘플 을 1/8, 3/8, 1-칩만큼 앞서게 또는 지연하여 코드추적 루프를 설계한 것이다. 코드 추적 루프의 대역폭은 I&D 수로 결정된다.

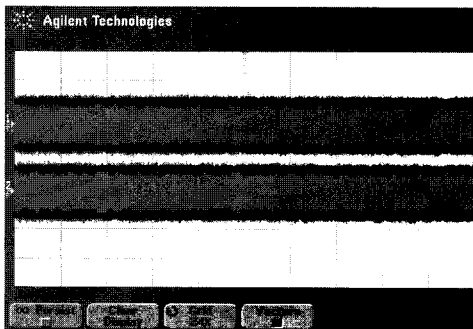


그림 17. 1/8 칩 빠른경로 및 느린경로 (I&D=2)
Fig. 17. 1/8 chip early & late (I&D=2).

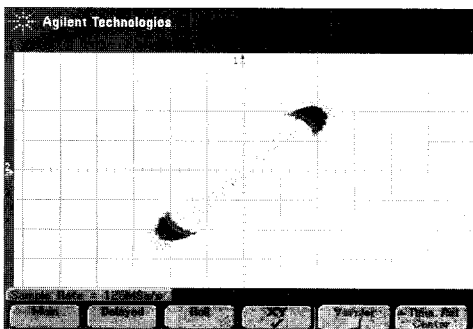


그림 18. XY 다이어그램 (I&D=2)
Fig. 18. XY diagram (I&D=2).

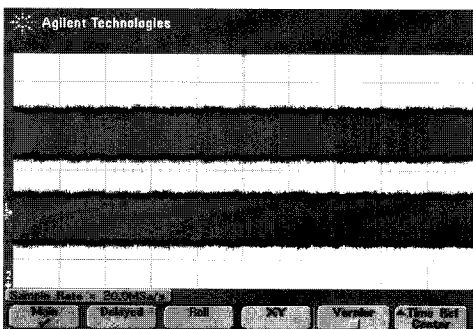


그림 19. 1/8 칩 빠른경로 및 느린경로 (I&D=8)
Fig. 19. 1/8 chip early & late (I&D=8).

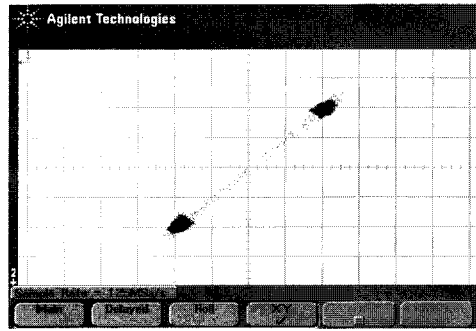


그림 20. XY 다이어그램 (I&D=8)
Fig. 20. XY diagram (I&D=8).

위 그림들에서 I&D-2와 I&D-8과의 차이를 쉽게 구 분할 수 있다. 즉 I&D-2보다 I&D-8인 경우가 성능이 더 우수하다.

3. FLL 및 PLL 실험

그림 21과 그림 22에서 상(上)은 주파수 업/다운 카운터의 출력이고 하(下)는 추정된 주파수 오프셋 워드 이다. FLL과 PLL이 동시에 동작 시켰을 때 루프의 이 득에 따라 수렴 시간이 차이가 있음을 확인 할 수 있다. 즉 루프 이득이 높을 때 수렴 시간(50ms)은 짧아지나 안정성이 떨어짐을 볼 수 있다. 역으로 루프 이득이 낮

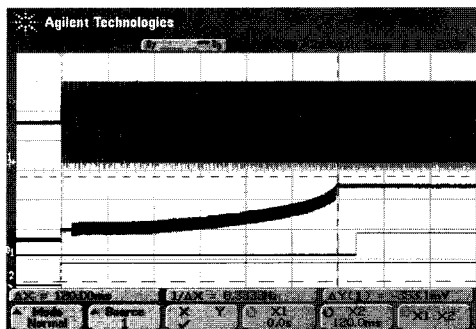


그림 21. FLL과 PLL 동작 (low gain)
Fig. 21. FLL & PLL operation (low gain).

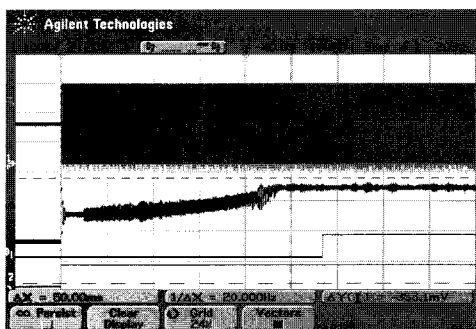


그림 22. FLL과 PLL 동작 (high gain)
Fig. 22. FLL & PLL operation (high gain).

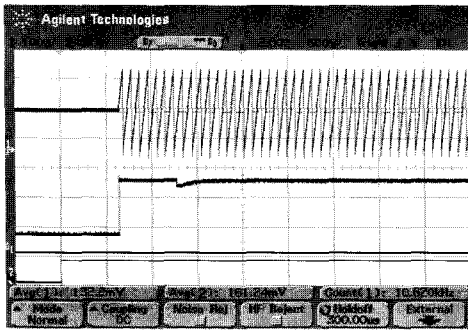


그림 23. 주파수 추정 및 NCO 입력
Fig. 23. Freq. estimation & NCO input.

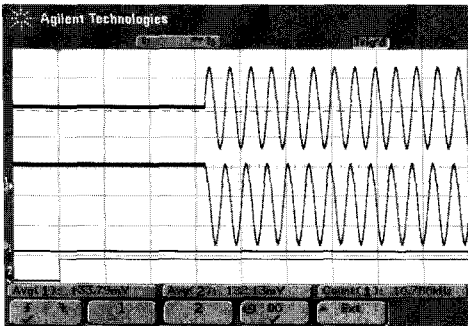


그림 24. 주파수 오프셋 보상 NCO 출력
Fig. 24. Carrier NCO output signals.

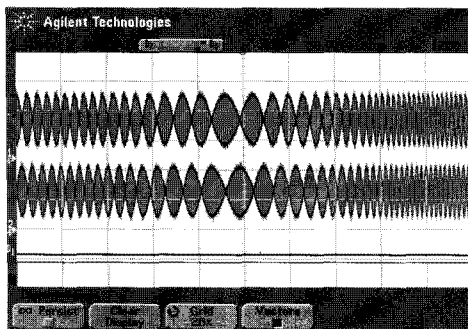


그림 25. 시간(온도)에 따른 주파수 변화
Fig. 25. Frequency deviation with time.

으면 안정적으로 동작하나 수렴시간(120ms)이 너무 길다. 결과적으로 FLL과 PLL을 동시에 동작시키는 방법을 피하고 수렴시간이 짧고 안정적인 루프가 필요하다.

그림 23은 그림 9를 구현한 결과이다. 즉 코드가 고정되어 질 때 한번(One Shot) 만 주파수 오프셋을 추정하여 락이 풀릴 때까지 유지하고 대략적인 캐리어 주파수 오프셋이 보상되면 이후 PLL이 동작한다. 그림 24는 캐리어 NCO의 출력이다.

그림 25는 코드 락 시에 한번만 주파수 오프셋을 추정하여 보상하고 PLL은 동작을 중지 시킨 것으로 시간(온도)에 따라 캐리어 주파수가 변하는 것을 볼 수 있다. (여기서 Ref. Osc.로 TCXO ±1ppm을 사용하였다.)

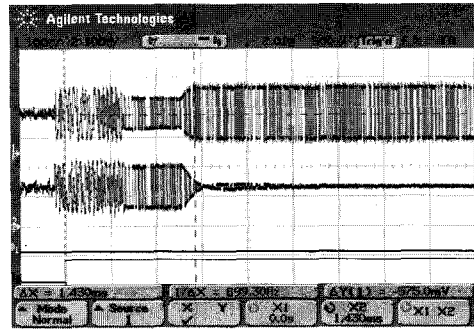


그림 26. 코드 획득 및 역 확산된 신호
Fig. 26. Code acquisition & despread signals.

그림 26은 코드가 락이 되면 주파수 오프셋을 추정하여 보상이 된 후 PLL이 동작하여 안정화 되어가는 과정을 나타낸다. 그림 22와 비교하면 수렴 속도(50→1.43 ms)가 훨씬 빨라진 것을 볼 수 있다.

4. 레이크 수신기 실험

그림 27은 파일럿 채널의 응답을 나타내고 I채널은 1로 Q채널은 0으로 수렴하는 것을 볼 수 있다. 이 값은 레이크 수신기의 채널 추정과 보상을 하는데 이용된다.

그림 28은 WGN 환경에서 주경로와 최대비 결합(MRC)의 출력을 나타낸다. WGN 환경에서는 MRC 결과가 오히려 잡음을 증가시키는 작용을 한다. 그림 29

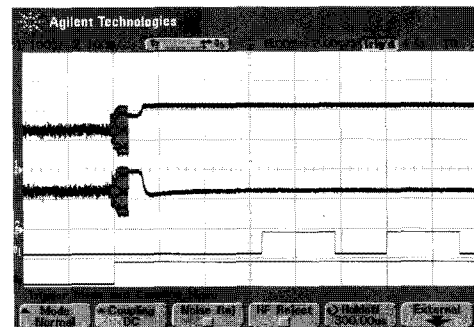


그림 27. 파일럿 채널 응답
Fig. 27. Response of pilot channel.

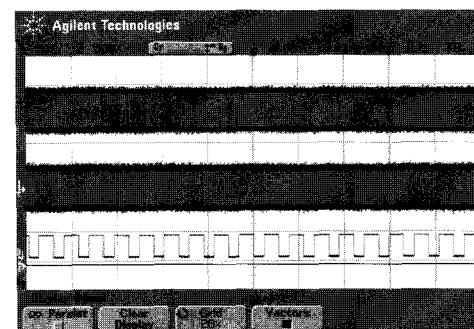


그림 28. 역 확산 후 주 경로 및 최대비 결합 출력
Fig. 28. Main vs. MRC output after despreading.

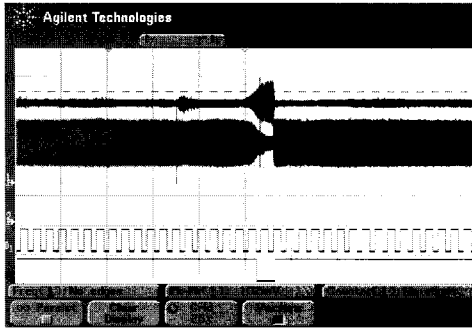


그림 29. 한칩 빠른 경로 및 주 경로
Fig. 29. One chip early vs. main path.

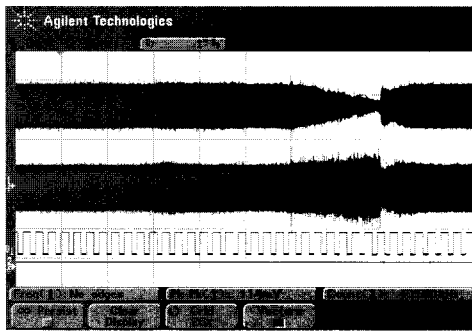


그림 30. 주경로 및 최대비결합 출력
Fig. 30. Main path vs. MRC output.

는 송신기를 이동한 결과 한칩 빠른 경로에서 일부 구간 멀티패스 신호를 볼 수 있고 이때 주경로는 일부 구간 신호가 작아졌음을 확인할 수 있다. 그림 30에서는 주경로(上)와 MRC 출력(下)을 비교한 것이다. 주경로의 신호가 작아질 때 MRC 출력은 데이터 복원이 가능할 정도로 커져있어 레이크 수신기의 동작을 확인 시켜준다.

5. 수신감도 및 재밍마진 측정

그림 31은 입력 신호의 세기에 따라 성상도 변화를 나타낸 것이다. 수신감도를 측정한 결과 레이크 수신기 적용 전 -109dBm 을, 적용 후에는 -108.5dBm 을 얻었다. 여기서 MRC 손실이 0.5dB 임을 확인할 수 있다.

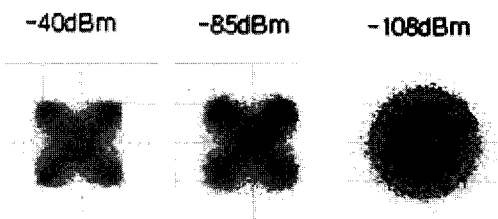


그림 31. 입력신호 세기에 따른 성상도 변화
Fig. 31. XY diagram with RSSI.

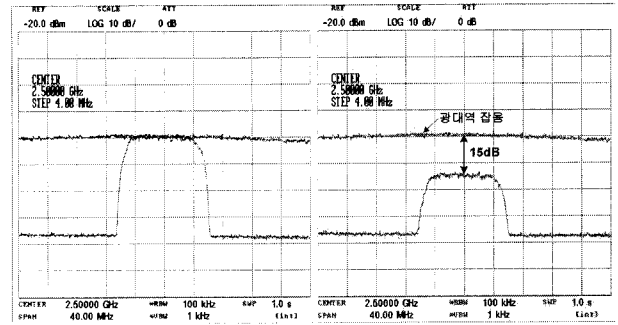


그림 32. 재밍마진 시험
Fig. 32. Jamming margin test.

그림 32는 IF 대역에서 광대역 잡음 생성기를 이용하여 noise jammer^{[7~8]}}에 대한 재밍마진을 측정된 결과이다. 측정방법은 광대역 잡음 전력과 송신 신호 전력 레벨을 동일하게 설정한 후 송신 신호 전력 레벨을 감쇄하면서 복호된 데이터에 오류가 발생하기 시작하는 감쇄 레벨을 측정하였다. 측정결과 재밍마진은 15dB 로 측정되었다.

IV. 결 론

본 논문에서는 무인기용 대전자전 송·수신 장치로 대역확산 송수신기 제작에 관한 전체적인 구조와 기능 및 성능 실험 결과에 대해 기술하였다. 본 연구를 통해 C2 링크 및 항공 관측에 활용할 수 있는 대전자전 송·수신 장치를 개발하여 국내에서 개발되는 유·무인기, 항공기 및 비행선이나 기 보유 항공기에 활용 가능하며, 획득된 기술을 바탕으로 산업기기, 의료기기, 군사용 등의 특수 분야에 직접 활용하거나, 요구조건에 따라 일부 수정 및 보완만으로도 쉽게 변경 사용이 가능할 것으로 본다. 본 연구에서 제작한 모뎀의 수신감도는 -108dBm 으로 재밍 마진은 광대역 노이즈 재머에 대해 15dB 로 측정되었다. 향후 처리이득(PG)을 30dB 이상으로 하여 20dB 이상의 재밍마진을 확보함으로써 대전자전 능력을 갖춘 송·수신 장치를 개발할 수 있을 것으로 본다.

참 고 문 헌

[1] R. L. Peterson, R. E. Ziemer, and D. E. Borth, "Introduction to Spread Spectrum Communications", Inglewood Cliffs, NJ, Prentice Hall, 1995.
[2] 홍대기, 홍대식, 강창연, "다중 사용자 DS/CDMA

- 시스템에서 채널간 전력 할당”, 한국통신학회, 논문집, Vol.27, 2002.
- [3] Brad Brannon, “Basics of Designing a Digital Radio Receiver”, Analog Devices, Inc.
 - [4] Preliminary Product Brief Notes, “AHA4525A, IEEE 802.16a Compliant Turbo Product Code Encoder/Decoder”, Comtech AHA Corp.. 2003.
 - [5] Product Specification, “AHA4525A, IEEE 802.16a Compliant Turbo Product Code Encoder/Decoder”, Comtech AHA Corp.. 2004.
 - [6] Product Specification, “AD9352, WiMAX/WiBro RF MxFE Transceiver”, Analog Devices. 2007.
 - [7] 김송신, 조성준, “DS-SS 통신 시스템의 jamming에 대한 저항 성능 분석”, 전자공학회, 추계종합학술대회 논문집, 1987.
 - [8] 김진영 외, “군통신에서의 재밍(Jamming) 기술”, 한국통신학회, 학회지, Vol.26, 2009.

저 자 소 개



김 종 만(정회원)
 2001년 2월 원광대학교
 전자공학과 학사 졸업.
 2003년 2월 전북대학교 정보통신
 공학과 석사 졸업.
 2003년 3월~현재 (주)파인텔레콤
 선임연구원.

2008년 8월 충남대학교 정보통신공학과
 박사수료.

<주관심분야 : 모뎀 설계, 디지털 신호처리>



은 창 수(정회원)
 1985년 2월 서울대학교
 전자공학과 학사 졸업.
 1987년 2월 서울대학교
 전자공학과 석사 졸업.
 1995년 8월 텍사스 오스틴대학교
 박사 졸업.

1997년 9월~현재 충남대학교 전기정보통신
 공학부 교수.

<주관심분야 : RF 및 마이크로파 회로, 통신 신
 호 처리>