
내장형 트리플(DCS, PCS, UPCS) 칩 안테나 설계 및 제작

박성일* · 박성하* · 고영혁*

Design and Fabrication of the Triple Band(DCS, PCS, UPCS) Internal Chip Antenna

Seong-il Park* · Sung-Ha Park* · Young-hyuk Ko*

요 약

본 논문에서는 이동통신용 단말기 PCB Layout 위에 내장형 칩 안테나를 직접 설계하여 DCS(1.71~1.88GHz) 대역, PCS(1.75~1.87GHz) 대역 및 UPCS(1.85~1.99GHz) 대역에서 공통으로 사용할 수 있는 이동통신용 트리플밴드 칩 안테나를 설계하였다. 안테나의 특성 해석을 위해서 상용 고주파 시뮬레이션인 HFSS를 이용하였다. 트리플 광대역 특성은 1.71GHz~1.99GHz의 대역에서 동작하는 설계된 안테나의 측정된 대역폭(V.S.W.R<2.0)을 실현시켰다. 이 안테나의 크기는 19mm×4mm×1.6mm로 설계하여 소형화시켰으며, 칩 안테나의 단점인 좁은 대역폭을 크게 개선시켰다. 그리고 실험 측정 결과들은 시뮬레이션 결과들과 매우 유사함을 보여 주었다.

ABSTRACT

In this paper, triple band mobile chip antenna for DCS(1.71~1.88GHz) / PCS(1.75~1.87GHz) / UPCS(1.85~1.99GHz) on PCB Layout is designed. To analyze the characteristics of the designed antenna, we used commercial simulation tool(HFSS). Triple and wide band characteristic could be realized the measured bandwidth(V.S.W.R<2.0) of the designed antenna operated in 1.71GHz~ 1.99GHz. The size of the designed antenna is about 19mm×4mm×1.6mm, narrow bandwidth which is a defect of chip antenna is improved. And its experimental results were a good agreement with simulation performance.

키워드

Triple-band antenna, Chip antenna, Small size

I. 서론

현재 전 세계 단말기 시장의 동향은 듀얼 밴드 이상의 안테나를 사용한 휴대단말기를 제작하고 있다. 그 이유는 각각의 나라마다 사용하는 시스템의 주파수 대역이 다르기 때문에 하나의 안테나를 통해서 각각의 사용주파수를 모두 통합하는 서비스를 제공하고 있다. 단말기 제조업체 측면에서 보면 시스템에 따라서 각각 따로 개발해야 했던 개발의 낭비를 줄일 수 있고, 제품의 판매도 다양해 질 수 있다는 장점이 있기 때문이다.[1]

이동통신단말기 안테나 시장은 이동통신 단말기 시장에 밀접하기 때문에 안테나의 출하수량은 이동통신 단말기와 거의 동일하다고 볼 수 있다. 해외 시장에서는 휴대폰 제조사에서 최근 트리플대역과 쿼드대역 안테나에 대한 수요가 가장 높으며, 일부 유럽형 휴대폰 모델의 경우에는 GSM, DCS, PCS, WCDMA 대역 모두를 지원하는 트리플대역 이상의 멀티대역 안테나의 수요가 활발하다. 그것은 유럽에서 사용되는 GSM, DCS를 비롯해서 북미에서 사용되는 PCS와 3G 이동통신인 WCDMA를 지원할 수 있는 단말기 개발이 진행되고 있기 때문이다. [2][3]

본 논문에서는 이동통신용 단말기 그라운드 기판 위에 내장형 칩 안테나를 직접 설계하여 DCS, PCS, UPCS의 주파수 범위 사양인 1.71~1.99GHz까지의 모든 범위를 충족할 수 있는 이동통신용 트리플대역 칩 안테나를 설계하였다. 또한 상용화된 HFSS를 사용하여 칩 안테나 방사특성과 리턴로스 특성을 분석하였으며, 제작된 트리플 대역 칩 안테나는 VNA(Vector Network Analyzer)를 통해 실제 리턴로스 특성을 분석하였다. 또한, 전파 안전 기준 IEEE Reference [4][5]에서 제시한 1g 평균 peak SAR에 비해 설계된 트리플 칩 안테나의 계산된 평균 peak SAR 값이 21.5[w/kg]로 매우 안전함을 보였다.

II. 안테나 구조

1. 트리플밴드 칩 안테나 구조

본 논문에서 설계한 이동통신용 트리플 대역 칩 안테나의 구조는 그라운드 판이 방사패치와 같은 폭으로 자름으로서 소형화하고[6][7] 민더(Meander) 라인 구조로 방사패치 길이를 구성하였으며, 좌·우측면의 방사 패

치와 그라운드 판을 단락시키므로 더욱 소형화한 안테나이다.

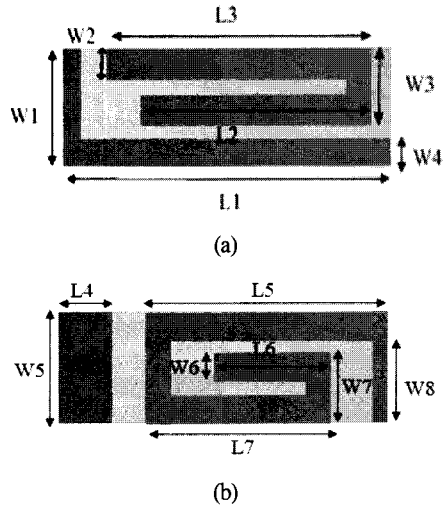


그림 1. 트리플 대역 칩 안테나 구조
(a) 윗면 (b) 아랫면

Fig 1. Structure of triple band chip antenna
(a) Top plane (b) Low plane

제안한 안테나는 윗면 좌측 방사패치 길이(0.5mm)와 우측 방사패치 길이(L3)사이 에 간격을 두어서 용량을 장하시키고, 전기력선 형성에 제한받지 않고 그라운드 판을 줄여 소형화하였다. 또한, 아랫면 좌측 방사패치 길이(L4)와 우측 방사패치 길이(L5)사이에도 간격을 두어 용량을 장하시켜서 더욱더 소형화하였다. 그리고 윗면과 아랫면의 Meander 라인에 의해서 광대역이 되도록 길이를 조정하였다.[8]

2.2 트리플 대역 PCB Layout 구조

현재 많은 주목을 받고 있는 트리플 대역 칩 안테나의 실제 크기는 다음과 같다. 그림 2 (a)와 같이 단말기 그라운드 기판 위에 트리플 대역용 내장형 마이크로 칩 안테나를 주요사항인 사용 주파수 1.71~1.99GHz에서 동작할 수 있도록 설계하였으며, 그라운드 기판 윗면은 마이크로 칩 안테나의 그라운드 판과 연결시켜서 그라운드 판으로 활용하였다. 그림 2 (a)의 그라운드 판은 그림 1 (b)의 방사 패치에 연결되도록 설계되었다. 또한, 그림 1(a)의 W2×L5와 그림1(b)의 W5×L4를 그라운드 기판 윗면에 신호선과 연결하여 트리플 대역용 내장형 마이크

로 칩 안테나의 급전 선로로 이용하였고, 내장형 마이크로 칩 안테나의 아래 면으로도 방사할 수 있도록 그라운드 기판의 동판을 제거하였다.

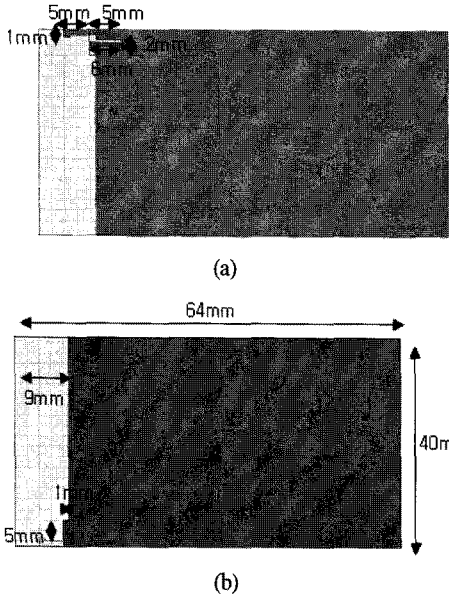


그림 2. 트리플 대역 PCB Layout
(a) 윗면 (b) 아랫면
Fig 2. PCB Layout of triple band
(a) Top plane (b) Low plane

III. 안테나 특성 고찰

본 논문에서는 DCS/PCS/UPCS 주파수 대역을 만족할 수 있도록 설정하고 각부의 척도를 다음과 같이 설계하였다. 기판의 비유전율은 $\epsilon_r=4.4$, 동판의 두께(H)가 1.6mm인 에폭시(FR4-epoxy) 기판을 사용하였다. 안테나의 전체 길이는 19mm×4mm이며, 상부방사패치의 길이는 L2=14mm, L3=17mm, W2=1mm, W3=2.5mm로 설계하였으며, 하부방사패치의 길이는 L2=15mm, L3=7mm, W2=1mm, W3=2.5mm로 각각 설계하였다. 표 1과 표 2는 제안한 안테나의 제원이며 그림 3은 상용화된 프로그램인 HFSS를 이용하여 계산된 리턴로스 특성으로 DCS/PCS/UPCS 주파수 대역에서 대역폭이 15.1%로 광대역 특성을 나타내었다.

표 1. 칩 안테나의 윗면 제원

Table 1. Top plane parameters of chip antenna

Triple Band Chip 안테나 윗면 구조			
L1(mm)	19	W2(mm)	1
L2(mm)	14	W3(mm)	2.5
L3(mm)	17	W4(mm)	1
W1(mm)	4	유전율	4.4

표 2. 트리플 대역 칩 안테나의 아랫면 제원

Table 2. Low plane parameters of triple band chip antenna

Triple Band Chip 안테나 아랫면 구조			
L4(mm)	2.5	W6(mm)	1
L5(mm)	15	W7(mm)	2.5
L6(mm)	7	W8(mm)	3
L7(mm)	12	H(mm)	1.6
W5(mm)	4	유전율	4.4

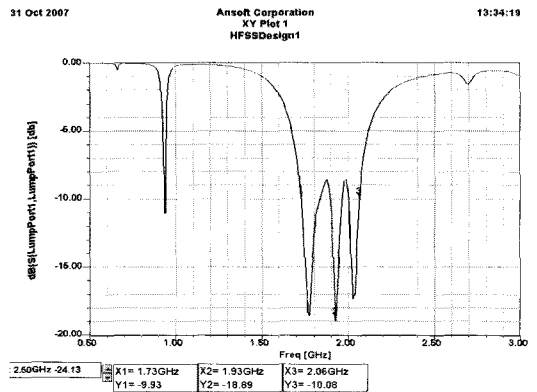


그림 3. 트리플 대역 칩 안테나의 리턴로스 특성
Fig 3. Return loss characteristic of triple band chip antenna

그림 4는 제작된 DCS/PCS/UPCS 트리플 대역 칩 안테나이며, 그림 5는 테스트보드와 연결된 트리플 대역 칩 안테나이다. 단말기 그라운드 기판과 급전선을 연결한 트리플 대역 안테나를 VNA (Anritsu- 37347C)를 사용하여 측정된 안테나의 리턴로스 특성은 그림 6과 같으며 중심주파수가 1.88GHz에서 -30.522dB이며, 대역폭이 15.1%로 나타났다.

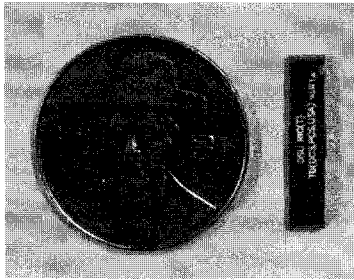


그림 4. 동전과 비교한 트리플 대역 칩 안테나
Fig 4. Compare triple band chip antenna with a copper coin

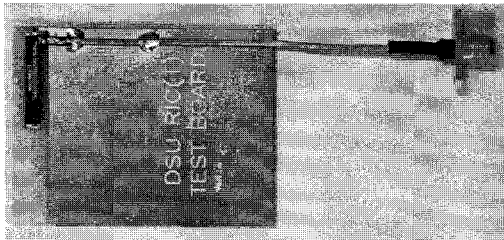


그림 5. PCB Layout과 급전선을 연결한 트리플 대역 칩 안테나
Fig 5. Triple band chip antenna on PCB Layout with feed line

또한, V.S.W.R 2이하의 트리플 광대역 특성은 그림 7과 같고, 1.71~1.99GHz의 대역에서 동작함을 보였다. 따라서, 본 논문에서 제안한 DCS/ PCS/ UPCS 트리플 대역 칩 안테나의 설계 척도는 HFSS에 의해 계산된 리턴로스 특성과 측정된 DCS/PCS/UPCS 트리플 대역 칩 안테나의 리턴로스 특성이 매우 양호하게 일치되었다.

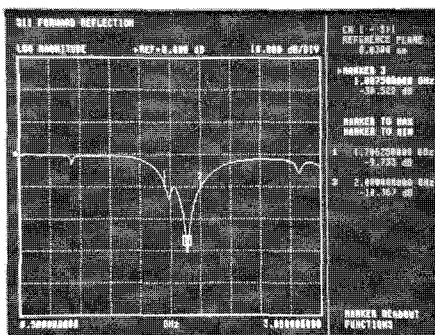


그림 6. 측정된 트리플 대역 칩 안테나의 리턴로스 특성
Fig 6. Measured return loss characteristic of triple band chip antenna

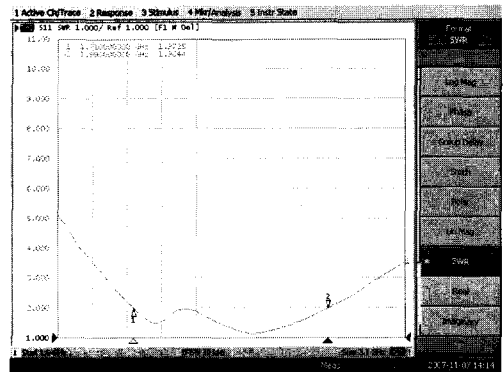
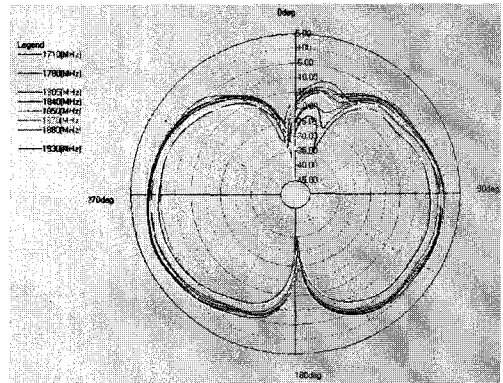
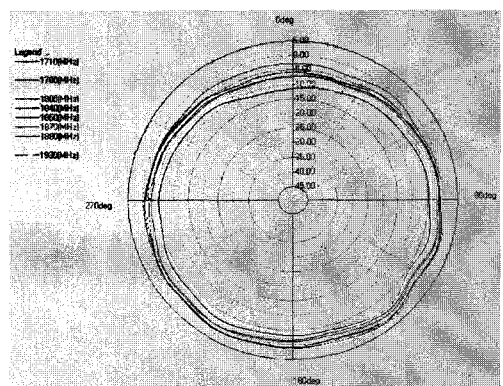


그림 7. 측정된 V.S.W.R 특성
Fig 7. Measured V.S.W.R characteristic



(a)



(b)

그림 8. 측정된 트리플 대역 칩 안테나의 방사 특성 (a) E 면 (b) H 면
Fig 8. Measured radiation characteristic of triple band chip antenna (a) E plane (b) H plane

그림 8은 보다 정확한 측정을 위해서 LTK(Laird Technologies Korea)에서 측정한 제작된 안테나의 방사 특성으로 각각의 주파수(1710MHz~ 1990MHz)에서 Omni-direction 패턴을 나타냈으며, 각각의 주파수에서 측정된 방사패턴은 1.91G Hz에서 가장 좋은 2.67dBi의 최대이득을 얻었다. 그림 9는 두뇌모델로부터 5mm 간격을 두고 트리플 대역 칩 안테나가 놓였을 때의 전계 분포이다. 그리고 두뇌모델은 반구로서 도체 및 손실이 있는 유전체($\epsilon_r=42.9$, $\sigma=0.9$ s/m)를 사용했고, 두뇌모델의 전계분포에 따라 그림 10은 표 3과 같은 두뇌모델의 제원을 가지고 트리플 대역 칩 안테나의 평균 peak SAR 특성을 나타낸 것이며 전파 안전기준 IEEE Reference (1g 평균 peak SAR)의 경우 평균 peak SAR 값이 1.8GHz에서 38.1[w/kg], 1.9GHz에서 39.7 [w/kg], 2.45GHz에서 52.4[w/kg]이므로 설계된 트리플 칩 안테나의 계산된 평균 peak SAR 값(1.75GHz)이 21.5[w/kg]로 매우 안전함을 보였다.

표 3. 두뇌모델의 제원
Table3. Parameters of brain model

두뇌모델의 제원	
Bowl	Fluid
- Inner radius = 106.5mm	- $\epsilon_r = 42.9$
- Thickness = 5mm	- $\sigma = 0.9$
- Opening = 164mm	- $\rho = 1\text{g/cm}^3$
- $\epsilon_r = 4.6$	- Level = 134mm

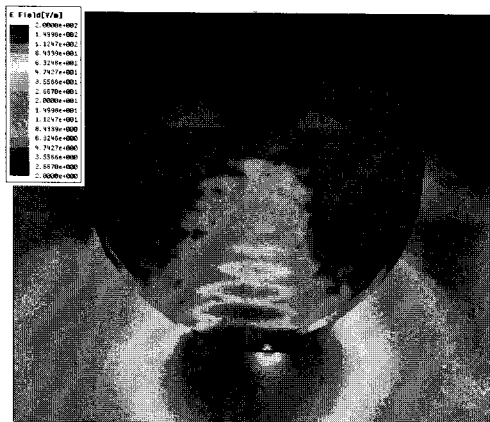


그림 9. 계산된 두뇌모델 전계 분포(1.75GHz)
Fig 9. Calculated of Electric field distribution of brain model(1.75GHz)

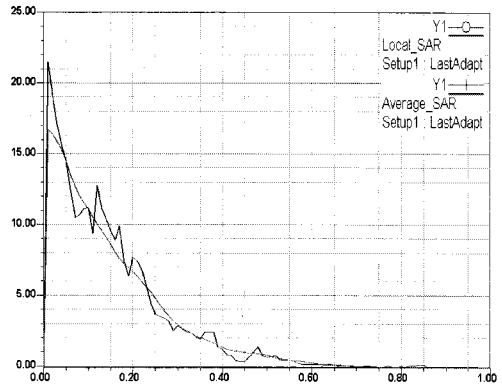


그림 10. 트리플 대역 칩 안테나의 Average SAR 특성(1.75GHz)
Fig 10. Average SAR characteristic of triple band chip antenna(1.75GHz)

IV. 결론

본 논문에서는 안테나 이득을 극대화하기 위해서 PCB Layout 위에 이동통신용 트리플 대역 칩 안테나를 직접 설계하여 DCS와 PCS 및 UPCS의 주요 사양인 1.7 1~1.99GHz까지 모든 주파수 범위에서 동작할 수 있도록 하였으며 설계된 이동통신용 트리플 대역 칩 안테나는 상용화된 프로그램 HFSS에 의해 각각의 중심주파수에서 대역폭 15.1%를 얻었으며, 측정된 대역폭 (V.S.W.R<2.0)과 매우 양호하게 일치함을 보였다. 그리고 보다 정확한 결과를 얻기 위하여 각각의 주파수 (1710MHz~1990MHz)에서 측정된 방사패턴은 1.91GHz에서 가장 좋은 2.67dBi의 최대이득을 얻었고, 1.78GHz에서 가장 좋지않은 -1.1dBi의 최대이득을 얻었다. 또한, 제작된 트리플 대역 칩 안테나는 중심주파수 1.88GHz이고, 대역폭이 15.1%로 계산치와 매우 양호하게 일치됨을 확인했다. 실제 측정된 안테나의 방사패턴은 각각의 주파수에서 Omni-direction 패턴을 나타냈으며, 최대이득이 2dBi정도 얻을 수 있었다. 또한, 전파 안전기준 IEEE Reference에서 제시한 1g 평균 peak SAR에 비해 설계된 트리플 칩 안테나의 계산된 평균 peak SAR 값이 21.5 [w/kg]로 매우 안전함을 보였다.

앞으로 본 논문을 기초로 하여 더욱더 소형화하고, 이득을 증가시키는 물론 트리플 대역이상의 멀티대역 칩 안테나를 설계·제작 할 예정이다.

참고문헌

- [1] M. Ali and Gerard J. H., "Analysis of Integrated Inverted-F Antenna for Bluetooth Applications", Ericsson Inc.
- [2] LAL Chand Godard, "Handbook of Antenna in Wireless Communication", CRC Press, PP. 6-1~6-34, 2001.
- [3] F. -S. Chang, S. -H. Yeh and K. -L. Wong, "Planar Monopole in Wrapped Structure for Low-profile GSM/DCS mobile phone antenna", Electronics Letters, vol. 38, no. 11, May 2002.
- [4] 佐藤 眞一, "人體頭部模擬ファソトム近傍に置かれたダイポールアンテナの放射特性", 信學春季全大, B-143, 1994
- [5] 森下 久, 林田 章吾, 佐藤 淳, "人體 モデルを用いた携帯端末用内蔵アンテナの特性解析", 電子情報通信學會論文誌 B, Vol. J85-B, No.5, pp687-697, Feb. 2002.
- [6] Kin-Lu Wong "Planar Antennas for wireless Communications", pp 53-60, 2003.
- [7] J. R. James, P. S. Hall, "Handbook of microstrip antennas", IEE Electronmagnetic Wave Series28, pp.1093-1105, 1989.
- [8] 박성일, 고영혁, 이현진, 임영석 "내장형 마이크로스트립 듀얼밴드 안테나" 대한전자공학회 제 42권, TC 4호, pp29~36, 2005

저자소개



박성일(Sung-il Park)

2002 동신대학교 정보통신공학과
학사
2004 동신대학교 정보통신공학과
석사

2006 전남대학교 전자정보통신공학과 박사 수료
2006~ 동신대학교 정보통신공학과 전임강사
※관심분야: RF 부품설계, 소형안테나설계



박성하(Sung-ha Park)

1999 경기대학교 경영학과 학사
2005 경기대학교 정치대학원 석사
2007~동신대학교 정보통신공학과
박사과정

1994~ (주)트윈스컴 대표이사

※관심분야: 이동체 안테나 설계



고영혁(young-huk Ko)

1981년 건국대학교 전자공학과
졸업(학사)
1983년 건국대학교 대학원
전자공학과 졸업(석사)

1990년 건국대학교 대학원 전자공학과 졸업(박사)

1981년~1983년 건국대학교 전자공학과 조교

1994년~1995년 리훤대학교 전자공학과 Post -Doc

1990년~ 현재: 동신대학교 정보통신공학과 교수

※관심분야: 이동체 안테나 설계, 초고주파 회로 설계, EMI/EMC