
모바일 디스플레이 디지털 인터페이스용 저전력 고속 수신기 회로의 설계

이천효* · 김정훈* · 이재형* · 김려연* · 윤용호* · 장지혜* · 강민철* ·
이용진** · 하판봉* · 김영희*

Design of Low-Power and High-Speed Receiver for a Mobile Display Digital Interface

Cheon-Hyo Lee* · Jeong-Hoon Kim* · Jae-Hyung Lee* · Liyan Jin* · Yong-Hu Yin* · Ji-Hye Jang* ·
Min-Cheol Kang* · Long-Zhen Li** · Pan-Bong Ha* · Young-Hee Kim*

요 약

본 논문에서는 모바일 디스플레이 디지털 인터페이스용 저전력 고속 수신기 회로를 제안하였다. 새롭게 제안된 저전력 수신기 회로는 바이어스 전류인 싱크 전류와 소스 전류를 공급전압, 공정, 온도 및 공통 모드 입력 전압의 변동에 대해 둔감하도록 설계되었다. 3.0V~3.6V의 전원전압과 -40~85℃의 온도에서 450Mbps 이상의 고속 데이터 수신에 가능하다. 그리고 모의 실험결과 소모전류는 500 μ A 이하이다. 테스트 칩은 매그나칩 0.35 μ m CMOS 공정을 이용하여 제작되었으며, 테스터 결과 데이터 수신기 회로와 데이터 복원 회로가 정상적으로 동작하는 것을 확인하였다.

ABSTRACT

We propose a low-power and high-speed client receiver for a mobile display digital interface (MDDI) newly in this paper. The low-power receiver is designed such that bias currents, sink and source currents, are insensitive to variations of power supply, process, temperature, and common-mode input voltage (VCM) and is able to operate at a rate of 450Mbps or above under the conditions of a power supply range of 3.0 to 3.6V and a temperature range of -40 to 85 $^{\circ}$ C. And it is confirmed by a simulation result that the current dissipation is less than 500 μ A. A test chip is manufactured with the Magnachip 0.35 μ m CMOS process. When a test was done, the data receiver and data recovery circuits are functioning normally.

키워드

MDDI (Mobile Display Digital Interface), LVDS (Low-Voltage Differential Signaling), high speed, low-power, receiver

* 창원대학교
** 연변대학교

I. 서 론

최근 모바일 제품은 VGA급 이상의 고해상도 (high resolution)를 갖는 디스플레이 모듈이 사용되고 있으며, 450Mbps 이상의 고속 데이터 전송이 요구된다. 고속 데이터 전송에는 잡음 여유 (noise immunity) 특성이 우수하고 낮은 EMI (Electromagnetic Interference) 특성을 가지고 있으면서 저전력 고속 직렬 인터페이스 방식인 LVDS (Low-Voltage Differential Signaling) 인터페이스가 많이 사용되고 있다 [1]. 고속 디스플레이 모듈은 MSM (Mobile Station Modem) 칩과 디스플레이 모듈 사이에 LVDS 형태인 MDDI (Mobile Display Digital Interface) 방식이 사용되고 있다 [2][3].

그림 1은 MDDI 인터페이스 회로도를 보여주고 있으며, 송신기 (transmitter), 수신기 (receiver)와 100Ω의 특성 임피던스를 갖는 transmission line으로 구성되어 있다. 송신기에서 디지털 입력 데이터에 맞게 ±3.5mA의 차동 전류를 구동하면 송신측에 있는 병렬 종단 저항 2R(=100 Ω)에 350mV의 차동 전압이 걸린다. 수신기는 차동전압을 입력하여 입력 데이터를 복원하면 된다. 기존의 수신기 회로는 rail-to-rail 증폭기인 Bazes 증폭기 [4][5]가 많이 사용되고 있으나 VCM (common mode input voltage) 전압과 전원전압 (supply voltage)의 변동에 대해 동작전류가 증가하는 문제가 있다.

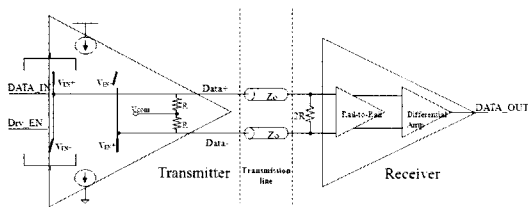


그림 1. MDDI 인터페이스 회로도.
Fig. 1. Circuit of the MDDI interface.

본 논문에서는 정전류 바이어스 회로를 사용한 rail-to-rail 증폭기인 저전력 고속 수신기 회로를 제안하였으며, 데이터 복원 회로가 포함된 MDDI 수신기 칩을 설계하였다. 매그나칩 0.35μm CMOS 공정을 이용하여 설계된 수신기 회로는 450Mbps 이상의 고속 데이터 수신이 가능하며, 모의실험 결과 소모 전류는 500μA 이하로 나왔다. 그리고 테스트 보드를 제작하여 송신기 칩에

서 송신한 6 비트의 PRBS (Pseudo-Random Binary Sequence) 데이터를 수신기 칩에서 DATA와 STB를 정상적으로 입력한 뒤 복원된 클록을 통해 송신된 PRBS 데이터가 복원되는 것을 확인하였다.

II. 회로 설계

MDDI 시스템 인터페이스는 그림 2에서 보는 바와 같으며, MSM 칩이 MDDI 호스트 (host)가 되고 디스플레이 모듈이 MDDI 클라이언트 (client)가 된다. 그리고 MDDI 링크 (link) 인터페이스는 2개의 차동 쌍 (differential pair)인 DATA와 STB로 구성되어 있다.

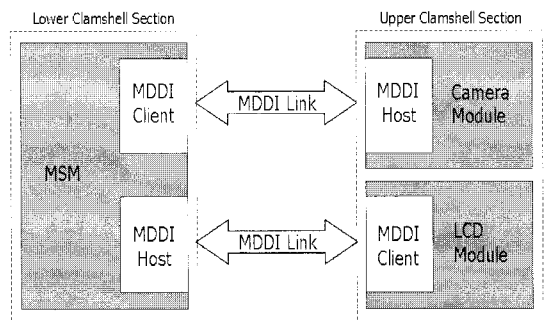


그림 2. MDDI 시스템 인터페이스 블록도.
Fig. 2. The overall MDDI system connecting the host and its client.

MDDI 클라이언트 수신기는 100mV 이상의 차동 전압과 0~1.6V 사이의 공통 모드 입력 전압 VCM 전압을 갖는다. 저전압으로 고속 스위칭 하는 차동 입력 신호를 수신하기 위해서는 rail-to-rail 증폭기 형태의 수신기가 많이 사용되고 있다. 그림 3은 기존의 VCDA (Very-wide common-mode differential amplifier) 회로이다 [4]. VCDA 회로는 자체 바이어스 전압인 Vc 전압으로 차동증폭기의 바이어스 전류를 공급하며, 공통 모드 입력

전압 범위가 0~VDD이고 Vc 전압은 거의 VDD/2 전압이다. 기존의 VCDA 회로는 전원전압이 증가함에 따라 Vc 전압이 증가하게 되며, 이에 따라 전류 싱크 (current sink) 트랜지스터 (MN3, MN4, MN5)와 전류 소스 (current source) 트랜지스터 (MP3, MP4, MP5)의 게이트-소스 전압이 증가하게 되어 수신기 회로에서 소모되는

전류가 증가하게 된다. 그리고 공정과 온도 변동에 따라 전류가 증가하게 된다.

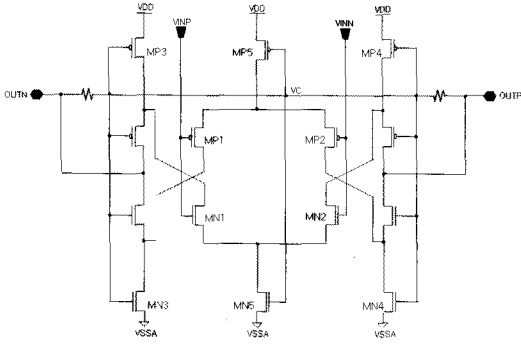
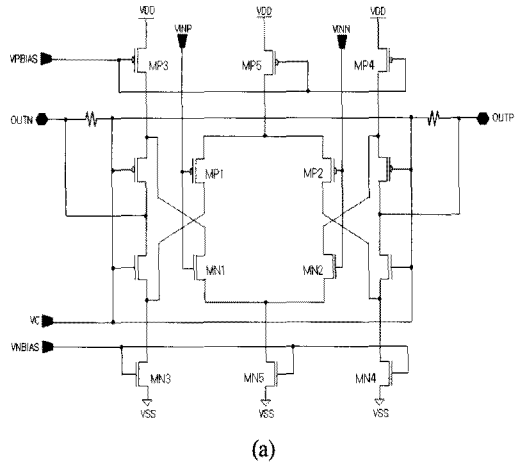
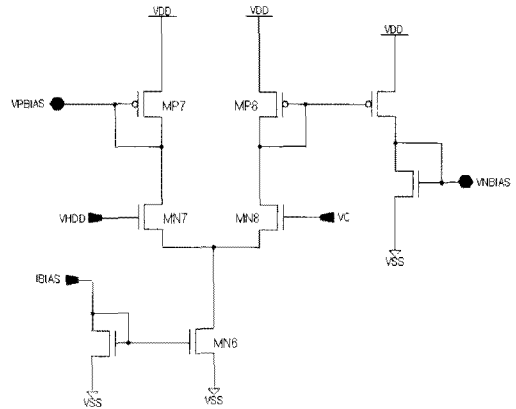


그림 3. 기존의 VCDA 회로도.
Fig. 3. Conventional circuit of VCDA.

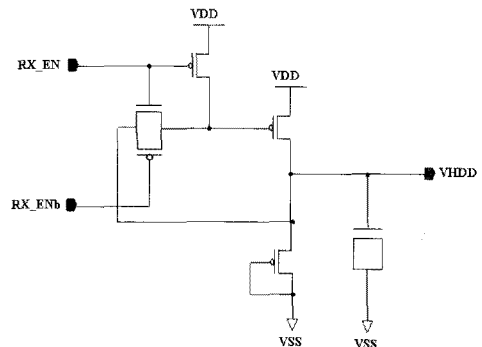
그림 4는 새롭게 제안된 저전력 고속 수신기 회로와 관련 회로를 보여주고 있다. 그림 4(a)의 전류 싱크 트랜지스터 (MN3, MN4, MN5)와 전류 소스 트랜지스터 (MP3, MP4, MP5)의 게이트는 각각 VNBIAIS와 VPBIAIS 전압으로 바이어싱 되며, 정전류가 흐른다. 그림 4(b)는 rail-to-rail 증폭기의 Vc 전압을 MDDI 수신기 칩에서 만들어지는 VHDD (=VDD/2) 전압과 비교하여 같아지도록 바이어싱 한다. 그래서 그림 4(a)의 차동 출력 신호인 OUTP/OUTN이 VDD/2를 기준으로 스윙하므로 고속 데이터 수신이 가능하도록 하였다. 한편 그림 4(b)의 수신기용 바이어스 회로에서 VC 전압이 VHDD 전압과 같아지면 그림 4(a)의 수신기 회로에서 VPBIAIS와 VNBIAIS로 공급되는 싱크 전류와 소스 전류는 공급전압, 공정 및 온도 변동에 대해 변동 없이 공급된다. 그래서 MDDI 수신기 회로의 소모 전류를 줄일 수 있다. 그림 4(c)는 VDD/2의 전압을 공급해 주는 VHDD 회로로 MOS transistor를 이용한 전압 분배기 회로이다. 공급전압, 공정, 온도 변동에 대해 Vc는 항상 VDD/2 전압을 바이어싱 하므로 MDDI 수신기 회로의 동작 전류 변동을 줄일 수 있다. 그림 5는 그림 4(a)의 차동 출력 신호인 OUTP/OUTN의 스윙 전압이 작으므로 CMOS 디지털 신호로 증폭하는 single-ended 차동 증폭기 회로이다.



(a)



(b)



(c)

그림 4. (a)새롭게 제안된 rail-to-rail 증폭기 (b)바이어스 회로도 (c) VHDD 회로도.
Fig. 4. (a)Newly proposed rail-to-rail amplifier, (b) its bias circuit, and (c) VHDD circuit.

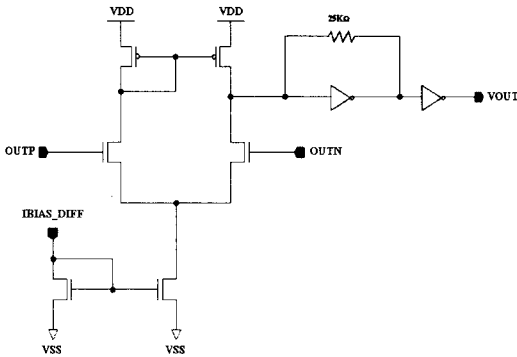


그림 5. Single-ended 차동 증폭기 회로.
Fig. 5. Single-ended differential amplifier circuit.

MDDI 호스트 모듈에서는 클럭 없이 DATA와 STB 신호를 송신한다. 그림 6의 타이밍 다이어그램에서 보는바와 같이 연속되는 DATA가 변화가 없으면 STB 신호의 로직 상태는 스위칭 한다. 그리고 연속되는 DATA가 바뀌면 STB 신호의 로직 상태는 변화가 없다. 한편 수신기에서 수신된 DATA와 STB 신호는 Exclusive-OR 게이트를 거치면 그림 6에서 보는 바와 같이 복원된 클럭 (recovered clock)이 출력되며, 복원된 클럭 신호는 positive-edge triggered D/F과 negative-edge triggered D/F을 이용하여 데이터 DATA[1:0]를 저장한다. 그리고 저장된 DATA[1:0]는 복원된 클럭에 의해 nibble data로 변환된 뒤 로직 회로에 입력된다.

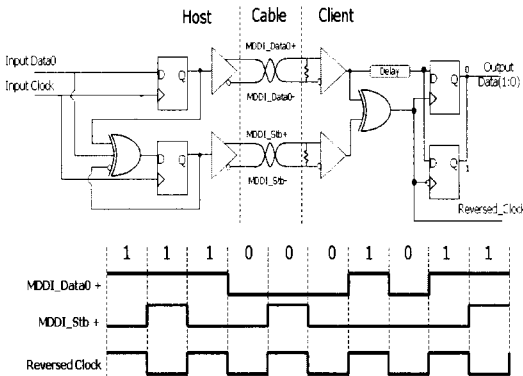


그림 6. 데이터 클럭 복구.
Fig. 6. Data clock recovery.

III. 모의실험 및 측정결과

MDDI 수신기 회로는 0.35 μ m CMOS 공정을 이용하여 설계되었다. 그림 7은 그림 3에 보인 기존의 수신기와 제안된 수신기의 공통 입력 전압 레벨의 변화에 따라 수신기에서 소모되는 전류의 변화를 비교하는 그래프이다. SPICE 모의실험은 3V, 3.3V와 3.6V의 전원전압, 450Mbps의 데이터 수신에 대해 수행되었다. 모의실험 결과 제안된 수신기의 소모전류는 기존의 수신기보다 54% 감소하였다. 그림 8은 450Mbps의 데이터 전송률로 수신된 데이터의 Eye Diagram을 보여주고 있으며, 모의 실험을 통해 정상적으로 수신이 된 것을 알 수 있다. 모의실험 조건은 3V, 85°C, Slow 모델 파라미터에서 수행되었다.

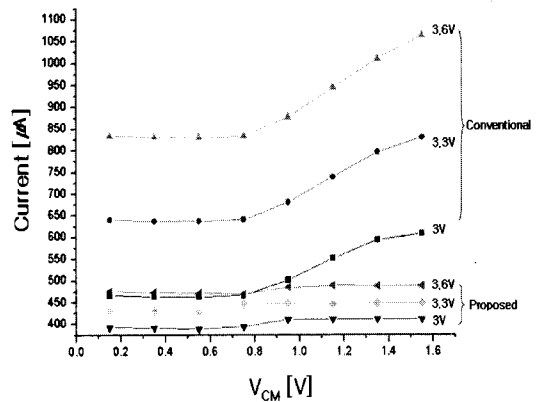


그림 7. VCM의 변동에 대한 수신기의 소모전류 비교 그래프.

Fig. 7. Comparison graph of the receiver current consumptions with respect to VCM variations.

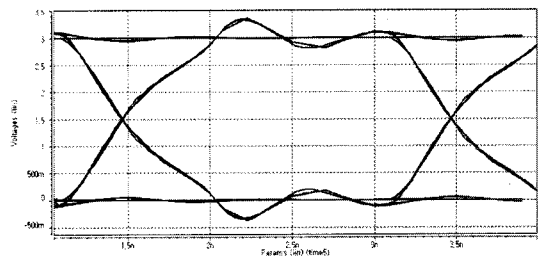


그림 8. 450Mbps 데이터 전송률로 수신된 데이터 Eye Diagram.
Fig. 8. Eye diagram for received data at a rate of 450Mbps.

그림 9는 설계된 MDDI 인터페이스 회로의 레이아웃 사진으로 레이아웃 면적은 $2099\mu\text{m} \times 311\mu\text{m}$ 이다.

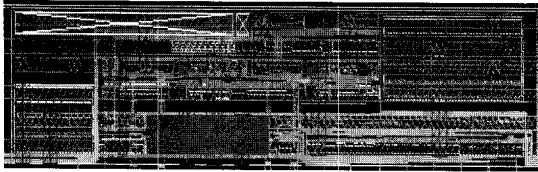


그림 9. 설계된 MDDI의 레이아웃 사진.
Fig. 9. Layout picture of the designed MDDI.

설계된 MDDI 클라이언트 모듈 칩과 MDDI 호스트 모듈 칩을 사용하여 그림 10의 테스트 보드를 제작하였으며, 보드의 특성 임피던스는 100Ω 이고 클라이언트 모듈 칩 내부에 100Ω 의 병렬 종단 저항이 있다. WE-7000 함수 발생기 장비를 사용하여 호스트 모듈 칩에 6-bit의 PRBS 데이터를 주면, 호스트 모듈 칩은 차동 신호인 DATA와 STB 신호를 클라이언트 모듈 칩으로 전송하게 된다. 제작된 클라이언트 모듈 칩은 DATA와 STB 수신기를 통해 나오는 신호는 데이터 복구 회로를 통해 4-bit의 디지털 데이터로 변환된다.

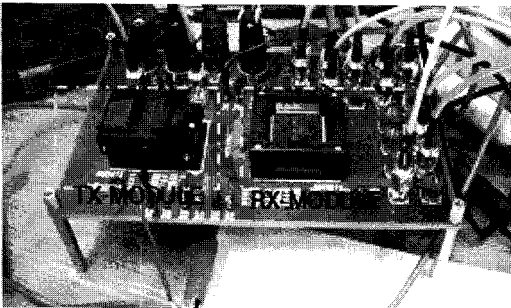
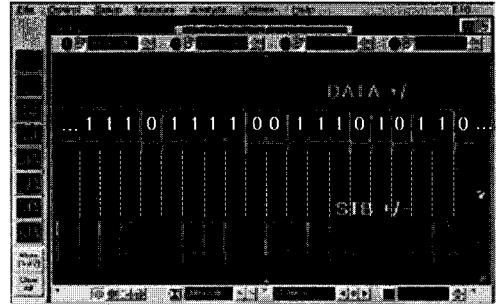
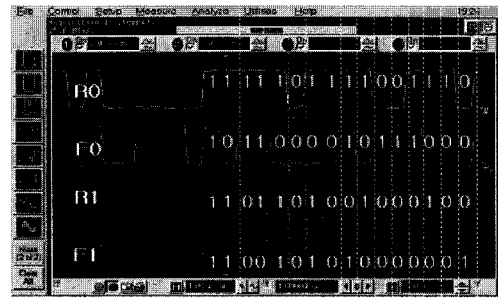


그림 10. 테스트 보드 사진.
Fig. 10. Photograph of the test board.

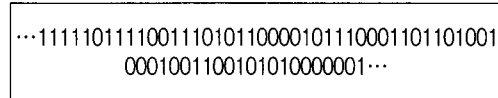
그림 11(a)는 전송된 6-bit PRBS 데이터와 STB 이고, 그림 11(b)는 클라이언트 모듈 칩에서 복원된 4개의 병렬 데이터 파형을 보여주고 있다. 그림 11(c)는 함수 발생기 장비를 통해 생성된 6-bit PRBS 데이터 패턴으로 송신된 DATA와 복원된 4-bit의 병렬 데이터가 모두 일치하는 것을 알 수 있다.



(a)



(b)



(c)

그림 11. (a) 송신된 PRBS 데이터 (b) 클라이언트 칩에서의 데이터 복원결과 파형 (c) 6-bit PRBS 데이터 패턴.

Fig. 11. (a) Transmitted PRBS data, (b) recovered data at the client chip, and (c) 6-bit PRBS data pattern.

IV. 결 론

디스플레이 모듈은 MDDI 인터페이스 방식이 사용되고 있으며, VGA급 이상에서는 450Mbps의 고속 데이터 전송이 가능하고 저전력 소모가 요구된다.

본 논문에서 제안된 수신기 회로는 공급전압, 공정, 온도 및 VCM 전압의 변동에 대해 둔감하도록 하였다. 매그나칩 $0.35\mu\text{m}$ CMOS 공정을 이용하여 설계된 수신기 회로는 $500\mu\text{A}$ 이하의 전류를 소모하고 450Mbps 이상의 고속 데이터 수신이 가능한 것으로 모의 실험되었

다. 테스트 결과 6 비트의 PRBS 송신 데이터를 수신기 칩에서 정상적으로 복원하는 것을 확인하였다. 그리고 450Mbps 이상의 고속 저전력 수신기 회로로 적합한 것으로 판명되었다.

참고문헌

- [1] A. Boni, A. Pierazzi, and D. Vecchi, "LVDS I/O Interface for Gb/s-per-Pin Operation in 0.3- μ m CMOS," *IEEE J. Solid-State Circuits*, vol.36, no.4, pp.706-711, April 2001.
- [2] VESA, "Mobile Display Digital Interface Standard", Version 1, July 2004.
- [3] Qualcomm, "MDDI Client Core Pad Design Information", 80-V7333-1 Rev-C, Dec. 2004.
- [4] M. Bazes et al., "Two novel fully complementary self-biased CMOS differential amplifiers", *IEEE J. Solid-State Circuits*, vol.26, no.2, pp.165-168. Feb. 1991.
- [5] K. C. Choi et al., "1-Gb/s CMOS Low-Voltage Differential Signaling Receiver and Fail-Safe Circuit for Display Applications", ISOC 2006, Oct. 2006.

저자소개



이 천 호(Cheon-Hyo Lee)

1984. 2 동아대학교 전자공학과
공학사
1991. 2 동아대학교 전자공학과
공학석사

2006.3~현재 창원대학교 박사과정
1994.3~2009.1 한국 Polytech VII 대학 부교수
2009.1~현재 한국 Polytech 항공대학 부교수
※관심분야: High-Speed I/O Interface 설계, NVM 설계



김 정 훈(Jeong-Hoon Kim)

2007. 2 창원대학교 전자공학과
공학사
2009. 2 창원대학교 전자공학과
공학석사

※관심분야: LCD 구동 칩 설계



이 재 형(Hyung-Jae Lee)

2007. 2 창원대학교 전자공학과
공학석사
2007. 3~현재 창원대학교
전자공학과 박사과정

※관심분야: 저전력 EEPROM 설계, SoC 설계



김 려 연(Li-Yan Jin)

2007. 7 연변대학교 컴퓨터공학과
공학사
2007. 9~현재 창원대학교
전자공학과 석사과정

※관심분야: High-Speed I/O Interface 설계



윤 용 호(Yong-Hu Yin)

2007. 7 연변대학교 전자공학과
공학사
2007. 9~현재 창원대학교
전자공학과 석사과정

※관심분야: High-Speed I/O Interface 설계



장 지 혜(Ji-Hye Jang)

2008. 2 창원대학교 전자공학과
공학사
2008. 3~현재 창원대학교
전자공학과 석사과정

※관심분야: High-Speed I/O Interface 설계



강 민 철(Min-Cheol Kang)

2008. 2 제주대학교 전자공학과
공학사

2008. 3~현재 창원대학교
전자공학과 석사과정

※ 관심분야: High-Speed I/O Interface 설계



이 용 진(Long-Zhen Li)

1983. 7 관주대학교 컴퓨터공학과
이학사

2002. 2 순천대 정보통신공학과
공학석사

2009.2 창원대학교 전자공학과 공학박사

2009.3~현재 연변대학교 컴퓨터학과 교수

※ 관심분야: High-Speed I/O Interface 설계, NVM 설계



하 판 봉(Pan-Bong Ha)

1981. 2 부산대학교 전기공학과
공학사

1983. 2 서울대학교 전자공학과
공학석사

1993.2 서울대학교 전자공학과 공학박사

1987.3~현재 창원대학교 전자공학과 교수

※ 관심분야: 임베디드 시스템, SoC 설계



김 영 희(Young-Hee Kim)

1989. 2 경북대학교 전자공학과
공학사

1997. 2 포항공과대학교
전자전기공학과 공학석사

2000.8 포항공과대학교 전자전기공학과 공학박사

1989.1~2001.2 현대전자 책임연구원

2001.3~현재 창원대학교 전자공학과 교수

※ 관심분야: 저전압/저전력/고속 메모리 설계, LCD
구동 칩 설계, CMOS 이미지 센서 설계, RFID 태그
칩 설계