
박막트랜지스터의 습식 및 건식 식각 공정

박춘식* · 허창우**

The Wet and Dry Etching Process of Thin Film Transistor

Choon shik Park* · Chang-wu Hur**

요 약

본 연구는 LCD 용 비정질 실리콘 박막 트랜지스터의 제조공정중 가장 중요한 식각 공정에서 각 박막의 특성에 맞는 습식 및 건식식각공정을 개발하여 소자의 특성을 안정시키고자 한다. 본 연구의 수소화 된 비정질 실리콘 박막 트랜지스터는 **Inverted Staggered** 형태로 게이트 전극이 하부에 있다. 실험 방법은 게이트전극, 절연층, 전도층, 에치스토퍼 및 포토레지스터층을 연속 증착한다. 스토퍼층을 게이트 전극의 패턴으로 남기고, 그 위에 **n+a-Si:H** 층 및 **NPR(Negative Photo Resister)**을 형성시킨다. 상부 게이트 전극과 반대의 패턴으로 **NPR**층을 패터닝하여 그것을 마스크로 상부 **n+a-Si:H** 층을 식각하고, 남아있는 **NPR**층을 제거한다. 그 위에 **Cr**층을 증착한 후 패터닝하여 소오스-드레인 전극을 위한 **Cr**층을 형성시켜 박막 트랜지스터를 제조한다. 여기서 각 박막의 패터닝은 식각 공정으로 각 단위 박막의 특성에 맞는 건식 및 습식식각 공정이 필요하다. 제조한 박막 트랜지스터에서 가장 흔히 발생하는 문제는 주로 식각 공정시 **over** 및 **under etching** 이며, 정확한 식각을 위하여 각 박막에 맞는 식각공정을 개발하여 소자의 최적 특성을 제공하고자한다. 이와 같이 공정에 보다 엄격한 기준의 건식 및 습식식각 공정 그리고 세척 등의 처리공정을 정밀하게 실시하여 소자의 특성을 확실히 개선 할 수 있었다.

ABSTRACT

Conventionally, etching is first considered for microelectronics fabrication process and is specially important in process of a-Si:H thin film transistor for LCD. In this paper, we stabilize properties of device by development of wet and dry etching process. The a-Si:H TFTs of this paper is inverted staggered type. The gate electrode is lower part. The gate electrode is formed by patterning with length of 8 μm -16 μm and width of 80-200 μm after depositing with gate electrode (Cr) 1500 Å under coming 7059 glass substrate. We have fabricated a-SiN:H, conductor, etch-stopper and photoresistor on gate electrode in sequence, respectively. The thickness of these thin films is formed with a-SiN:H (2000 μm), a-Si:H(2000 μm) and n+a-Si:H (500 μm). We have deposited n+a-Si:H, NPR(Negative Photo Resister) layer after forming pattern of Cr gate electrode by etch-stopper pattern. The NPR layer by inverting pattern of upper gate electrode is patterned and the n+a-Si:H layer is etched by the NPR pattern. The NPR layer is removed. After Cr layer is deposited and patterned, the source-drain electrode is formed. In the fabricated TFT, the most frequent problems are over and under etching in etching process. We were able to improve properties of device by strict criterion on wet, dry etching and cleaning process.

키워드

비정질 실리콘 박막 트랜지스터, 식각 공정, **Inverted Staggered** 형, **over** 및 **under etching**, 엄격한 기준의 공정

* 주)신방일렉트로닉스
** 목원대학교 전자공학과

접수일자 2009. 02. 23
심사완료일자 2009. 03. 20

I. 서 론

현재 관심이 집중되고 있는 TFT-LCD는 액정 TV, 노트북 PC, 액정 게임기, 투사형 TV, HD-TV, View finder, 광 컴퓨터 등에 이용되고 있다. 수소화된 비정질 실리콘 박막 트랜지스터는 낮은 기판온도에서 넓은 면적으로 제작할 수 있다.

또한 제작비가 공정의 개발과 함께 저렴해지고 액정 공정 기술의 비약적인 발전과 더불어 수요가 급격하게 증가되고 있다. TFT-LCD 패널의 제조는 화소 단위의 신호를 제어하는 스위칭 소자들을 형성하는 TFT 제조 공정과 총 천연색 색상을 구현하기 위한 칼라 RGB Array를 형성하는 칼라 필터 공정, 그리고 TFT 기판과 칼라 필터 기판 사이에서 액정 Cell을 형성하는 액정 주입 공정으로 나눌 수 있다.

TFT-LCD 패널은 반도체 산업과 동일한 일관 제조공정을 가지는 장치 산업이나, 제품의 크기와 획득 수량, 생산성과 수율이 투입되는 유리 기판의 크기와 제조 설비 및 공정에 크게 좌우되는 Giant microelectronics 산업으로, TFT-LCD 제조는 유리기판 크기에 의존하는 제조 line과 설비에 따라 그 발전 단계를 구분할 수 있다.

수소화된 비정질 실리콘박막 트랜지스터는 넓은 면적으로 낮은 기판온도에서 제작할 수 있고 제작비가 저렴하다는 점에서 액정 사용 기술의 발전과 함께 많은 관심을 이끌고 있다.

TFT의 특성을 개선시키기 위해서는 각 박막의 식각 공정을 정확히 제어하고 검사를 철저히 수행할 필요가 있다.

본 논문에서는 LCD 용 TFT를 기존의 방식에 비하여 보다 철저한 건식 및 습식식각 공정 및 검사공정을 채택하여 적용함으로써 수소화된 비정질 실리콘 박막 트랜지스터의 제조공정을 안정화하고, 박막 트랜지스터의 특성을 개선하고자 한다.

II. 습식 식각 공정

반도체 제조공정에서 미세 pattern을 형성시키기 위해서는 일반적으로 광식각 공정 작업 후 화학약품을 이용한 습식식각공정을 하게 된다.

본 연구와 같은 비정질반도체 공정에서는 비정질실리콘과 TFT의 게이트 절연층인 비정질실리콘 나이트라이드의 식각은 RIE(Reactive Ion Etching)이나 플라즈마 식각과 같은 건식식각 방법을 주로 사용하며, 금속과 투명도전막 그리고 에치 스톱퍼 로써의 비정질실리콘 나이트라이드는 습식 식각공정을 하게 된다.

습식 식각공정은 수 μm 의 미세 패턴을 형성시키기 위하여 그 에찬트의 조성이나 식각 시간, 식각 온도등 고려하여야 할 여러요소들이 있다. 또한 습식 식각공정 후 포토 리지스트를 제거하는 과정에서 포토 리지스트 제거를 깨끗하게 하여 제거용액이 비정질실리콘을 공격하지 않을 조건으로 행해져야 한다. 포토 리지스트 제거 후 잔류 포토 리지스트 제거 및 기판 세척

가) ITO 습식 식각

ITO 포토 작업 공정 후 행해지는 공정으로 투명도전막식각은 정확한 식각이 요구된다. ITO 박막은 습식식각공정으로 그 etchant의 조성은 FeCl_3 를 D.I. water에 80 baum(비중)으로 희석 시킨 후 이를 45% HCl에 2:1의 비율로 섞어서 만든다. ITO는 100Ω 과 10Ω 의 두 가지 종류가 있고 보통 4000 \AA 두께의 10Ω ITO가 화소 전극으로 사용된다.

ITO 박막의 습식식각은 온도에 매우 민감하므로 항온조를 이용하여 75°C 를 일정하게 유지하여야 하는 것이 이 공정의 관건이다. 30초간 식각하여 그 식각여부를 조사한다. 식각 후 세척은 잔류 etchant와 ITO 찌꺼기 제거를 위해 필요하며, 5분간 D.I. water로 rinsing 후 세척공정으로 들어간다.

나) Cr 전극 습식 식각

Cr은 Cr 식각 용 etchant를 이용하여 습식식각을 실행한다. 게이트로써 Cr은 그 패턴의 모습이 모서리 부분이 경사진 taper etching이 효과적이다. 이를 위하여 Cr etchant인 $[(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6]$, HNO_3 , H_2O 의 혼합용

액에 다른 화학약품을 혼합하여 실험하였다. Cr 건식 식각 후 세척 단계에 들어가고 이는 이후 연속 증착시 adhesion 을 좋게 하기 위한 필수적 과정이다.

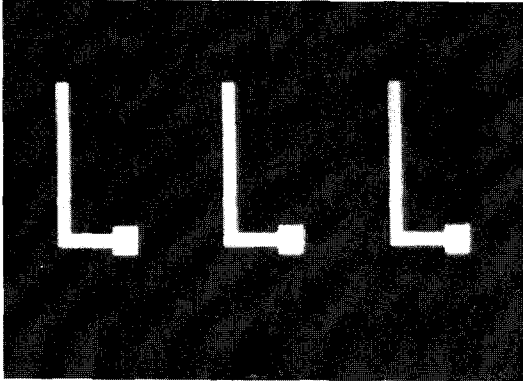


그림 1. Cr 전극 패턴 후 test pattern의 모습
Fig. 1. Test pattern after Cr electrode pattern

다) Etch stopper 습식 식각

비정질실리콘 나이트라이드는 2000 Å 정도의 두께로 Etch stopper 역할을 한다. 사진 식각으로 패터닝된 후 (3.0 μm의 포토 리지스트의 도포, 소프트 베이킹 후 14 mW/cm² 로 10초간 노광, 하드 베이킹은 130 °C 로 30분간 실시) etchant는 반도체 dipping 공정과 비슷하게 행해지는데 HF : DI = 1 : 10 으로 혼합하여 수초간 식각한다.

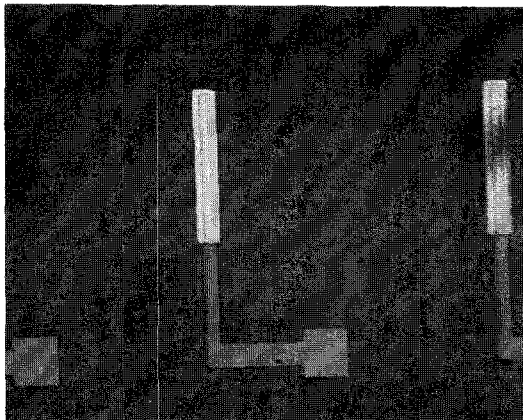


그림 2. Etch stopper 패턴 후 test pattern 의 모습
Fig. 2. Test pattern after Etch stopper pattern

이때 dipping 공정과 마찬가지로 물방울이 미끄러지는 상태에서 식각을 중지하며 이를 D.I. water로 수분간 rinsing 한다.

라) Al 습식 식각

TFT의 소오스와 드레인 패턴을 위한 Al 습식 식각 공정은 H₃PO₄, HNO₃, CH₃COOH 등이 섞여 있는 혼산 Al etchant 를 이용하는데, 이때 etching rate 조절을 위하여 온도를 가하여 실시한다. 급격한 etching rate 는 정확한 습식 식각이 어렵기 때문에 이는 Etch stopper 위에 Al 이 얹혀지는 것을 저해한다. 그러므로 식각 시간 조절과 온도 조절을 잘하여야 미세 패턴이 형성된다. Al 패턴 후 이것을 n+ 비정질 실리콘 건식식각용 금속 마스크 역할을 하게 된다.

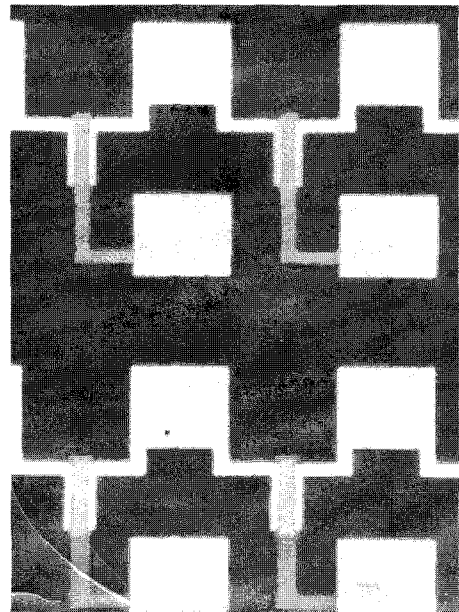


그림 3. Al 패턴 후 test pattern 의 모습
Fig. 3. Test pattern after Al pattern

III. 건식 식각 공정

비정질실리콘 및 절연체의 식각은 크게 습식식각 및 건식식각의 두 가지로 구분 할 수 있다.

습식 식각은 등방성 (isotropic) 식각이 되기 때문에 미세 패턴을 형성시키는데 있어서 많은 문제점이 있다. 또한 인체에 유해한 여러 가지 화학용액을 사용하기 때문에 operator의 안전도 문제점으로 지적되고 있다.

이에 반해 건식식각은 진공상태에서 공정이 진행되는 기 때문에 식각하는 시료가 불순물에 오염되는 것을 방지할 수 있을 뿐 아니라 장비에 의해 자동화가 가능하기 때문에 높은 수율을 얻어 비용을 절감할 수 있다. 또한 건식식각이 갖는 가장 큰 장점은 비등방성 (anisotropic) 식각이 가능하기 때문에 미세한 패턴을 정확하게 형성할 수 있다. 그러나 건식식각은 식각 조건을 결정하는 요인 (가스압력, 전극물질, 온도 등)들이 많고 플라즈마 상태에 있는 이온들이 시료에 충돌함으로써 손상을 입을 우려가 있다.

본 연구에서 사용한 reactive ion etching 및 plasma etching 장비는 rf 전극의 capacitive type 으로써 Plasma Tech. 사의 Microplasma Lab. 을 사용하였다.

비정질 실리콘 박막 트랜지스터를 제조하는데 있어서 건식식각공정은 크게 두 가지로 나눌수 있는데 그 하나는 게이트 유전체로 사용하는 실리콘 나이트라이드 (a-SiN:H) 와 활성층으로 사용하는 실리콘 층이다. 이때 각각에 사용된 조건은 표 1. 에 나타내었다.

표 1. a-Si:H & a-SiN:H 의 식각 조건과 식각 율
Table 1. Etching condition and etch rate of a-Si:H & a-SiN:H

	a-Si:H	a-SiN:H
식각 mode	RIE	RIE
가스 압력	30 mTorr	30 mTorr
가스 종류	CF ₄ +O ₂ (8%)	CHF ₃ +O ₂ (3%)
가스 flow rate	10 sccm	30 sccm
r.f. power	50 W	30 W
etch rate	500 Å /min	300 Å /min

먼저 식각 하고자하는 기판위에 포토 리지스트로 원하는 패턴을 사진 식각법으로 식각한 후에 반응실에 넣는다.

다음으로 rotary 및 turbo pump로 10-6 Torr 이하의 진공까지 충분히 pumping 한 후 반응가스를 주입한 후 rf 방전을 일으켜 원하는 양만큼 식각을 한다. TFT 제조 공정에서 사용되는 건식식각은 유리기판위에 증착된 비정질 실리콘을 트랜지스터 부분만 남겨두고 나머지 하소 부분을 식각한다.

다음으로 드레인 전극과 ITO pixel 의 단부를 연결시켜주는 구멍을 식각한다. 마지막 식각공정으로는 소오스와 드레인 전극사이에 오염성 접촉을 위해 증착한 n+를 식각하는 것으로 이때의 식각조건은 실리콘 식각조건과 동일하다.

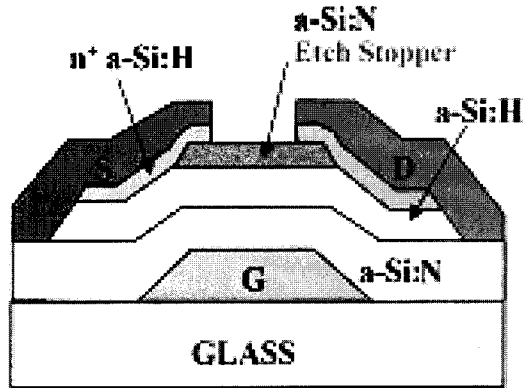


그림4. 제작된 a-Si:H TFT의 구조
Fig. 4. The structure of a-Si:H TFT

IV. 결론

현재 a-Si:H TFT에 대한 필요성이 LCD 구동용 Transistor, 이미지 Sensor 및 광소자 구동 등에 매우 절실히 요구되며 그 연구가 활발히 진행되고 있다. TFT-LCD를 대형화, 고경세화하면 공정이 복잡해지고 결함이 많이 발생되며 이로 인해 소자의 특성이 떨어지고 수율이 저하되는 결과를 초래한다.

TFT의 특성 및 수율을 개선시키기 위해서 가장 중요한 공정인 광 식각 공정을 엄격히 관리하고 검사를 철저히 수행 할 필요가 있다.

본 논문에서는 TFT를 기존의 방식에 비하여 보다 철저한 식각 공정 및 검사공정을 채택하여 적용함으로써 수산화 된 비정질 실리콘 박막 트랜지스터의 제조공정을 안정화하고, 박막 트랜지스터의 수율을 개선하고자 한다.

각 박막의 패터닝은 식각 공정으로 각 단위 박막의 특성에 맞는 건식 및 습식식각 공정이 필요하다. 제조한 박막 트랜지스터에서 가장 흔히 발생하는 문제는 주로 식각 공정시 over 및 under etching 이며, 정확한 식각을 위하여 각 박막에 맞는 식각공정을 개발하여 소자의 최적 특성을 제공하고자한다. 이와 같이 공정에 보다 엄격한 기준의 건식 및 습식식각 공정 그리고 세척 등의 처리공정을 정밀하게 실시하여 소자의 특성을 확실히 개선 할 수 있었다. 그러므로 이를 개선하기 위해서는 광 식각 공정을 보다 엄격한 기준으로 공정을 수행하였다. 이와 같이 공정에 보다 엄격한 기준의 조건 과 절차를 확립하여 소자의 특성을 확실히 개선 할 수 있었다.

이상의 실험에서 본 논문에서 사용한 방법으로 a-Si:H TFT를 생산 할 경우 TFT의 특성 및 공정 안정화를 개선하여 현재 많은 소자에 이용되고 있는 a-Si:H TFT의 응용폭을 상당히 확대 시킬 수 있으리라 생각되며 HDTV의 디스플레이로써 각광을 받고 있는 TFT를 사용한 AM LCD FAX. 에 사용되고 있는 Contact Image Sensor등에도 적용 할 수 있으리라 기대된다.

참고문헌

[1] Chang W. Hur, " Method of Making Thin Film Transistors", United States Patent, Patent No.5,306,653, Apr. (1994).
 [2] M.J. Powell, I.D. French, J.R. Hughes, N.C. Bird, O.S. Davies, C. Glasse and J.E. Curran, "Amorphous silicon image sensor array," Mat. Res. Soc. Symp. Proc. 258, pp.1127~1137 (1992).

[3] S. Polach, D. Horst, G. Maier, T. Kallfass and E. Lueder, "Matrix of light sensors addressed by a-Si:H TFTs on a flexible plastic substrate," SPIE 3649, pp.31~39, (1999).
 [4] A. Nathan, Correlation between leakage current and overlap capacitance in a-Si:H TFTs, IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensor, Karuizawa, Japan, June 10-12, (1999).
 [5] 이규정, 류광렬, 허창우, "산화물 반도체 박막 가스 센서 어레이의 제조 및 수율 개선", 한국해양정보통신학회 논문지 vol.6, No.2, pp. 315-322, (2002).
 [6] 허창우, "강유전성 박막의 형성 및 수산화 된 비정질 실리콘과의 집합 특성", 한국해양정보통신학회 논문지 vol.7, No.3, pp. 468-473, (2003).
 [7] Kanicki, F.R. Libsch, J. Griffith, R. Polastre, J. Appl. Phys. 69, pp.2339 (1991).
 [8] K. Aflatooni, a-Si:H Schottky diode direct detection pixel for large area x-ray imaging, IEEE IEDM, December 7-10, Washington, D.C., (1997).
 [9] 윤재석, 허창우, "게이트 산화막에 따른 n-MOSFET의 금속 플라즈마 피해", 한국해양정보통신학회 논문지 vol.3, No.2, pp. 471-475, (1999).

저자소개



박 춘 식 (Choon shik Park)
 2003. 2. : 동국대학교
 정보통신공학과 공학사
 2005.2 : 동국대학교
 정보통신공학과 공학석사

1996 ~ 현재:(주)신방일렉트로닉스
 대표이사
 2009.3 ~ 현재 : 목원대학교
 IT 공학과 박사과정
 주연구분야 : 반도체공학 및 VLSI 설계

허창우 (Chang-wu Hur)



1991.2 : 연세대학교
전자공학과 공학박사
1986~1994: LG 중앙 연구소
1994.3 ~ 현재 : 목원대학교
IT 공학부 교수

주연구분야 : 반도체공학 및 VLSI 설계