

논문 2009-46SD-9-4

광학적 상호연결을 이용한 네트워크-온-칩에서의 스위치 구조와 라우팅 최적화 방법

(Switch Architecture and Routing Optimization Strategy Using Optical Interconnects for Network-on-Chip)

권 순 태*, 조 준 동**, 한 태 희***

(Soontae Kwon, Jun Dong Cho, and Tae Hee Han)

요 약

최근 네트워크-온-칩(Network-on-chip)에 대한 연구가 활발히 진행되고 있는 가운데 반도체 칩 복잡도 증가와 고성능에 대한 요구로 인해 기존 구리 기반의 상호연결(Copper-based interconnects)을 사용할 경우 성능, 전력, 대역폭 등에 대한 설계 한계에 곧 직면할 것으로 보인다. 이 문제에 대한 대안으로 전기적인 상호연결(Electrical Interconnects, EIs)과 광학적 상호연결(Optical Interconnects, OIs)을 상호 보완적으로 사용하는 방법이 제안되고 있다. 이러한 연구 방향의 일환으로, 본 논문에서 광학적 상호연결은 지연 시간을 감안하여 임계 경로에, 전기적인 상호연결은 비 임계 경로에 적용하며, 두 상호연결을 혼용하여 사용하기 위한 효율적인 하이브리드 스위치 구조와 라우팅 최적화 방법을 제안한다. 모의실험 결과 제안한 알고리즘과 구조를 적용할 경우 전기적인 상호연결만을 사용할 경우보다 최대 25%의 속도 향상과 38%의 소비 전력 감소를 나타냈다.

Abstract

Recently, research for Network-on-chip(NoC) is progressing. However, due to the increase of system complexity and demand on high performance, conventional copper-based electrical interconnect would be faced with the design limitation of performance, power, and bandwidth. As an alternative to these problems, combined use of Electrical Interconnects(EIs) and Optical Interconnects(OIs) has been introduced. In this paper we propose efficient routing optimization strategy and hybrid switch architecture, which use OIs for critical path and EIs for non-critical path. The proposed method shows up to 25% performance improvement and 38% power reduction.

Keywords : NoC, Optical interconnect, Hybrid Switch architecture, Routing optimization, Low-Power

I. 서 론

지난 수 십년간 무어의 법칙 (Moore's law)에 따른 반도체 집적도의 지수 함수적 증가와 시스템-온-칩 (System-on-a-Chip, SoC) 기술의 등장으로 수십, 수백의 IP 코어들이 하나의 칩에 구현 가능하게 되었다. 그

러나 반도체 집적도 증가를 능가하는 응용시스템의 복잡도 증가로 인해 기존의 시스템 버스 구조로는 해결하기 힘든 문제들이 발생하고 있다. 이 문제를 해결하기 위해서 새로운 SoC 패러다임으로 네트워크-온-칩 (Network-on-Chip, NoC)^[1]이 제안되어 활발히 연구되고 있다.

NoC에서 성능, 전력 소모, 대역폭 등에 대한 설계 요구를 만족하기 위해 네트워크 프로토콜을 적용하는 온-칩 네트워크 (On-Chip Network, OCN) 구조가 적용되었으나, 기존 구리 기반의 전기적인 상호연결(Electrical Interconnects, EIs)에서도 근본적인 속도 증가가 필요하다. EIs를 대체하는 새로운 온-칩 상호연결 기술들의

* 학생회원, ** 정회원, ** 평생회원, 성균관대학교
정보통신공학부

(School of Information and Communication
Engineering, Sungkyunkwan University)

※ 이 논문은 성균관대학교의 2008학년도 성균학술연
구비에 의하여 연구되었습니다.

접수일자: 2009년5월15일, 수정완료일: 2009년9월4일

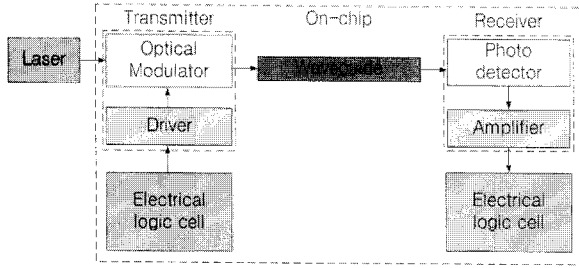


그림 1. 온-칩 광학 상호연결 데이터 경로.
Fig. 1. An on-chip optical interconnect data path.

으로 광학적 상호연결과^[2] RF/무선^[3]기술들을 적용하는 방법이 등장하였다. 그 중 광학적 상호연결은 광학 도파관(Optical waveguide)을 사용하여 전기선을 대체함으로써 통신 병목현상을 해결할 수 있는 잠재력을 지니고 있다.

광학적 상호연결을 사용하기 위해서는 그림 1과^[4] 같이 전기신호를 광신호로 변환하여 보내기 위한 광변조기와 구동회로로 구성된 송신기와 반대로 광신호를 전기신호로 변환하기 위한 광검출기와 증폭기로 구성된 수신기가 필요하며, 송신기와 수신기 사이의 데이터 교환은 도파관을 통해서 이루어진다.

현재 OIs에서 사용되는 광변조기, 광검파기, 광신호에서 전기적인 신호로 변환하기 위해 필요한 증폭기(Transimpedance, TIA), 파장 분할 다중화기(WDM), 광원, 도파관 등을 CMOS VLSI 기술로 구현하여 최적화하기 위한 다양한 노력이 진행 중이며, 일부 성과를 보여주고 있어 가까운 시일 내에 상용화된 기술이 등장할 것으로 예측된다.^[2, 4-5, 7-8]

기본적으로 OIs를 사용할 경우 광신호와 전기 신호 간의 변환을 위한 오버헤드 지연 시간이 존재하지만, 광 도파관에서 지연 시간을 보상함으로써 임계 경로에 대해 우수한 성능을 나타낸다. 본 논문에서는 이를 이용해 최대 동작 속도를 향상시키는 동시에 소비 전력을 감소시키기 위한 방법으로써 임계 경로에 대해서 OIs를 사용하고 비 임계경로에 대해서 EIs를 사용하기 위한 스위칭 구조와 알고리즘을 제안한다.

이 논문은 다음과 같이 구성되어있다: II장에서는 EIs와 OIs 개요와 관련 연구 동향을 기술하고, III장에서 문제를 공식화하였다. IV장에서는 제안하는 구조와 알고리즘을 설명하고 V장에서는 제안하는 구조 및 알고리즘을 사용한 NoC의 모의실험 결과를 보여준다. 마지막으로 VI장에서 결론을 정리하였다.

II. 관련 연구 동향.

광학 NoC에 사용되는 온-칩 광학 상호연결, WDM, 광변조기, 광검지기 그리고 광 도파관 등에서 많은 연구가 진행되고 있다. 인텔^[2]은 길이가 10mm의 Scaled-Cu와 Non-Scaled Cu 그리고 광학적 상호연결에 대해 비교 실험을 하였다. 130nm에서 Scaled-Cu와 Non-Scaled Cu 그리고 OIs가 같은 대역폭 밀도를 나타내지만, 22nm에서는 Scaled-Cu가 약 145Gbs/μm로서 가장 높은 대역폭 밀도를 나타내며, WDM을 사용한 OIs는 35Gbs/μm, Non-scaled Cu는 25Gbs/μm를 나타내고 있다. 반면 지연 시간의 경우 130nm에서 22nm의 공정으로 이동하면서 Scaled-Cu는 증가하여 약 500ps를 나타내지만, Non-scaled Cu와 OIs의 경우는 감소하여 약 100ps이다. Non-scaled Cu의 예에서 지연 시간의 감소는 공정 노드에서 유전율과 리피터의 지연 시간 감소로 인해 나타난다. 파이프라인을 적용했을 경우, 대역폭 밀도와 지연 시간 사이의 관계를 고려한 최적의 성능 관점에서 WDM을 사용한 OIs가 가장 최적으로 볼 수 있다.^[2]

WDM을 사용한 OIs가 Non-Scaled Cu와 Scaled Cu보다 효율적이지만, 전기신호를 광신호로 변환하는데 필요한 시간과 광신호를 전기신호로 변환하는데 필요한 시간에 의한 지연 오버헤드를 나타낸다. [4]에서는 향후 CMOS 호환 광학 장치의 성능을 예상한 결과로서, 전기신호를 광신호로 변환하는데 90nm와 22nm에서 각각 77.3ps와 45.2ps 그리고 광신호를 전기신호로 변환하는데 각각 36.5ps와 3.8ps의 지연 시간을 보여주었다. 또한 OIs와 EIs의 소비전력은 미세 공정으로 갈수록 OIs가 EIs보다 더욱 우수하다는 것을 보여줄 뿐더러 상대적으로 더 낮은 전력을 소비하는 것을 나타내고 있다. [5]에서는 NoC의 상호연결 구조에서 데이터의 양에 따라 EIs와 OIs를 복합적으로 사용하는 방식을 제안하였다. 하지만, 타일 매핑을 고려하지 않았기 때문에 두 IP 코어가 임계 경로에 있고 EIs를 사용한다면, [2]와 [4]에 나타난 결과와 같이 점점 더 작은 공정 노드로 이동할수록 데이터의 양이 작다고 하더라도 전기선에 의한 지연 시간 증가가 있을 것이다. 또한, 이웃한 IP 코어 사이에 많은 데이터 교환이 있을 경우에 OIs를 사용한다면, 광변조기 및 광검파기에 따른 지연을 도파관에서 보상 받을 수 없기 때문에 지연은 증가하게 될 것이다.

III. 문제의 공식화.

NoC에서의 신호지연시간과 총 소비 에너지를 구하기 위한 공식을 다음과 같이 기술하였다.

1. OIs 지연 시간과 에너지 모델.

OIs의 총 지연 시간은 다음과 같다.

$$T_{OIsdelay} = T_M + T_W + T_D + T_{TIA} \quad (1)$$

그림 1에서와 보인 바와 같이 여기서 T_M 은 전기신호에서 광신호 변환을 위한 구동회로와 광변조기의 지연 시간이고, T_W 은 도파관에서 광신호가 이동하는데 걸리는 시간이다. 그리고 T_D 와 T_{TIA} 는 각각 광학신호에서 광전류로의 변환을 위한 광검파기와 광전류에서 디지털 전압 신호로 변환하는데 소비되는 지연 시간을 나타낸다.

한 비트를 전송하기 위한 OIs의 총 에너지는 다음과 같다.

$$E_{bit} = E_{Transmitter} + E_{Receiver} \quad (2)$$

여기서 $E_{Transmitter}$ 은 광변조기와 구동회로에서 소비되는 에너지이고, $E_{Receiver}$ 은 광 검파기와 TIA에서 소비되는 에너지이다.

2. EIs 지연 시간과 에너지 모델.

EIs에서 점 대 점 상호연결 지연 시간 $T_{EIsdelay}$ 는 다음과 같이 나타낼 수 있다.

$$T_{EIsdelay} = 2.5 \sqrt{T_0 \cdot r \cdot c \cdot L}^{[2]} \quad (3)$$

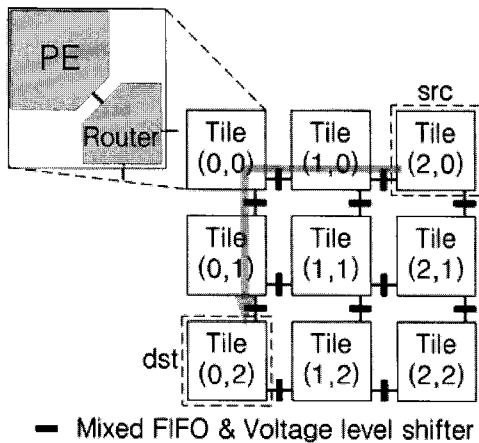


그림 2. 3x3 네트워크의 NoC 구조
Fig. 2. NoC architecture of 3x3 Network.

여기서 T_0 는 최소 크기 인버터 지연 시간이고, r 과 c 는 상호연결의 단위 길이 당 저항과 커패시턴스, 그리고 L 은 상호연결 길이이다.

그림 2는 3x3 타일의 NoC 구조로서 각 타일은 PE(Processing Element)와 라우터로 이루어져 있다. 각 타일은 각각의 전압과 주파수를 사용하고 있으며, 데이터 교환을 위해서 혼성 클럭 FIFO(Mixed clock FIFO)와 전압 레벨 변환기(Voltage level shifter)를 필요로 한다. 여기서 src 타일에서 dst 타일까지 EIs를 통해 데이터를 전송할 때 비트당 소비에너지는 다음과 같다.

$$E_{bit} = E_{Link} + E_{MixClkFIFO} + E_{Switch} + E_{Converter} \quad (4)$$

여기서 E_{Link} 는 링크에서의 소비에너지, $E_{mixClkFIFO}$ 는 혼성 클럭 FIFO에서 소모 에너지이다. 그리고 E_{Switch} 와 $E_{converter}$ 는 각각 스위칭 패브릭과 전압 레벨 변환기에서의 소모 에너지이다.

EIs의 경우 L 이 커질수록 지연 시간이 증가하며, 임계 경로에서 데이터를 교환하기 위해 다수의 라우터와 전압 레벨 변환기를 거치게 됨으로 소비 전력 또한 상당히 증가하게 된다. 하지만 OIs의 경우 도파관에서의 에너지 소비와 지연 시간은 매우 적고 단지 광변조기와 광검파기에서 대부분의 지연 시간과 에너지 소비가 발생한다. 따라서 임계 경로에 OIs를 사용하고, 비 임계 경로에 EIs를 사용할 경우 지연 시간과 전력 소비를 동시에 감소시킬 수 있다.

IV. 제안하는 라우터 구조와 라우팅 최적화 기법

이 장에서는 제안하는 광학 NoC에서의 라우터 구조와 라우팅 최적화 기법에 대해 설명한다.

본 논문에서 제안하는 광학 NoC의 구조는 간단하고 빠른 라우팅을 위해 웜홀 흐름 제어(Wormhole Flow control)와 블록킹(Blocking)을 예방하기 위한 가상채널 그리고 PSE(Photonic switching elements)^[5]에서 최소의 공명기를 사용하기 위한 X-Y라우팅을 사용한다. 또한 OIs와 EIs를 효율적으로 사용하기 위한 문제에 집중하기 위해서 코어의 할당, 타일 매핑, 태스크 할당 그리고 태스크 스케줄링은 이미 되어 있다고 가정한다.

OIs에서 중요한 구성 요소는 송신기와 수신기 그리고 도파관으로서 송신기는 전기신호를 광신호로 변환하는 광변조기와 구동 회로로 이루어져 있다. 그리고 수신기는 광신호를 전기신호로 변환하는 광검파기와 변환

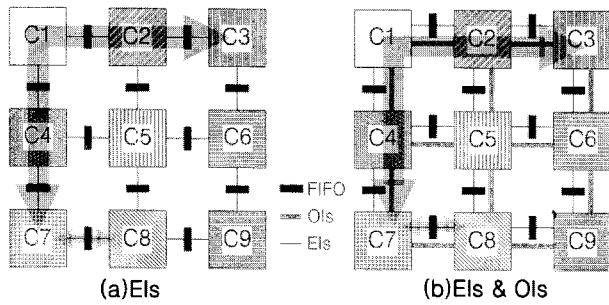


그림 3. 3x3 타일의 NoC 구조
Fig. 3. NoC Architecture of 3x3 Tiles.

된 광전류를 증폭하는 TIA로 구성된다. 여기서 광변조기는 빠르고 비용 효율적인 CMOS와 호환되는 실리콘 광변조기^[6]를 고려하고, 광검파기는 단순한 개발 기술과 빠른 응답 그리고 작은 커패시턴스 등을 가지는 집적화된 SiGe p-i-n 또는 Metal semiconductor metal (MSM)^[7] 감지기를 고려한 경우의 결과를 이용한다.

1. NoC의 상호 연결 구조.

제안하는 구조는 Els와 OIs를 혼용하여 사용하며, 이웃한 타일들과 통신을 할 경우 Els를 이용하고 나머지 긴 경로에 대해 OIs를 사용한다. 이웃한 타일과의 통신에서 Els만을 사용할 경우 Flits(Flow control digits)가 블록킹되는 현상을 예방하고 아주 간단한 라우팅을 사용할 수 있다. 전역적으로 OIs를 사용할 경우 광변조기와 광검파기에서 지연 시간이 발생하지만, 도파관에서 충분히 보상할 수 있으므로 Els를 사용할 경우보다 지연 시간을 충분히 감소시킬 수 있다. 또한 동적 전압 스케일(Dynamic voltage scaling, DVS)을 사용하여 두 IP 코어 사이의 전압 차이로 인한 전압 레벨 변환기 등의 에너지 오버헤드가 충분히 클 경우에도 OIs를 사용하면 상대적 에너지 절감효과도 얻을 수 있다.

그림 3에서 a)는 Els를 사용한 NoC 구조를 나타내며, b)는 OIs와 Els를 복합적으로 이용하는 NoC 구조를 보여주고 있다. X-Y 라우팅을 사용하여 타일 C3에서 타일 C7로 데이터를 교환하는 경우와 타일 C7과 타일 C8로 데이터를 교환하는 경우를 화살표로 나타내었다. a)의 경우에서 타일 C3과 타일 C7사이의 경로는 임계 경로로서 4개의 혼성 클럭 FIFO와 전압 레벨 변환기 그리고 3개의 노드를 지나는 신호 전달 경로를 거치게 된다. 반면 타일 C7과 타일 C8 사이는 하나의 혼성 클럭 FIFO와 전압 레벨 변환기를 거치게 된다. b)의 경우는 타일 C3과 타일 C7사이의 임계 경로에 대해서 OIs

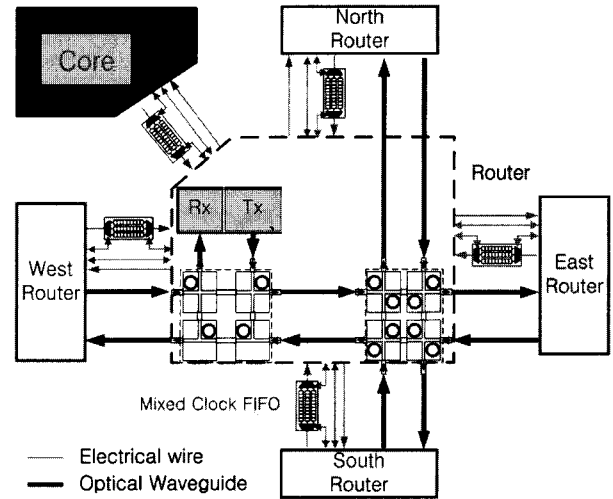


그림 4. 하이브리드 라우터의 구조
Fig. 4. Architecture of hybrid router.

를 사용하므로 도파관을 통해 데이터 교환이 이루어지고 혼성 클럭 FIFO는 사용되지 않으며, 단지 OIs를 사용하기 위한 광변조기와 광감지기만이 사용된다. 그리고 타일 C7과 타일 C8사이의 비 임계경로는 Els를 사용하는 a)의 경우와 같다. a)에서 임계 경로의 경우 혼성 클럭 FIFO와 전압 레벨 변환기 그리고 긴 신호 전달 경로에 의한 지연 시간과 에너지 소비가 상당히 발생하게 된다. 그러나 b)의 경우는 임계 경로에 대해 OIs를 사용하므로 경로 설정과 신호변환을 위해 필요한 지연 시간 그리고 상대적으로 적은 에너지가 소비된다. 또한 타일 C7과 이웃한 타일 C8 사이의 데이터 교환의 경우는 단지 하나의 혼성 클럭 FIFO와 전압 레벨 변환기를 거치는 인접한 경로이므로 지연 시간과 에너지 소비가 크지 않다. 만약 비 임계 경로에 대해서 OIs를 사용할 경우 광변조기 및 광감지기에서 지연 시간으로 인해 성능을 만족하지 못하게 되므로 이웃한 타일 사이의 데이터 교환은 Els를 사용한다.

2. 라우터의 구조.

제안하는 라우터의 구조는 그물(mesh) 또는 원환체(torus)와 같은 2차원 토폴로지와 OIs 그리고 Els를 혼용하여 사용하기 위한 NoC의 구조를 제공한다.

라우터는 Els를 위한 혼성 클럭 FIFO와 헤더 디코더 및 스위칭 패브릭으로 구성되어 있다. 그리고 OIs를 위한 송신기, 수신기, 도파관 그리고 PSE로 구성되어 있다.

라우터는 그림 4과 같이 회색선으로 표시된 Els를 통

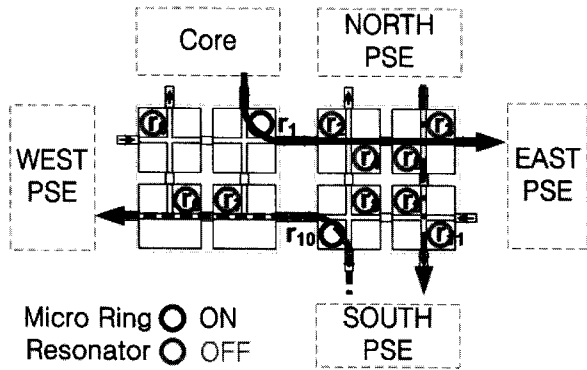


그림 5. PSE의 구조
Fig. 5. Architecture of PSE.

해 데이터를 이동시킬 경우 혼성 클럭 FIFO를 사용하며, OIs를 통해 데이터를 이동시킬 경우 굵은 검은색으로 표시된 도파관을 사용한다.

PSE는 EAST PSE, WEST PSE, SOUTH PSE, NORTH PSE 그리고 코어 방향의 입출력으로 구성되어 있으며, 코어의 방향으로 입력되는 광 신호는 라우터 내부의 광검파기를 통해 전기적인 신호로 변환되고, 코어의 방향에서 출력되는 광 신호는 광변조기를 통해 전기적인 신호에서 광신호로 변환되어 송수신된다. OIs에서 각 도파관을 통해서 들어온 광 신호는 그림 5와 같이 PSE 내의 마이크로 링 공명기(Micro ring resonators)의 ON, OFF 상태에 따라서 방향이 결정된다. PSE로 입력되는 광신호를 스위칭하는 예로 그림 5에서 SOUTH PSE 방향에서 입력된 굵은 검은 색의 점선은 ON상태의 링 공명기 r_{10} 을 통해 WEST PSE 방향으로 방향이 바뀌고, NORTH PSE 방향으로부터 들어오는 광신호는 링 공명기 r_3, r_9 가 OFF 상태이므로 SOUTH PSE 방향으로 그대로 이동하게 된다. 그리고 코어로부터 나오는 광신호는 ON상태의 링 공명기 r_1 을 통해 EAST PSE 방향으로 이동한다. EIs를 통해 들어오는 데이터를 위해 혼성 클럭 FIFO를 각 방향에 사용하며, 각 혼성 클럭 FIFO는 그림 6과 같이 가상 채널을 위하여 둘 이상으로 이루어져 있다. 본 논문에서는 워홀 라우팅을 사용하기 때문에 각 Head Flit의 정보에 따라 가상 채널을 마지막 Tail Flit이 들어 올 때까지 점유하게 된다. Head Flit은 뒤 따르는 Data Flit들이 전선을 통해 이동하는지 아니면 도파관을 통해 이동하는지에 대한 정보를 가지고 있다. 만약 Data Flit들이 도파관을 통해 이동할 경우 라우터는 PSE의 마이크로 링 공명기를 제어하여 데이터 이동 방향을 설정하게 된

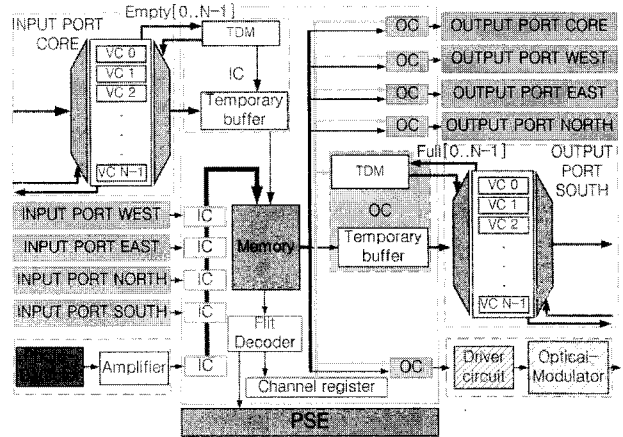


그림 6. 제안된 라우터의 내부 구조
Fig. 6. Internal architecture of proposed router.

다. 반대로 전선을 통해 이동할 경우 라우터는 스위칭 패브릭을 제어하여 다음 라우터로 데이터를 송신한다.

그림 6는 라우터의 내부 구조로서 가상 채널인 VC(Virtual Channel)로부터 데이터 입력 스케줄을 제어하기 위한 IC(Input Controller), 출력 스케줄 제어를 위한 OC(Output Controller), 입력된 Flit의 정보를 얻기 위한 Flit 디코더 그리고 입력된 데이터를 임시저장하기 위한 메모리와 가상채널을 설정하기위한 채널 레지스터로 구성되어 있다. 입력 스케줄을 제어하기 위한 IC는 Empty 신호들을 감지하여 Empty 신호가 감지되지 않는 VC의 FIFO들을 시분할 다중화기를 통해 입력받고 임시 버퍼에 저장한다. 임시버퍼에 저장된 데이터는 메모리의 해당 번지에 저장된다. OC는 Flit 디코더를 통해 얻어진 정보를 통해 설정된 채널 레지스터의 데이터와 출력될 VC에 속한 FIFO의 Full 신호들을 이용한다. 그리고 각 방향으로 출력될 데이터들을 메모리로부터 OC의 임시 버퍼로 가져와 시분할 다중화기를 이용해 가상 채널에 다중화하여 다음 라우터로 보내게 된다.

3. 스위칭 알고리즘.

본 논문에서 제안하는 스위칭 알고리즘은 시분할 다중화를 적용하여 FIFO의 상태 신호에 따라 가상 채널을 선택하여 데이터를 송수신한다. FIFO의 상태 신호에 따라 시분할 다중화를 할 경우 각 가상 채널들이 공평하게 선택됨으로써 기아(starvation) 상태를 예방하고 불필요한 타임슬롯(timeslot)을 제거하여 낭비 없이 더욱 빠르고 효율적으로 데이터를 처리 할 수 있다.

라우터에서 각 방향의 IC와 OC들을 병렬적으로 처리하며, 그림 7과 같이 IC는 시분할 다중화를 이용해

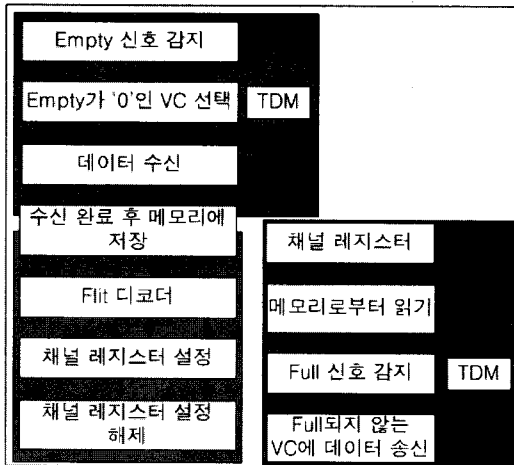


그림 7. 제안된 스위칭 알고리즘의 순서도
Fig. 7. Flow chart of proposed routing algorithm.

Empty 신호가 '0'인 즉 FIFO가 비어있지 않는 가상 채널을 선택하며, 가상채널로부터 데이터를 임시 버퍼에 가져온다. 수신 완료된 데이터는 메모리에 저장되며, Flit 디코더를 통해 Flit Head일 경우 Flit Head의 정보인 목적지 주소를 확인하여 해당 포트의 출력될 가상 채널번호와 입력된 가상 채널번호를 설정한다. 이 설정된 채널 레지스터는 Tail Flit이 입력될 때까지 설정이 유지된다.

설정된 채널 레지스터의 데이터를 이용하여 OC는 메모리로부터 데이터를 읽어온 후 Full 신호가 '0'인 즉 가상 채널의 FIFO가 가득 채워져 있지 않는 가상채널들을 시분할 다중화하여 데이터를 송신하게 된다.

라우터의 IC와 OC의 병렬적 수행을 통해 입출력되는 데이터는 각 방향에서 개별적으로 데이터를 처리함으로써 좀 더 빠른 데이터 입출력이 가능해지며, 각 방향의 가상채널을 효율적으로 관리할 수 있다.

V. 모 의 실험

본 논문에서는 NoC의 복잡한 시스템과 각 요소의 병렬적 처리 그리고 클럭 기반의 타이밍 등을 위해 SystemC^[8] 기반으로 프로그래밍한 시뮬레이터를 사용하였다.

실험은 90nm에서 EIs만 사용하는 경우와 OIs만 사용하는 경우 그리고 본 논문에서 제안하는 라우터의 구조와 비 임계 경로에 대해서 EIs를 사용하고 임계 경로에 대해서 OIs를 사용하는 알고리즘을 적용한 NoC에서의 소비 전력과 지연 시간을 서로 비교하였다.

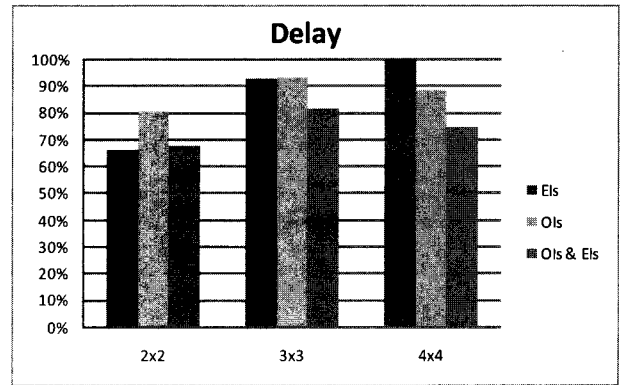


그림 8. 각 네트워크 크기에서의 지연 시간
Fig. 8. Delay in each network size.

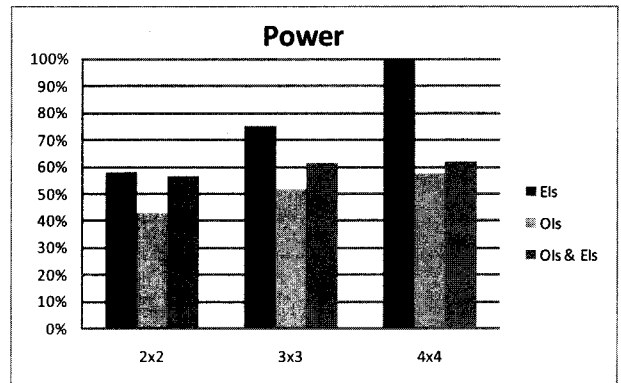


그림 9. 각 네트워크 크기에서의 전력 소모
Fig. 9. Power consumption in each network size.

여기서 우리는 시뮬레이션을 위한 각 요소를 다음과 같이 가정한다. ITRS^[9]에 의해 예측되는 최소 선폭을 7Wmin(Minimum wire width)으로 하며, 그에 상응하는 피치를 8Wmin 그리고 도파관의 피치를 4m로 사용한다.

실험 결과 그림 8과 같이 2x2의 타일들을 가진 NoC에서는 단일 EIs 및 OIs만의 상호연결인 경우보다 EIs와 OIs를 혼용하여 사용했을 때의 지연 시간이 각각 약 2%의 증가와 16%의 감소를 나타내고, 3x3과 4x4의 경우에서 각각 12%와 13% 그리고 25%와 14%의 지연 시간이 감소하였다. 그림 9에서 보인 바와 같이 OIs만을 사용했을 경우 가장 낮은 전력을 소모하지만, 그림 8과 같이 OIs의 광변조기와 광검파기에서의 지연 시간으로 성능을 만족하지 못하는 결과를 나타낸다. 또한 [5]에서와 같이 데이터의 양에 따라 OIs와 EIs를 사용할 경우, 이전에 언급하였던 것과 같이 두 코어가 임계경로에서 EIs를 사용하고 이웃한 경로에서 OIs를 사용할 경우 지연은 증가하게 된다.

실험 결과 타일의 크기가 커질수록 전력 소비를 감소

시키면서 성능 제한을 만족하기 위해서 임계 경로에 대해서 OIs를 사용하고 비 임계 경로에 대해서는 EIs를 사용하는 방법이 효율적으로 나타났다.

VI. 결 론

본 논문에서는 NoC의 성능 향상과 소비 전력 감소를 위해서 OIs와 EIs를 혼용하여 사용하기 위한 라우터의 구조와 라우팅 최적화 방법에 대해서 제안하였다.

OIs의 경우 광변조기와 광검지기 에서 신호변환으로 인해 발생하는 지연 시간 때문에 임계 경로에서 보다 나은 성능을 나타내고, EIs는 FIFO와 전압 레벨 변환기 등으로 인해 비 임계 경로에서 보다 나은 성능을 나타낸다. 이러한 특성을 이용하여 임계 경로와 비 임계 경로에 각각 OIs와 EIs를 사용하여 최대 25%의 성능 향상 및 38%의 전력 감소를 시켰다. 그리고 OIs와 EIs를 혼용하여 사용하기 위한 라우터의 구조로서 EIs를 사용할 경우 불필요한 타임슬롯을 제거하여 효율적으로 데이터를 송수신하였으며, OIs를 사용할 경우 PSE의 공명기를 최소로 설정하기 위한 X-Y라우팅을 사용함으로써 효율적인 라우터 구조 및 스위칭 방법에 대해서 제안하였다.

향후 좀 더 최적화되고 발전된 광변조기 및 광검파기, 그리고 기타 다른 요소들의 개발로 더욱 더 광학 기반의 NoC는 발전 할 수 있을 것이다. 이 논문을 통해 우리는 OIs의 가능성에 좀 더 가까이 다가 갈 수 있음을 보였다.

참 고 문 헌

[1] L. Benini and G. D. Micheli, "Networks on chip: A new SoC paradigm," *IEEE Computer*, pp.70-71, January, 2002.

[2] M. J. Kobrinsky, B. A. Block, J.-F. Zheng, B. C. Barnett, E. Mohammed, M. Reshotko, F. Robertson, S. List, I. Young, and K. Cadien, "On-Chip Optical Interconnects," *Intel Technology Journal*, Vol.8, No. 2, pp.129-141, May 2004.

[3] M. F. Chang, V. P. Roychowdhury, L. Zhang, H. Shin and Y. Qian, "RF/wireless interconnect for inter- and intra-chip communication," in *Proceedings of the IEEE*, Vol.89, No.4, pp.456-466, April 2001.

[4] Guoqing Chen and Hui Chen, "On-chip copper-Based vs. Optical Interconnects: Delay Uncertainty, Latency, Power, and Bandwidth Density Comparative Predictions," *IEEE Interconnect Technology conference*, pp.39-41, June 2006.

[5] A. Shacham, K. Bergman, and L.P. Carloni, "On the Design of a Photonic Network-on-Chip," *International Symposium on Networks-on-Chip*, pp.53-64, May, 2007.

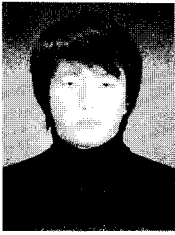
[6] Q. Xu, B. Schmidt, S. Pradhan, and M. Lipson, "Micrometre-scale silicon electro-optic modulator," *nature*, Vol. 435, pp.325-327, May, 2005.

[7] S. V. Averine, Y. C. Chan, and Y. L. Lam, "Geometry Optimization of Interdigitated Schottky-Barrier Metal-Semiconductor-Metal Photodiode Structures," *Solid-State Electronics*, Vol. 45, No. 3, pp. 441-446, March 2001.

[8] *IEEE Std 1666TM-2005 Standard SystemC Language Reference Manual*.

[9] *The International Technology Roadmap for Semiconductors, Semiconductor Industry Association, California, 2003.*

저 자 소 개



권 순 태(학생회원)
 2008년 군산대학교 전기전자제어
 공학 학사 졸업
 2008년 3월~현재 성균관대학교
 정보통신공학부 석사과정.
 <주관심분야 : NoC/SoC 설계, 임
 베디드 시스템, 프로세서 설계>



한 태 희(평생회원)-교신저자
 1992년 KAIST 전기 및
 전자공학과 학사 졸업.
 1994년 KAIST 전기 및
 전자공학과 석사 졸업.
 1999년 KAIST 전기 및
 전자공학과 박사 졸업.
 1999년 3월~2006년 8월 삼성전자 통신연구소
 책임연구원.
 2006년 3월~2008년 2월 한국산업기술대학교
 전자공학과 조교수.
 2008년 3월~현재 성균관대학교 정보통신공학부
 반도체시스템공학 전공 조교수.
 <주관심분야 : IT SoC 설계 및 설계 방법론, 단
 말 시스템, IT 융합 기술>



조 준 동(정회원)
 1980년 성균관대학교 전자공학과
 학사 졸업.
 1989년 Polytechnic Univ. 전산학
 석사 졸업.
 1993년 Northwestern Univ
 전기전산학 박사 졸업.
 1993년 8월~1995년 2월 삼성전자 반도체연구소
 CAD팀 연구원.
 1995년 3월~현재 성균관대학교 정보통신공학부
 교수.
 <주관심분야 : Low Power SoC/CAD, SDR>