논문 2009-46SD-9-8

넓은 동적 영역의 파워 검출기를 이용한 DVB-S2용 디지털 자동 이득 제어 시스템

(A Fully Digital Automatic Gain Control System with Wide Dynamic Range Power Detectors for DVB-S2 Application)

부 영 건*, 박 준 성*, 허 정**, 이 강 윤**

(YoungGun Pu, Joon-Sung Park, Jeong Hur, and Kang-Yoon Lee)

요 약

본 논문에서는 높은 대역폭과 넓은 동적 영역을 갖는 DVB-S2를 위한 새로운 디지털 이득 제어 시스템을 제안하였다. DVB-S2 시스템의 PAPR은 매우 크며, 요구되는 정착 시간은 매우 작기 때문에 일반적인 폐-루프 아날로그 이득 제어 방식은 사용할 수 없다. 정확한 이득 제어와 기저 대역 모뎀과의 직접적인 인터페이스를 위해서 디지털 이득 제어가 필요하다. 또한 아날로그 이득 제어 방식에 비해 정착 시간과 공정, 전압, 온도 값의 변화에 둔감한 이점을 갖는다. 본 논문에서는 세밀한 해상도와 넓은 이득 영역을 갖기 위해서 AGC 시스템 및 구성회로를 제안하였다. 이 시스템은 높은 대역폭의 디지털 VGA와 넓은 파워 범위를 가진 RMS 검출기, 저 전력의 SAR 타입 ADC, 그리고 디지털 이득 제어기로 구성되어 있다. 파워 소모와 칩 면적을 줄이기 위해 한 개의 SAR 타입 ADC를 사용했으며, ADC 입력은 4개의 파워 검출기를 사용하여 시간 축 상에서 인터리빙 방식으로 구현하였다. 모의실험 및 측정 결과는 제안하는 AGC 시스템의 이득 에러가 10 μs 내에서, 0.25 dB보다 낮은 것을 보여주고 있다. 전체 칩은 0.18 μm CMOS 공정을 사용하여 설계하였다. 제안된 IF AGC 시스템의 측정 결과는 0.25 dB의 해상도와 80 dB의 이득 범위, 8 $nV/\sqrt{Hz}$의 입력 기준 잡음, IIP_3는 5 dBm, 전력 소모는 60 mW임을 보여주고 있다. 파워 검출기는 100 MHz 입력에서 35 dB의 동적 영역을 갖는다.

Abstract

This paper presents a fully digital gain control system with a new high bandwidth and wide dynamic range power detector for DVB-S2 application. Because the peak-to-average power ratio (PAPR) of DVB-S2 system is so high and the settling time requirement is so stringent, the conventional closed-loop analog gain control scheme cannot be used. The digital gain control is necessary for the robust gain control and the direct digital interface with the baseband modem. Also, it has several advantages over the analog gain control in terms of the settling time and insensitivity to the process, voltage and temperature variation. In order to have a wide gain range with fine step resolution, a new AGC system is proposed. The system is composed of high-bandwidth digital VGAs, wide dynamic range power detectors with RMS detector, low power SAR type ADC, and a digital gain controller. To reduce the power consumption and chip area, only one SAR type ADC is used, and its input is time-interleaved based on four power detectors. Simulation and measurement results show that the new AGC system converges with gain error less than 0.25 dB to the desired level within 10 μs. It is implemented in a 0.18 μm CMOS process. The measurement results of the proposed IF AGC system exhibit 80-dB gain range with 0.25-dB resolution, 8 $nV/\sqrt{Hz}$ input referred noise, and 5-dBm IIP_3 at 60-mW power consumption. The power detector shows the 35dB dynamic range for 100 MHz input.

Keywords : DVB-S2, AGC, VGA, wide dynamic range, power detector, RMS

* 학생회원, ** 평생회원, 건국대학교 전자정보통신공학부
(Department of Electronic Engineering, Konkuk University)

※ 이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임 (No. 2009-0068457).
접수일자: 2009년6월12일, 수정완료일: 2009년8월25일

Ⅰ. 서 론

DVB-S2 (Digital Video Broadcasting - S2)는 멀티미디어 콘텐츠의 전송을 위한 표준이다. DVB-S2 서비스를 위한 UHF 스펙트럼은 다양한 위치로부터 전송되어 오는 방송 신호를 수용해야하기 때문에, DVB-S2 튜너로부터 수신된 원하지 않는 채널 신호가 원하는 채널의 신호보다 클 수도 있다. 이에 따라, DVB-S2 튜너는 저전력의 특성과 함께 엄격한 선형성 스펙이 요구된다[1].

무선 채널로부터 수신된 파워는 예측할 수 없기 때문에, AGC(Automatic Gain Control)는 DVB-S2 수신기에서 필수적인 기능이다. AGC 회로는 일정하지 않은 세기의 입력 신호로부터 원하는 크기의 출력 신호로 유지한다. AGC 회로는 매우 작거나 큰 신호를 처리할 수 있으며, 폐루프를 이용하여 진폭이 일정한 신호를 생성할 수 있다. 진폭이 일정한 신호는 입력 동적 영역이 넓지 않은 AGC 뒷단의 회로에 전달된다[2]. DVB-S2 시스템에서 신호 대역폭은 100 MHz이며, 이득 정착 시간은 10 μs이다.

이득은 Preamble 구간 내에서 높은 해상도로 세팅되어야 하며, in-phase 와 quadrature-phase 간의 이득 불일치도 보상되어야 한다. 또한, AGC 시스템에서는 공정, 전압, 온도 변화에 대한 영향이 작아야 하며, 이는 AGC 시스템에서 중요한 요소로 고려된다. Preamble 구간 동안, 이득은 검출된 파워 레벨에 따라 정해지고 전체 패킷 시간의 나머지 시간 동안 유지된다.

전통적으로 폐 루프 아날로그 AGC에서는 원하는 출력 신호의 세기를 조정하기 위하여 VGA (Variable Gain Amplifier)의 이득을 조정하는 피드백 루프를 사용한다. 이러한 AGC 루프에서 신호의 진폭은 일반적으로 피크 검출기에서 측정된다. 검출된 진폭은 정현파와 같이 고정된 PAPR (peak-to-average power ratio)을 갖는 신호의 진폭으로 나타낼 수 있으나, 높은 PAPR을 갖는 신호에 대해서는 신뢰할 수 없다. 특히, DVB-S2 어플리케이션에서는 신호의 진폭을 검출하는데 짧은 시간이 요구되므로 더욱 어렵게 된다. 또한, 전통적인 아날로그 AGC 방식은 아날로그 입력 신호에 대한 검출이 어렵기 때문에 정확한 이득을 제공하지 못한다[3]. 폐 루프 AGC의 적절한 동작을 위하여, 진폭을 결정하는 시간은 루프 필터의 시정수보다 매우 작아야 한다[4]. 입력의 진폭이 변화하면, 검출된 출력 신호의 진폭은 원하는 DC 진폭과 비교되고, 그 오차 성분은 출력 신호가 일정한 진폭의 출력을 내보낼 수 있도록 VGA의 이득을 조정하기 위해 궤환 된다. 부궤환 루프는 연속적으로 입력 진폭 변화에 따라 반응하고, 안정화를 위해서는 루프 반응이 매우 느려야 한다. 또한, 루프 필터의 저항과 커패시턴스로 인해 많은 면적이 요구 되고, AGC의 동작은 공정, 전압, 온도 변화에 따른 영향을 받기 쉽다.

본 논문에서 제안한 DVB-S2 튜너용 AGC 시스템은 공정, 전압, 온도 변화에 둔감하며, 디지털 이득 제어기에서 간단한 디지털 필터를 사용하였기 때문에 작은 면적을 요구한다. 또한, 빠른 이득 정착 시간을 만족할 수 있으며, 기저대역 모뎀과의 직접적인 디지털 인터페이스가 가능하다. 제안된 디지털 이득 제어 시스템은 단순한 디지털 인터페이스로 인하여 이득 기준값, 평균화 카운터, 그 외 시스템 성능과 연관된 파라미터 값들을 유연하게 조정할 수 있다.

제안된 효과적인 디지털 AGC 시스템은 높은 대역폭을 가진 디지털 VGA와 넓은 동적 영역을 가진 파워 검출기, RMS 검출기, 저 전력 SAR 타입 ADC 및 디지털 이득 제어기로 구성되어 있다. 또한, 본 논문에서는 세밀한 이득 조절 해상도를 갖고, 넓은 이득 범위를 갖기 위해 RMS 검출기를 가진 넓은 동적 영역의 파워 검출기를 제안하였다. 전력 소모 및 칩 면적을 줄이기 위하여, 한 개의 SAR 타입 ADC를 사용하였으며, 그 입력은 시간 인터리빙 방식으로 4개의 파워 검출기에 연결되도록 설계하였다.

제안한 디지털 VGA는 60 mW의 전력을 소모하면서 DVB-S2 시스템의 이득 및 선형성 스펙을 만족할 수 있다. 또한, I/Q 이득 불일치 보상 VGA를 AGC 시스템에 적용함으로써 I/Q 이득 불일치를 세밀하게 보상할 수 있다.

Ⅱ. 본 론

1. AGC 시스템 구조

DVB-S2 시스템의 설계에서는 정확한 이득 제어가 중요하다. 수신 단에서는 80 dB 보다 큰 동적 영역이 요구된다. 이득 제어 루프는 높은 ACS (Adjacent Channel Selectivity) 와 최적의 SNR을 만족하도록 설계되어야 한다. 기저 대역 VGA의 이득이 최대일 때, SNR은 매우 중요한 설계 이슈이다. 어떠한 신호 처리

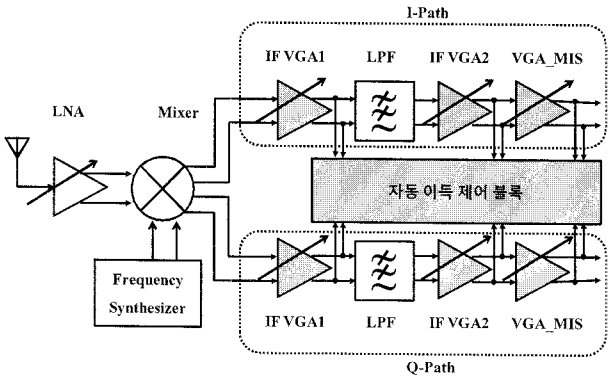


그림 1. 전체 블록 다이어그램
Fig. 1. Overall block diagram.

조건에서도 AGC 회로는 전체 SNR을 충분히 만족시킬 수 있도록 효율적으로 이득을 분배해야 한다[5]. 이득 분배가 매우 복잡하더라도, 실제 이득 제어는 미리 정해진 이득 제어 알고리즘에 의해서 구현할 수 있다. 이득은 디지털 방식에 의해서 제어되기 때문에 디지털 이득 제어를 위해 최적화된 새로운 AGC 블록이 설계되어야 한다.

그림 1은 DVB-S2 수신기의 전체 블록 다이어그램이다. 기저 대역 회로 안에는 시스템 동적 영역 특성을 만족시키기 위한 2개의 IF VGA가 있다 . VGA1과 VGA2는 각각 20 dB 동적 영역을 갖는 두 개의 sub-VGA로 구성되어 있다.

그림 2는 -80 dBm에서 -10 dBm 까지 70dB의 동적 영역을 갖는 입력신호가 수신단을 통과하면서 신호 레벨이 어떻게 변하는지 보여주고 있다. 특히, IF VGA1으로 입력되는 최소 입력 신호 레벨은 -60 dBm, 최대

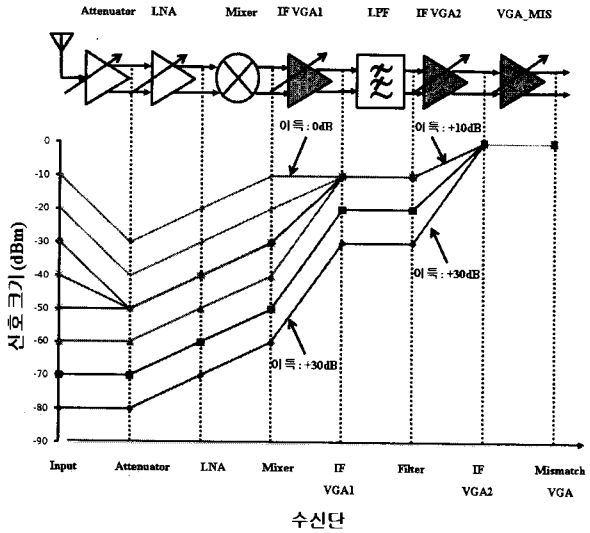


그림 2. 시스템 신호 흐름
Fig. 2. System signal flow.

표 1. IF VGA1과 IF VGA2의 사양
Table 1. Specification of the IF VGA1 and IF VGA2.

파라미터		사양
고주파 차단 주파수		< 1 kHz
3dB 대역폭		> 100 MHz
이득	IF VGA1 & IF VGA2	0 dB ~ 35 dB
입력 기준 잡음	IF VGA1 & IF VGA2	$< 10\ nV/\sqrt{Hz}$
IIP_3	IF VGA1 & IF VGA2	> 0 dBm

입력신호 레벨은 -10 dBm이다. 이에 따라, 최대 30dB 이득 영역을 가져야 한다. 마찬가지로, IF VGA2 는 최소, 최대 입력 신호 레벨이 -30 dBm과 -10 dBm이므로 30 dB 이득 영역을 가져야 한다.

IF VGA1과 IF VGA2의 성능은 전체 시스템에서 요구하는 바를 만족하고, 그 내용은 표 1에 나타나있다.

IF VGA1과 IF VGA2의 입력 기준 잡음은 시스템 NF 사양인 4 dB를 만족하기 위해서 $10\ nV/\sqrt{Hz}$ 보다 작아야 하고, IIP_3는 0 dBm보다 커야 한다.

IF VGA1 과 IF VGA2의 이득 제어 범위는 35 dB 이고, 3 dB 대역폭은 100 MHz보다 커야 한다.

그림 3 은 제안한 디지털 AGC 시스템 구조를 보여주고 있다. 전체 기저 대역은 VGA1, VGA2, LPF, VGA_MIS, PD's (Power Detectors)로 구성되어 있다. VGA1과 VGA2의 출력 레벨은 PD1과 PD2에 의해서 검출된다. 동시에, VGA_MIS의 출력 레벨은 PD3과 PD4에서 검출된다. VGA_MIS는 0.25 dB의 정밀한 해상도를 갖는다. 그림 3에서 4개의 파워 검출기는 ADC

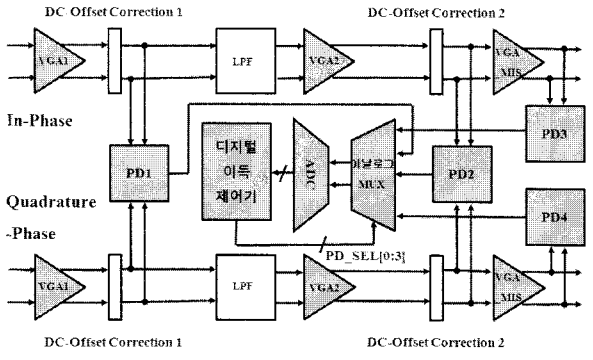


그림 3. 제안하는 디지털 AGC 시스템 구조
Fig. 3. Proposed digital AGC system architecture.

로 연결되어 있어 ADC의 개수를 줄임으로써 전력소모를 줄일 수 있다. ADC는 파워 검출기의 출력을 그에 상응하는 디지털 코드들로 바꾼다. 이 코드들은 디지털 이득 제어기에서 이득 제어에 사용 된다.

그림 4 는 ADC의 아날로그 MUX 제어 타이밍을 나타낸다. 파워 검출기 블록들(PD1 - PD4)은 디지털 이득 제어기로부터 나오는 제어 신호인 PD_SEL[0:3]에 의해서 파워 검출기의 출력이 ADC에 연결되었을 때만 동작하기 때문에, 전력 및 면적 소모를 줄일 수 있다. 예를 들어, PD_SEL[0]이 high일 때, PD1은 동작하고, PD1의 출력은 ADC에 연결이 된다. ADC의 latency 이후에, 디지털 파워 측정을 위해 디지털 이득 제어기에서 해당되는 ADC의 출력이 래칭 되고, 래칭 된 ADC 출력의 평균값이 Digital Gain Controller 내의 leaky integrator에서 연산된다.

입력 신호의 PAPR은 매우 크므로, 동작의 안정성을 위해서 디지털 필터링이 필요하다. 또한, 이득 발진을 막기 위해서 이득제어 알고리즘에서 히스테리시스 (hysterisis)가 필요하다.

그림 5 는 VGA1의 이득 제어를 위한 state diagram 이다. PD1_DATA는 leaky integrator에서 PD1 (Power Detector 1)의 평균값이다. PD1의 레벨이 VGA1_GC_TH보다 크면, 이득 제어 상태는 GC_State1으로 변하게 된다.

GC_State1 상태에서, VGA1의 이득은 PD1_DATA를 VGA1_TH와 같게 만들기 위해서 (PD1_DATA - VGA1_TH)만큼 감소되고, GC_State3로 이동하게 된다.

GC_State3 상태에서 PD1의 출력 파워의 변화량 (|PD1_DATA(n+1) - PD1_DATA(n)|) 이 히스테리시

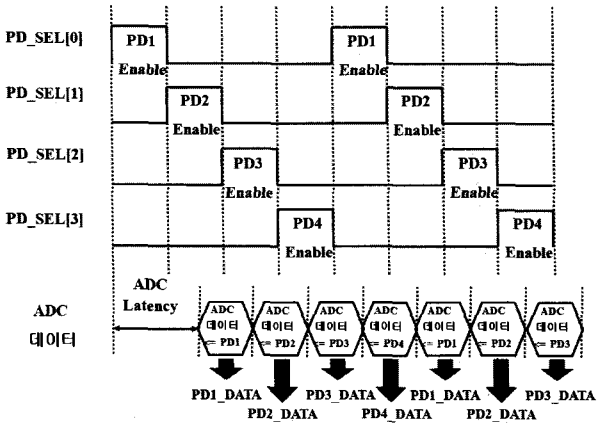


그림 4. ADC의 아날로그 MUX 제어 타이밍
Fig. 4. Analog MUX control timing of the ADC.

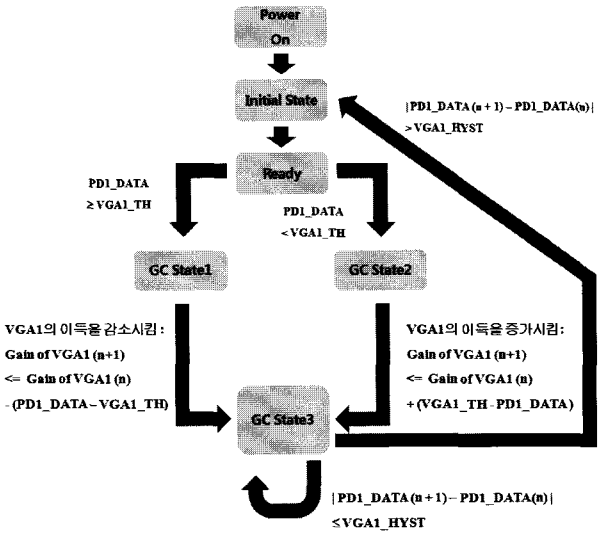


그림 5. VGA1 이득 제어 알고리즘의 state diagram
Fig. 5. State diagram of gain control algorithm for VGA1.

스의 경계 (VGA1_HYST) 보다 작을 경우에는 발진을 막기 위해 변화가 일어나지 않는다. 히스테리시스의 경계 (VGA1_HYST) 보다 커지면, 그 상태는 다음 이득 제어를 위한 준비상태로 이동한다. 그 히스테리시스 경계들은 시리얼 인터페이스를 통해서 가변으로 정할 수 있다.

전체 기저 대역 이득이 매우 작을 때, 이득은 선형성을 향상시키기 위하여 앞 단으로부터 증가되어야 한다. 반면에, 이득이 매우 클 때는 SNR을 향상시키기 위하여, 이득은 뒷 단으로부터 감소시켜야 한다.

2. 구성 블록

그림 6은 디지털 VGA의 회로도를 보여주고 있다. VGA의 이득 A_v는 R_1과 R_2의 비로 조정되며, R_1은 저항과 스위치 조합으로 구성하여 이득을 가

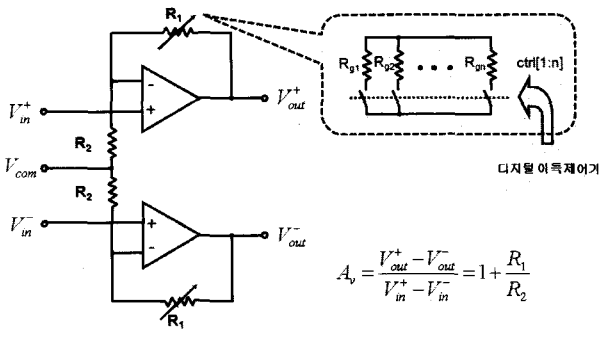


그림 6. 디지털 VGA의 회로도
Fig. 6. Schematic of Digital Variable Gain Amplifier.

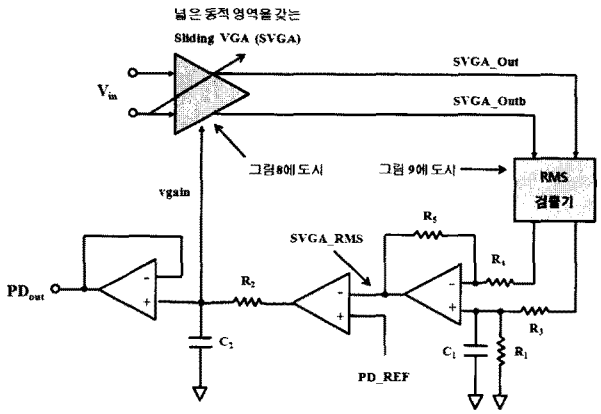


그림 7. 제안된 넓은 동적 영역을 갖는 파워 검출기
Fig. 7. Proposed wide dynamic range power detector.

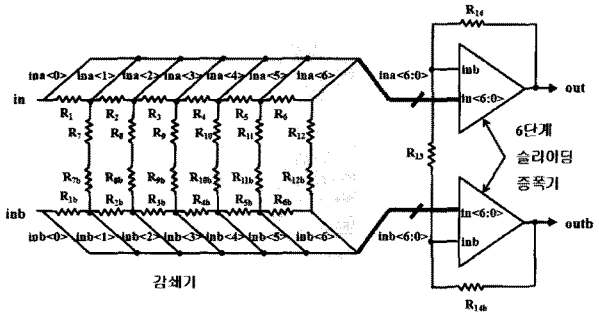
변적으로 조정이 가능하도록 하였다.

스위치를 제어하는 신호인 ctrl[1:n]은 디지털 이득 제어기에 의해 조정된다. 스위치 및 저항 조합의 개수는 이득 제어 간격 및 전체 이득에 의해 결정된다.

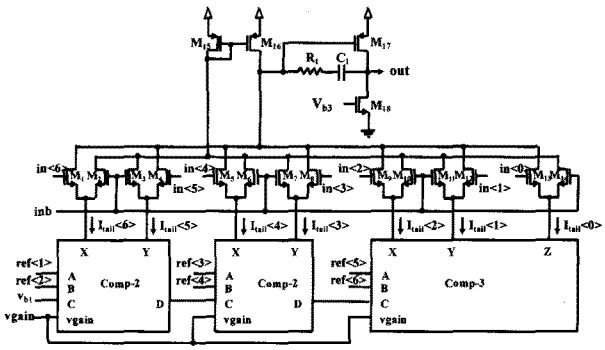
그림 7은 넓은 동적 영역을 갖는 파워 검출기의 회로도를 보여주고 있다. 넓은 동적 영역을 커버하기 위해 넓은 동적 영역의 슬라이딩 VGA (SVGA)에 RMS 검출기 (RMS DET)를 연결하였다. SVGA의 이득은 이득 제어 신호인 vgain 의해 조정된다. RMS 검출기는 SVGA의 출력에 해당되는 SVGA_Out 과 SVGA_Outb 의 RMS 값을 검출 한다.

RMS 검출기의 출력 레벨 (SVGA_RMS)가 PD_REF 보다 작을 경우, SVGA의 이득을 더 증가시키기 위해 VGA의 제어 신호 vgain이 증가하게 된다. 반대로, RMS 검출기의 출력 레벨이 PD_REF보다 클 경우에는 VGA의 이득을 감소시키기 위해 VGA의 제어 신호 vgain이 감소한다. 이와 같은 방식에 따라, SVGA의 출력 레벨은 RMS 파워 검출기의 동적 영역 내에서 조정된다. SVGA의 기울기는 58dB/V이며, RMS 검출기의 기울기는 22mV/dB이다.

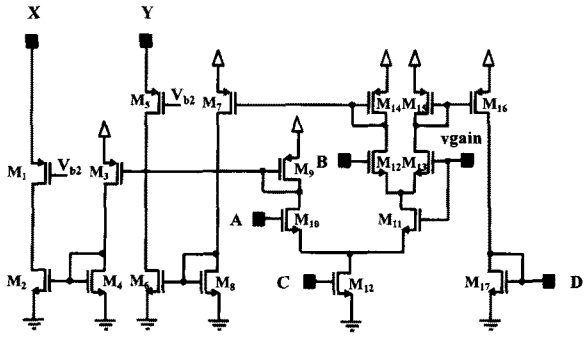
그림 8 (a)는 제안된 넓은 동적 영역의 파워 검출기를 구성하는 SVGA의 회로도를 보여주고 있다. SVGA는 감쇄기와 여섯 단계 슬라이딩 증폭기로 구성된다. 감쇄된 입력 신호인 ina<6:0>와 inb<6:0>는 여섯 단계 슬라이딩 증폭기에 연결된다. 그림 8 (b)에서 보이는 바와 같이 여섯 단계 슬라이딩 증폭기는 감쇄된 신호와 이득 제어 신호인 vgain을 받아들인다. 7개 입력 가운데 1개 입력이 vgain 신호의 범위에 따라 선택된다. vgain 신호는 6개 기준 전압 ref<6:1>와 비교되



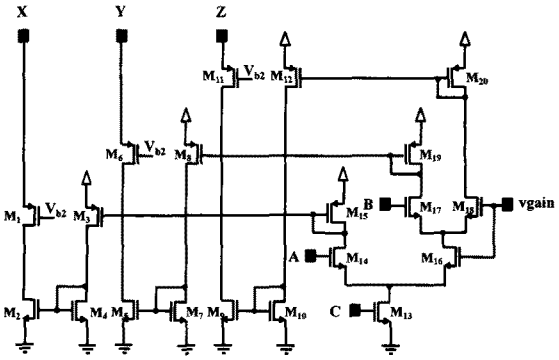
(a) 넓은 동적 영역을 가진 슬라이딩 VGA의 회로도
(a) Schematic of wide dynamic range Sliding VGA (SVGA).



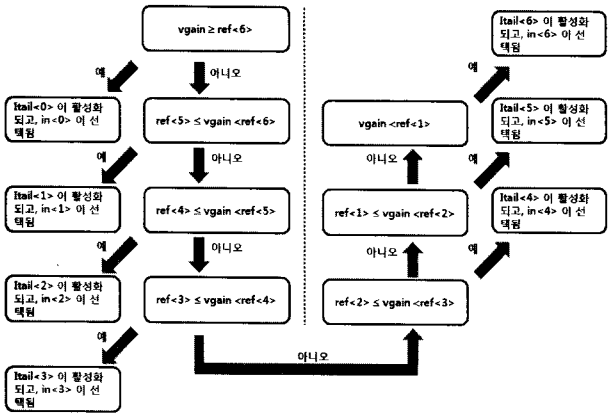
(b) 그림 8 (a)내의 여섯 단계 슬라이딩 증폭기의 회로도
(b) Schematic of Six-Step Sliding Amplifier in Fig. 8 (a)



(c) 그림 8 (b)내의 Comp-2의 회로도
(c) Schematic of Comp-2 in Fig. 8 (b).



(d) 그림 8 (b)내의 Comp-3의 회로도
(d) Schematic of Comp-3 in Fig. 8 (b).



(e) 여섯 단계 슬라이딩 증폭기의 동작 원리

(e) Operation principle of Six-Step Sliding Amplifier.

그림 8. 파워 검출기내의 넓은 동적 영역을 가진 슬라이딩 VGA

Fig. 8. Wide Dynamic Range Sliding VGA (SVGA) in Power Detector.

며, 비교 결과에 따라 7개 가운데 1개의 꼬리 전류원(tail current source)이 동작하고, 7개 입력 가운데 1개의 입력이 선택된다.

여섯 단계 슬라이딩 증폭기는 2개의 Comp-2 비교기와 1개의 Comp-3 비교기로 구성된다. 그림 8 (c)와 (d)는 그림 8 (b)의 Comp-2와 Comp-3의 회로도를 보여주고 있다. ref<6>의 전압 레벨은 가장 높고 ref<1>의 전압 레벨은 가장 낮다. 그림 8 (e)에서 설명하고 있는 바와 같이, gain 제어 신호인 vgain에 따라 7개의 꼬리 전류원들, Itail<6:0> 중에서 1개가 동작되고 7개의 입력 신호들, in<6:0> 중에서 1개가 선택된다.

예를 들어, vgain이 ref<6>보다 클 경우, Itail<0>이 동작되고 in<0>이 입력으로 선택된다. 그림 8 (e)는 vgain에 따른 모든 경우를 요약하여 보여주고 있다.

그림 9는 RMS 파워 검출기의 회로도를 보여주고 있다. I 채널 신호는 $I(t) = A_m\cos(wt+q)$로 나타낼 수 있으며, Q 채널 신호는 $Q(t) = A_m\sin(wt+q)$로 나타낼 수 있다. RMS 파워 검출기는 I 채널 신호와 Q 채널 신호를 제곱하고, 두 항을 더하여 A_m의 진폭을 갖는 출력으로 내보내게 된다. 파워 검출기의 출력은 SAR 타입의 ADC에 연결되며, 디지털 이득 제어기 내의 leaky integrator에 의해 평균값이 계산된다. RMS 검출기는 SVGA의 출력 크기의 RMS 값을 검출할 수 있다. 이와 같이, SVGA의 이득은 SVGA의 출력 레벨을 최적으로 만들기 위해서 조정된다.

그림 10은 ADC의 블록 다이어그램과 타이밍 다이어

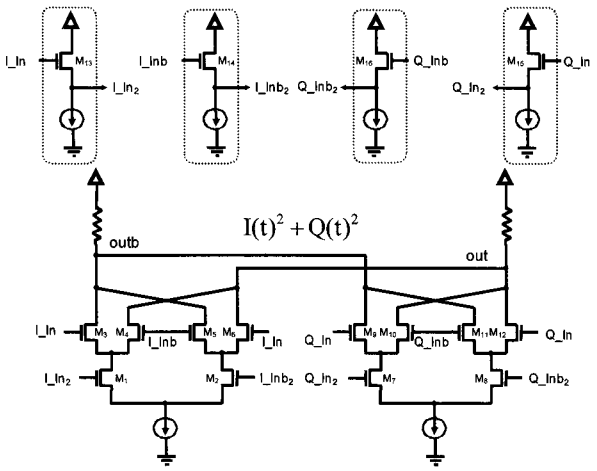
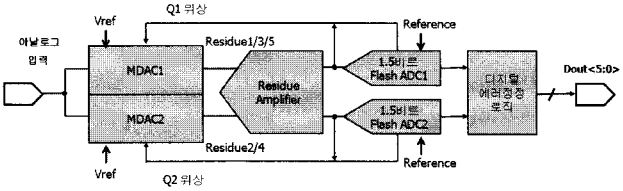


그림 9. RMS 파워 검출기

Fig. 9. RMS power detector.



(a)

클럭 위상	Q1	Q2	Q1	Q2	Q1	Q2	Q1	Q2
Flash ADC1에서 샘플링되는 입력 전압	Reference	아날로그 입력	Reference	Residue2	Reference	Residue4		
Flash ADC2에서 샘플링되는 입력 전압		Reference	Residue1	Reference	Residue3	Reference	Residue5	
MDAC1에서 샘플링되는 입력 전압		아날로그 입력	Dout<5> X Vref	Residue2	Dout<3> X Vref	Residue4	Dout<1> X Vref	
MDAC2에서 샘플링되는 입력 전압			Residue1	Dout<4> X Vref	Residue3	Dout<2> X Vref	Residue5	Dout<0> X Vref
출력 디지털 데이터			Dout<5>	Dout<4>	Dout<3>	Dout<2>	Dout<1>	Dout<0>

ADC의 Latency

(b)

그림 10. (a) 블록 다이어그램 (b) ADC의 타이밍 다이어그램

Fig. 10. (a) Block diagram. (b) Timing diagram of ADC.

그램을 보여주고 있다. 면적 및 전력 소모를 줄이기 위해서 SAR 타입 ADC를 사용하였다. SAR 타입 ADC는 2개의 MDAC (Multiplying DAC)과 1개의 Residue Amplifier, 2개의 flash ADC로 구성된다. 면적 및 전류 소모를 최소화하기 위해서, Sample and Hold Amplifier (SHA)는 제거하고, Residue Amplifier를 두 개의 MDAC 사이에 공유하여 사용하였다.

그림 10 (b)에서 보이고 있는 바와 같이, 두 개의 MDAC은 오버랩 되지 않는 2개 위상의 클록에 따라 교

대로 동작된다. 아날로그 입력과 디지털 출력간의 latency는 6 주기이다. 이에 따라, 디지털 이득 제어기는 latency 이후에 ADC 출력을 래칭하도록 설계하였다.

III. 실 험 결 과

칩은 1 poly, 6 layer, 0.18 μm CMOS 공정으로 설계하였으며, MIM (Metal-Insulator-Metal) 커패시터 및 높은 쉬트 저항을 갖는 폴리 저항을 사용하였다.

그림 11은 칩 사진을 보여주고 있다. AGC 시스템은 DVB-S2용 송수신기의 구성 블록으로 제작되었다. AGC 시스템의 구성 블록의 면적은 표 2에 요약하였다.

그림 12는 sub-VGA의 측정 결과를 보여주고 있다. 이득 범위는 20 dB이며 이득 간격은 2 dB이다. IF VGA1과 IF VGA2는 2단 Sub-VGA로 구성되어 있다. 이득 간격은 저항 및 스위치 조합으로 조정할 수 있다.

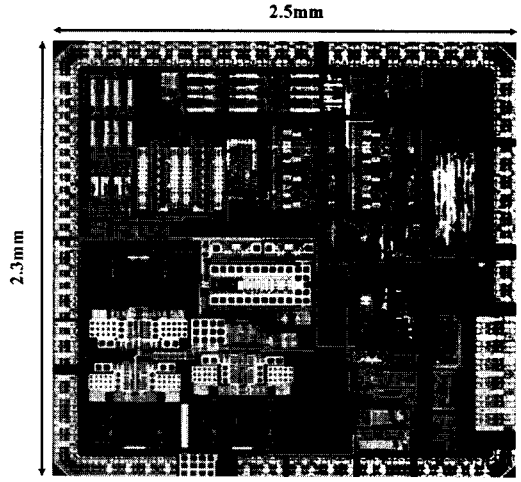


그림 11. 칩 사진
Fig. 11. Chip Microphotograph.

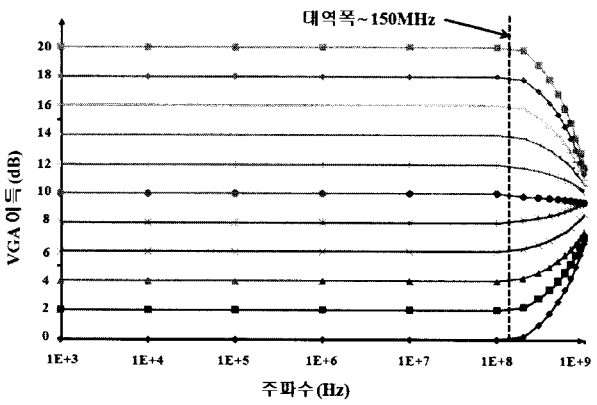


그림 12. Sub-VGA의 이득 측정 결과
Fig. 12. Measured Gain of Sub-VGA.

Sub-VGA의 3dB 대역폭은 150 MHz이며, 이는 DVB-S2 규격의 스펙을 만족한다. Sub-VGA에 사용된 연산 증폭기의 바이어스 전류는 최소한의 전력을 소모하면서 대역폭을 넓힐 수 있도록 조정 가능하게 설계하였다.

그림 13은 sub-VGA의 잡음 모의실험 결과를 보여주고 있다. 출력 잡음은 22 dB 이득에서 63 $nV/\sqrt{Hz}$ 이며, 10dB 이득에서 26 $nV/\sqrt{Hz}$ 이다. 입력 기준 잡음은 약 8 $nV/\sqrt{Hz}$ 이며 이는 수신단의 잡음 스펙을 만족한다. 연산 증폭기의 플리커 잡음은 트랜지스터의 width와 length를 증가시켜서 줄이도록 설계하였다.

Folded-cascode 연산 증폭기의 꼬리 전류원은 주요 플리커 잡음원으로 작용하기 때문에 꼬리 전류원에 사용되는 트랜지스터의 사이즈를 최적화 하였다.

VGA의 잡음 성능 및 선형성 간에는 VGA에 사용되는 저항 사이즈로 인하여 trade-off 관계가 존재한다. 저항의 크기를 키우게 되면 열 잡음 성분이 증가하게 되고 저항의 크기가 작을 경우에는 선형성 성능이 떨어지게 된다. 이에 따라, 그림 6에서 보이는 VGA의 피드백 저항 R_1 및 R_2는 DVB-S2 수신기의 노이즈 및 선형성 스펙을 만족시키기 위해 크기를 최적화하였다.

그림 14는 VGA의 선형성 측정 결과를 보여주고 있다. DVB-S2 수신기의 선형성 성능을 만족시키기 위해서는 VGA의 IIP_3는 시스템 모의실험에 따라 결정된 IIP_3 스펙인 0 dBm보다 높아야 한다. 이에 따라, VGA는 20 dB gain에서 5 dBm의 IIP_3를 갖도록 설계하였다. IIP_3 성능을 최대화시키기 위해 VGA에 사용된 folded-cascode 연산 증폭기의 트랜지스터 크기와 저항

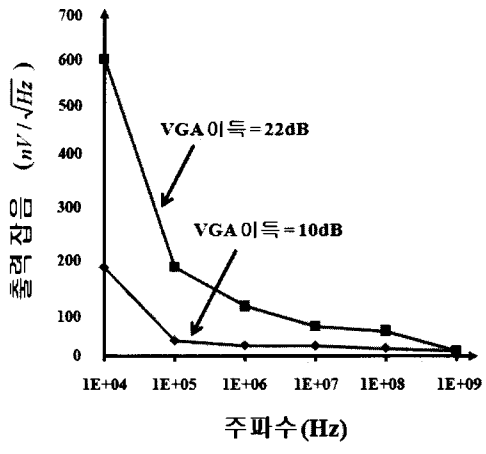


그림 13. Sub-VGA의 잡음 모의실험 결과
Fig. 13. Noise simulation results of Sub-VGA.

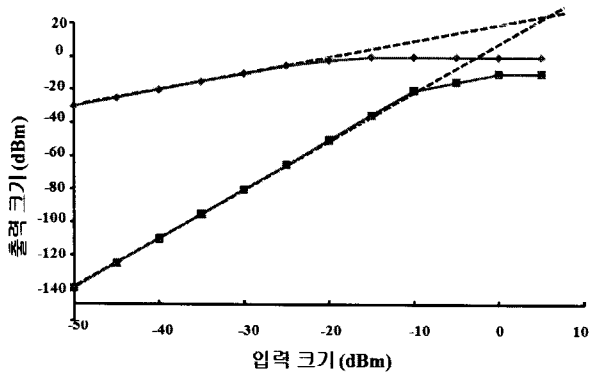


그림 14. VGA의 선형성 측정 결과
Fig. 14. Measured linearity of VGA.

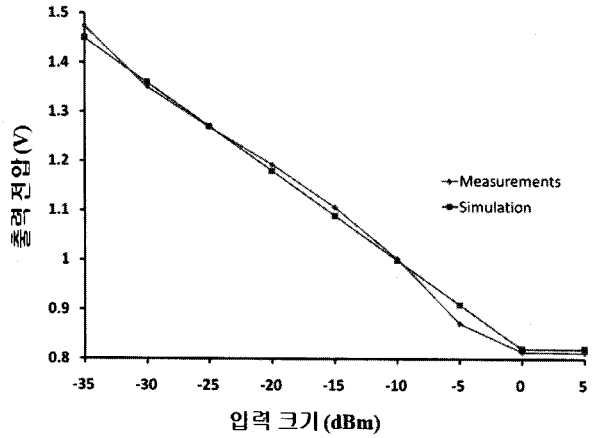


그림 15. 파워 검출기의 동적 영역 측정 결과
Fig. 15. Measured dynamic range of power detector.

의 크기를 최적화 하였다.

그림 15는 파워 검출기의 동적 영역을 대한 모의실험 결과 및 측정 결과를 보여주고 있으며, 측정 결과는 모의실험 결과와 거의 일치하는 것을 알 수 있다. -35 dBm에서 0 dBm 사이의 입력 범위를 갖는 것을 알 수 있으며, 이 때 파워 검출기의 출력 전압은 1.5 V에서 0.8 V로 변한다. 이는 파워 검출기의 출력 전압 범위가 입력 신호의 대역폭이 100 MHz보다 클 때 0.7 V임을 나타낸다. 파워 검출기의 출력은 그림 3의 SAR 타입 ADC에 연결되기 때문에 파워 검출기의 출력 범위는 ADC의 입력 범위에 맞도록 설계하였다.

그림 16은 VGA의 출력 스펙트럼의 측정 결과를 보여주고 있다. 입력 신호의 주파수가 100 MHz일 때 출력 파워는 0 dBm을 갖는 것을 알 수 있다.

그림 17은 이득 제어 알고리즘의 모의실험 결과를 보여주고 있다. 이득 제어는 VGA1, VGA2, 그리고 I/Q 불일치 보상 VGA의 순서로 진행된다.

첫 번째, IF VGA1의 이득이 제어되고 IF VGA1의 출력 레벨은 목표 레벨로 조정된다.

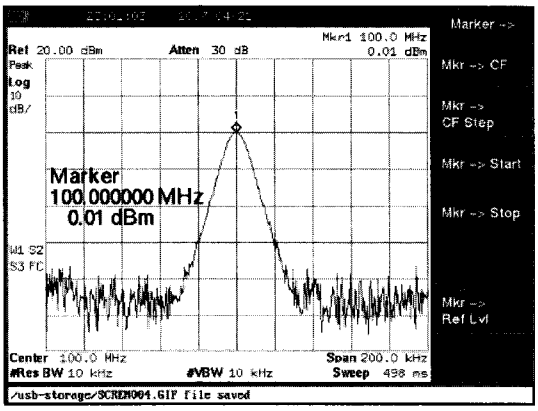


그림 16. VGA의 출력 스펙트럼의 측정 결과
Fig. 16. Measured output spectrum of the VGA.

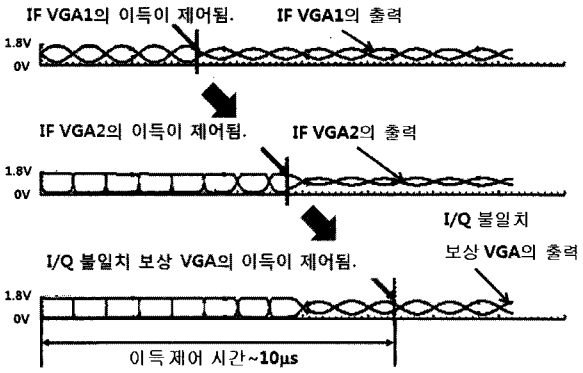


그림 17. 이득제어 알고리즘의 모의실험 결과
Fig. 17. Simulation results of gain control algorithm.

표 2. 측정 성능 요약
Table 2. Summary of measured performance.

공급 전압	1.8 V
전력 소모	60 mW
이득 제어 범위	35 dB / VGA Stage
대역폭	150 MHz
입력 기준 잡음	$8\ nV/\sqrt{Hz}$
IIP_3	+5 dBm
면적	VGA1 & VGA2 : 0.4mm x 0.5mm Mismatch VGA : 0.6mm x 0.25mm Digital Gain Controller : 0.4mm x 0.3mm

두 번째, IF VGA2의 이득이 제어되고 IF VGA2의 출력 레벨이 목표 레벨로 조정된다.

마지막으로 Mismatch 보상 VGA의 이득이 제어되고 I/Q Mismatch가 0.25 dB 간격으로 보상된다.

전체 이득 제어 시간은 10us 이며, 시리얼 인터페이스를 이용한 디지털 제어로 조정한다.

표 2는 측정된 성능 요약을 보여주고 있다. 전력 소모는 1.8 V 전원 전압에서 60 mW이며 이득 제어 범위는 각 VGA 1단이 40 dB, 대역폭은 150 MHz 이다. VGA 1단의 입력 기준 잡음은 8 $nV/\sqrt{Hz}$, IIP_3는 5 dBm이다. VGA1과 VGA2의 면적은 0.4 mm x 0.5 mm 이며 디지털 이득 제어기의 면적은 0.4 mm x 0.3 mm 이다.

Ⅳ. 결 론

본 논문은 넓은 대역폭과 넓은 동적 영역을 갖는 파워 검출기를 이용한 DVB-S2용 디지털 이득 제어 시스템에 대한 논문이다.

정밀한 해상도를 가지면서 넓은 이득 범위를 구현하기 위해 새로운 AGC 시스템을 제안하였다. AGC 시스템은 넓은 대역폭을 갖는 디지털 VGA와 RMS 검출기를 동반한 넓은 동적 영역을 갖는 파워 검출기, 저전력 SAR 타입 ADC, 그리고 디지털 제어기로 구성된다. 전력 소모 및 칩 면적을 줄이기 위하여 1개의 SAR 타입 ADC를 사용하였으며, 4개의 파워 검출기의 출력을 시간 축 상에서 인터리빙해서 받아들이도록 설계하였다. 모의실험 결과 및 측정 결과는 새로운 AGC 시스템이 10 us의 시간 내에 0.25 dB 미만의 이득 오차로 원하는 레벨로 수렴하는 것을 보여주고 있다.

칩은 0.18 μm CMOS 공정으로 설계하였으며, 제안된 IF AGC 시스템의 측정결과는 0.25 dB 해상도를 갖는 80 dB gain 범위, 8 $nV/\sqrt{Hz}$의 입력 기준 노이즈, 5 dBm의 IIP_3, 60 mW 의 전력 소모를 갖는 것을 보여주고 있다. 파워 검출기는 100 MHz의 입력에서 35 dB의 동적 영역을 갖는다.

참 고 문 헌

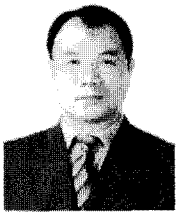
[1] Draft ETSI EN 302 307 V1.1.1, 2004-06.
[2] Chung-Wei Lin, et al., "A low distortion and fast settling automatic gain control amplifier in CMOS technology" in IEEE ISCAS, 2004, pp.I-541-4
[3] Chi-Fang Li, Cheng, R.J.-H, "A two-stage digital AGC scheme with diversity selection for frame-based OFDM systems" in IEEE ISCAS, 2006, pp.4
[4] J. M. Khoury, "On the design of constant settling time AGC circuits," IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process., vol.45, no.3, pp.283 - 294, Mar. 1998.
[5] Kang-Yoon Lee, et al., "Full-CMOS 2-GHz WCDMA Direct Conversion Transmitter and Receiver", IEEE Journal of Solid-State Circuits, Vol.38, No.1, pp.43-53, Jan 2003.
[6] Okjune Jeon, et al., "Analog AGC Circuitry for a CMOS WLAN Receiver," IEEE Journal of Solid-State Circuits, vol.41, no.10, pp.2291-2300, October 2006.
[7] Jianhong Xiao, et al., "A High Dynamic Range CMOS Variable Gain Amplifier for Mobile DTV Tuner,", IEEE Journal of Solid-State Circuits, vol.42, no.2, pp.292-301, February 2007.
[8] Mark Dawkins, et al., "A Single-Chip Tuner for DVB-T", IEEE Journal of Solid-State Circuits, vol.38, no.8, August 2003.
[9] 이강윤, 구현철, 허정, "새로운 자동 튜닝 기능을 가지고 있는 CMOS 다중 모드 기저대역필터의 설계", 전자공학회논문지, 제 43권 SD편 제 2호, pp.34-41, February 2006.
[10] 고동현, 박도진, 정성규, 부영건, 이강윤, "PHS용 Automatic Tuning 방법을 이용한 Complex Filter", 전자공학회논문지, 제 44권 SD편 제 10호, pp.17-22, October, 2007.

저 자 소 개

부 영 건(학생회원)
2008년 건국대학교 전자정보통신 공학과 석사 졸업.
2008년~현재 건국대학교 전자 정보통신공학과 박사과정.
<주관심분야 : RF / 아날로그 집적회로 설계>

박 준 성(학생회원)
2008년 건국대학교 전자공학과 학사 졸업.
2008년~현재 건국대학교 전자 정보통신공학과 석사과정.
<주관심분야 : RF / 아날로그 집적회로 설계>

허 정(정회원)
1983년 서울대학교 전자공학과 석사 졸업.
1991년 서울대학교 전자공학과 박사 졸업
1991년~현재 건국대학교 전자공학부 교수
<주관심분야 : 안테나, RF 및 Microwave 회로>



이 강 윤(정회원)
2003년 서울대학교 전기공학부 박사 졸업.
2000년~2005년 (주)지씨티리써치 책임 연구원
2005년~현재 건국대학교 전자공학부 조교수
<주관심분야 : RF · 아날로그 집적회로설계, 아날로그/디지털 Mixed Mode 설계>