논문 2009-46SD-9-10

싱글 LC-탱크 전압제어발진기를 갖는 2~6GHz의 광대역 CMOS 주파수 합성기

(A 2~6GHz Wide-band CMOS Frequency Synthesizer With Single LC-tank VCO)

정 찬 영*, 유 창 식**

(Chan-Young Jeong and Changsik Yoo)

요 약

본 논문은 싱글의 LC-탱크 전압제어발진기(VCO)를 사용한 2~6GHz의 CMOS 주파수 합성기에 관하여 기술하였다. 광대역에서 동작하는 주파수 합성기 설계를 위해 최적화된 로컬발진기(LO) 신호 발생기를 사용하였다. LO 신호 발생기는 LC-탱크 VCO와 이 신호를 분주하고 혼합하는 방법으로 광대역의 주파수에서 동작하도록 구현하였다. 주파수 합성기는 3차 1-1-1 MASH 타입의 시그마-델타 모듈레이터(SDM)를 사용한 소수 분주 위상잠금루프(PLL)에 기초로 설계되었다. 제안한 주파수 합성기는 0.18μm CMOS 공정기술을 사용하여 설계하였고, off-chip 루프 필터를 가지고 0.92mm^{2}의 칩 면적을 차지하며, 1.8V 전원에서 36mW 이하의 전력을 소모한다. PLL은 8μs보다 적은 시간에서 록킹을 완료한다. 위상 잡음은 중심 주파수 신호로부터 1MHz 오프셋에서 -110dBc/Hz보다 작다.

Abstract

This paper describes a 2~6GHz CMOS frequency synthesizer that employs only one LC-tank voltage controlled oscillator (VCO). For wide-band operation, optimized LO signal generator is used. The LC-tank VCO oscillating in 6~8GHz provides the required LO frequency by dividing and mixing the VCO output clocks appropriately. The frequency synthesizer is based on a fractional-N phase locked loop (PLL) employing third-order 1-1-1 MASH type sigma-delta modulator. Implemented in a 0.18μm CMOS technology, the frequency synthesizer occupies the area of 0.92mm^{2}with off-chip loop filter and consumes 36mW from a 1.8V supply. The PLL is completed in less than 8μs. The phase noise is -110dBC/Hz at 1MHz offset from the carrier.

Keywords: 전압제어발진기(VCO), 주파수 합성기, 위상잡음, 자동주파수조절(AFC)

Ⅰ. 서 론

광역 또는 다중모드/멀티모드 대역의 무선 라디오주파수 송수신기를 위해 주파수 합성기는 넓은 주파수 영역의 로컬발진기(LO) 신호를 제공할 수 있어야 한다. 가장 간단하지만 큰 대가를 지불해야하는 방법은 요구된 주파수 영역에서 동작하기 위해 각각 여러 개의 VCO를 사용하는 것이다. 하지만 이 방법은 높은 전력 소모와 큰 면적을 사용하기 때문에 사용할 수 없다. 하나의 VCO와 함께 분주기를 사용하는 것은 단순히 I/Q 위상뿐만 아니라 다중 대역의 주파수를 제공한다. 결과적으로 분주기의 사용은 넓은 주파수 대역과 낮은 전력 소모, 그리고 적은 면적을 차지하는 장점을 가진다. 하지만 이 방법은 직접변환(direct-conversion)을 위해 LO pulling과 LO-RF interaction을 피하기 위해 두 배의 VCO 주파수 또는 추가적인 회로들을 필연적으로 요구한다[1-3]. 두 개의 서로 다른 신호를 혼합하는 단측대역혼합기(single-side band mixer, SSBM)는 위의 문

* 학생회원, ** 정회원, 한양대학교 전자통신컴퓨터공학부
(Department of Electronics and Computer Engineering, Hanyang University)
※ 이 논문은 2007년 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임
접수일자: 2009년6월1일, 수정완료일: 2009년8월17일

제를 해결하기 위해 사용할 수 있다. 예를 들어, 두 개의 다른 신호인 LO 주파수의 2/3에서 동작하는 VCO 출력 신호와 이 출력을 2 분주하여 LO 주파수의 1/3에서 동작하는 신호를 혼합하여 원하는 RF 주파수의 신호를 만들어 낸다. 이렇게 주파수의 혼합과 분주를 적당하게 이용하면 위에서 설명한 문제점을 해결하면서 다양한 대역 또는 넓은 대역의 주파수를 하나의 VCO를 가지고 만들 수 있다[4~5].

광대역 동작을 위해 복잡한 LO 신호 생성의 필요성과 함께 필연적으로 VCO의 동작 영역이 증가되고, VCO 게인(K_{VCO})도 역시 동작 영역의 요구에 따라 증가된다. 그러므로 위상잡음이 저하되는 결과를 가져온다. 넓은 대역의 주파수를 가지면서 낮은 위상잡음을 가지기 위해서는 스위치드-캐패시터 LC-탱크 VCO와 함께 자동주파수조절(AFC) 기술이 필요하다[6-8]. AFC의 목적은 위상잠금루프(PLL)가 기준 신호에 적당하게 록킹되도록 최적의 VCO sub-band를 결정하는 것이다. AFC와 함께 주파수 합성기의 전체 록킹 시간은 AFC 시간과 PLL 록킹 시간의 합으로 나타낼 수 있다. 그러므로 AFC 시간과 AFC의 종료 후 여분의 주파수 에러는 가능한 작게 설계하여야한다.

본 논문에서는 하나의 광대역 LC-탱크 VCO를 가지는 LO 신호 발생기를 사용하여 2~6GHz에서 동작하는 주파수 합성기를 제안하였다. Ⅱ장에서는 소수 분주 주파수 합성기의 구조 및 LO 생성기의 주파수 계획에 대해 설명하고, Ⅲ장에서는 각 블록의 주요 회로에 대해 설명한다. Ⅳ장에서는 측정결과에 대해 설명하고, Ⅴ장에서 결론을 맺는다.

Ⅱ. 주파수 합성기의 구조 및 주파수 계획

1. 주파수 합성기의 구조

제안한 소수 분주 주파수 합성기의 블록다이어그램을 <그림 1>에 보였다. 주파수 합성기는 기준 클록 분주기, 위상 주파수 검출기(PFD)와 전하펌프(CP), LC-탱크 VCO, AFC, LO 신호 발생기, 주파수 분주기 블록, 시그마-델타 모듈레이터(SDM), 직렬 버스 인터페이스(SPI), 그리고 오프-칩 회로인 루프 필터와 크리스탈 발진기(X-tal)로 구성되어 있다. 주파수 합성기는 2~6GHz 광대역 주파수 동작을 위해 단지 싱글의 VCO와 LO 신호 발생기를 사용하였다. 기준 분주기는 PFD 비교 주파수와 AFC 동작 주파수 생성을 위해 외부의 크

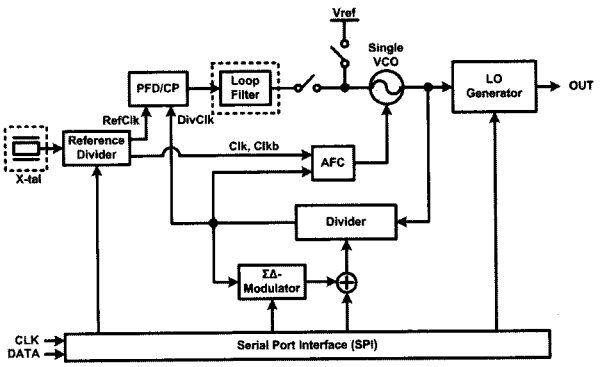

그림 1. 제안한 주파수 합성기의 블록다이어그램
Fig. 1. Block diagram of the proposed frequency synthesizer.

리스털 발진기의 클록을 분주한 신호를 발생시키고, VCO 분주기는 원하는 채널을 선택하기 위해 SDM을 사용하여 소수 분주가 가능하도록 하였다. SPI는 각 블록들에서 사용되는 디지털 신호를 외부에서 조절하고, 외부 핀의 사용을 최소화하기 위해 사용하였다. AFC, SDM과 SPI의 디지털 회로는 VHDL 코드로 모델링하고, 디지털 합성에 의해 구현하였다. 자세한 내용은 3장에서 설명하도록 한다.

2. 주파수 계획과 LO 신호 발생기

본 논문의 설계 목적은 무선 데이터 네트워크의 끊임없는 연결을 가능하게 하는 재구성 가능한 RF 수신기를 위한 주파수 합성기를 개발하는 것이고, <표 1>에 간략하게 나타낸 표준들을 지원하는 것이다. 그러므로 LO 주파수는 직접변환 방식의 수신기를 위해 2~6GHz

표 1. 목표로 하는 표준의 간단한 설명
Table 1. Brief description of the targeted standards.

standard	frequency	channel
Wibro	2300 ~ 2390 MHz	22 MHz
IEEE 802.11b/g/n	2400 ~ 2483.5 MHz 5150 ~ 5350 MHz 5725 ~ 5825 MHz	22 MHz 20 MHz 20 MHz
Mobile Wimax	2500 ~ 2596 MHz 3400 ~ 3700 MHz	6MHz 25 MHz
Wimax	5250 ~ 5350 MHz 5470 ~ 5725 MHz 5725 ~ 5875 MHz	20/10/5 MHz

의 확장된 주파수 영역에서 동작해야 한다. 주파수 계획 및 최적화된 LO 신호 발생기 설계를 위해 여러 서로 다른 표준들 사이에서 적당한 상호 사용가능성을 활용할 필요가 있다. 먼저 설계 최적화를 위해 가장 고려해야 할 제한점은 위상잡음과 주파수 동작 영역이다. VCO 주파수의 선택은 RF 주파수로부터 멀리 떨어진 주파수를 사용하여 VCO pulling과 pushing 효과를 줄여야 한다. 추가적으로 멀티 표준 시스템의 전력소모, 면적, 그리고 복잡성은 최소 수준이 되도록 최적화 되어야만 한다. 마지막 제한점은 각 표준을 위해 정확한 quadrature I/Q 신호를 생성하는 것이다. Quadrature VCO(QVCO)는 I/Q 신호를 생성할 수 있는 가장 간단한 방법이지만, 위상잡음이 증가하고 전력을 두 배로 사용한다는 단점을 가진다. 주파수 분주기의 사용은 동작 주파수의 두 배가 되는 높은 주파수가 필요하지만, 낮은 전력과 적은 면적, 높은 정확도를 위해 가장 최적의 선택이라고 할 수 있다.

<그림 2>는 이들 요구사항을 만족하기 위해 본 논문에서 제시한 해법을 보여준다. 요구된 스펙트럼의 전체를 커버하기 위해 단지 6.12GHz에서 7.85GHz의 주파수 동작 영역을 가지는 싱글의 VCO가 필요하다. 이를 위해 제안한 LO 신호 발생기의 블록다이어그램은 <그림 3>에서 보여 준다. VCO의 출력을 분주하는 첫 번째 2 분주기 회로의 사용은 QVCO의 사용을 제거하고 낮은 전력과 작은 면적을 갖는다. 이 첫 번째 분주기는 3~4GHz 대역의 I/Q 출력 위상을 제공한다. 그리고 첫 번째와 두 번째의 분주기 회로의 출력신호를 SSBM을 통해 단측파대역 혼합을 하면 4.5~6GHz 대역의 신호가 생성된다(1.5~2GHz + 3~4GHz). 그러므로 세 번째의 분주기의 출력은 2.25~3GHz 대역의 신호를 제공하게 된다. LO 신호 발생기를 구성하는 각 블록들은 전력 소모를 최소화하기 위해 사용하지 않는 신호 path에 존재하는 블록의 회로들을 동작시키지 않는다. 요구된 각

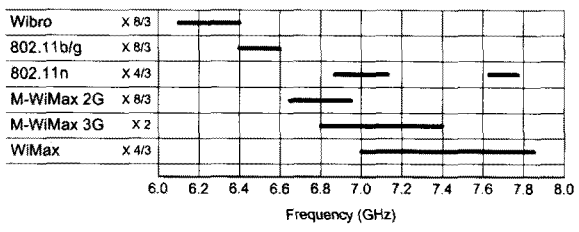

그림 2. LO 주파수의 주파수 계획
Fig. 2. Frequency planning of LO frequency.

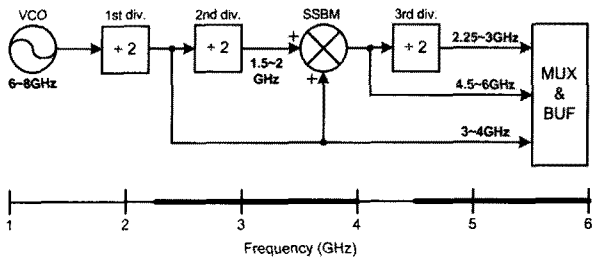

그림 3. 제안한 LO 신호 발생기의 블록다이어그램 및 주파수 영역
Fig. 3. Block diagram and frequency range of the proposed LO generator.

대역의 LO 신호는 멀티플렉서(MUX)를 통해 선택되고 버퍼를 통해 원하는 신호 레벨에 맞게 출력된다.

III. 각 블록 회로의 설계

1. LC-탱크 VCO의 설계

VCO는 PLL에서 가장 중요한 회로이므로 설계할 때 많은 고려사항을 가지며, 특히 VCO의 위상잡음은 전체 PLL 출력 잡음 특성에 가장 큰 영향을 미친다. 광대역 LC-탱크 VCO의 회로도는 <그림4-(a)>에 보여준다. VCO 회로는 서로 교차된 두 쌍의 NP-MOS와 정전류가 흐르는 전류 소스를 가진다. 전류 소스 미러의 1/f 잡음을 제거하기 위해 온-칩 저항 R과 캐패시터 C는 저역통과 필터의 형태로 M5과 M6의 게이트 사이에 연

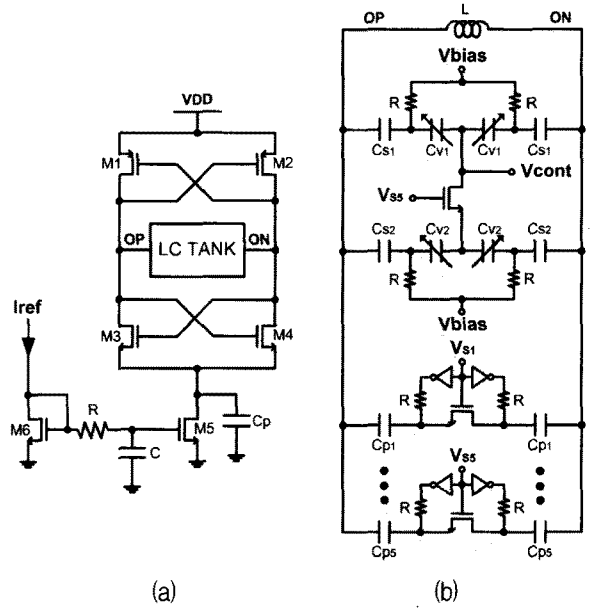

그림 4. (a) 전압조절발진기(VCO)와 (b) LC-tank 회로
Fig. 4. (a) The VCO and (b) LC-tank schematics.

결하였다. <그림 4-(b)>는 2-bit 배랙터와 5-bit 캐패시터로 구성된 LC-탱크의 회로를 보여준다. 5-bit의 캐패시터가 스위치를 통해 VCO 출력의 캐패시턴스를 굵게(coarse) 조절하며, 2-bit의 배랙터가 세밀하게(fine) 주파수를 조절하게 된다. 하지만 넓은 주파수 대역을 하나의 VCO를 통해 동작시킨다면 가장 높은 주파수와 낮은 주파수 대역의 VCO 게인의 변화가 커지게 되고, 결과적으로 높은 주파수 대역의 위상잡음은 낮은 주파수 대역에 비해 증가하게 된다. 그러므로 모든 대역에서 VCO 게인의 변화가 작아야 바람직하다. 하나의 배랙터를 가지는 LC-탱크 VCO의 발진 주파수(f_{OSC})와 VCO 게인(K_{VCO})은 다음 수식과 같이 나타낼 수 있다.

$$f_{OSC} = \frac{1}{2\pi\sqrt{L(C_V + C_B)}}, \quad (1)$$

$$K_{VCO} = -\frac{1}{4\pi\sqrt{L}(C_V + C_B)^{1.5}} \cdot \frac{\partial C_V}{\partial V_{TUNE}} \quad (2)$$

여기서 C_V는 배랙터 캐패시턴스, C_B는 캐패시터 뱅크의 캐패시턴스이고, V_{TUNE}은 배랙터의 캐패시턴스를 조절하기 위한 전압을 나타낸다. 이 수식에서 C_B가 점점 증가함에 따라 동작 주파수가 낮아지고, 동시에 K_{VCO}도 같이 줄어든다. 각 주파수 대역에 따른 게인의 변화를 감소시킬 수 있는 가장 간단한 방법은 동작 주파수 대역이 낮아짐에 따라 적절한 크기의 병렬 연결된 배랙터를 추가 하는 것이다. 그러므로, 만약 캐패시터 뱅크의 최상위 비트가 high일 때 두 개의 배랙터는 K_{VCO}을 증가시키게 되며, 낮은 주파수 대역에서도 높은 주파수 대역과 비슷한 값을 갖게 된다. 그러므로 전체적으로 K_{VCO}의 변화는 감소될 수 있다.

2. 주파수 분주기의 설계

주파수 분주기는 prescaler를 포함하여 주파수 합성기의 동작 속도를 결정하는 중요한 회로로서, 각 응용분야에 사용되는 표준에 따라 다양한 형태의 주파수를 생성할 수 있어야 한다. 주파수 분주기는 <그림 5>에 보여주는 것과 같이 pulse-swallow 구조를 가진다. 높은 주파수에서 동작을 요구하는 두 개의 2 분주기와 2 또는 3의 분주율을 갖는 prescaler는 정적인 전류를 소모하는 소스 커플드 로직(SCL)을 사용하였고, 비교적 낮은 주파수에서 동작하는 카운터 블록은 동적인 전류

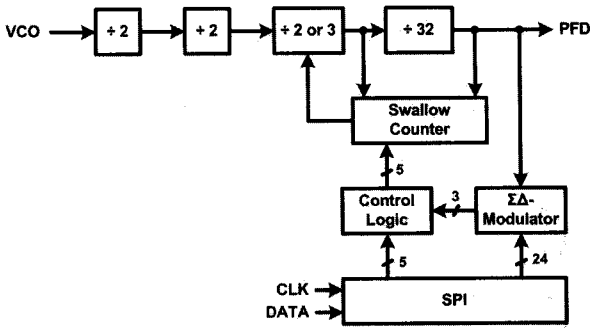

그림 5. 주파수 분주기의 블록다이어그램
Fig. 5. Block diagram of frequency divider.

를 소모하는 TSPC 회로를 사용하여 전력 소모를 최소화 하였다. 추가의 전력 손실을 줄이기 위해 VCO의 출력을 분주하는 두 개의 2 분주기는 LO 신호 발생기의 2 분주기들과 공유한다.

3. 기타 블록 회로의 설계

LO 신호 발생기에 사용된 단측파대 혼합기(SSBM)는 두 개의 Gilbert cell 타입으로 구성되어 있으며, 하모닉 주파수와 이미지 신호를 감소시키기 위해 출력단 로드를 인덕터를 사용하여 밴드 패스 필터링 효과를 갖도록 하였다. 시그마-델타 변조기(SDM)는 과표본화로 인하여 발생한 양자화 오차와 백색잡음의 특성을 갖는 양자와 잡음이 고주파 대역으로 옮겨가는 noise shaping 효과를 가지게 되는 변조 방식이다. 고차의 SDM의 사용은 noise shaping의 효과는 높아지나 시스템 안정성을 보장하기 어려워지기 때문에 시스템 설계에 많은 부담으로 작용한다. MASH 구조의 SDM은 1차의 안정성을 갖는 변조기를 cascade 형태로 연결하여 항상 안정한 시스템을 만들 수 있다. <그림 6>은 MASH 구조로 3차 SDM을 구현한 것이다. m-bit의 누산기의 출력 주파수를 선택하는 K값이 입력으로 들어가면 출력에는 -3~4의 값이 랜덤하게 출력되고, 이 출력 값에 따라 주파수 분주기의 분주비가 결정된다.

AFC는 자동적으로 캐패시터 어레이 코드가 조절되어 VCO의 발진 주파수를 목표 주파수의 근처에 있도록 도와주는 역할을 하는 회로이다. AFC 회로는 기준 클록과 VCO의 분주된 출력을 카운트하여 두 클록의 주파수 크기를 비교하는 구조로서, 주파수 에러가 발견되면 VCO의 sub-band 코드를 즉시 업데이트하여 빠른 록킹 시간을 구현하도록 설계되었다[9]. SDM과 AFC는 ModelSim을 사용하여 VHDL 코드로 설계하였고, 디지

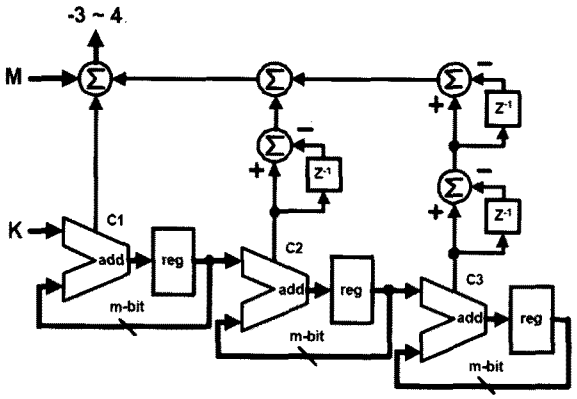

그림 6. MASH 1-1-1 타입의 3차 시그마-델타 변조기
Fig. 6. 3rd-order sigma-delta modulator of MASH 1-1-1.

털 합성과 Place & Routing을 통해 구현하였다. 이 디지털 설계는 Spectre 시뮬레이터를 통해 검증하였다.

IV. 실험 결과

제안한 소수 분주 주파수 합성기는 0.18μm 1-poly, 5-metal CMOS 공정을 이용하여 설계하였다. 모든 회로 블록은 오프-칩 루프 필터와 크리스털 발진기를 제외하고 IC에 집적되었다. <그림 7>은 주파수 합성기의 마이크로 칩 사진을 보여주며, 사용한 실리콘 면적은 0.92mm^{2}이다. 합성기의 성능을 검증하기 위해 250kHz PLL 루프 bandwidth, 3차의 passive 루프필터, 0.5mA의 전하펌프 전류, 그리고 22.5MHz의 PFD 비교 주파수가 사용되었다. 주파수 합성기는 1.8V의 전원 전압을 사용하여 3GHz 대역에서는 27mW의 전력을 소모하고, 2GHz 대역에서는 32mW, 5GHz 대역에서는 36mW의 전력을 각각 소모하였다.

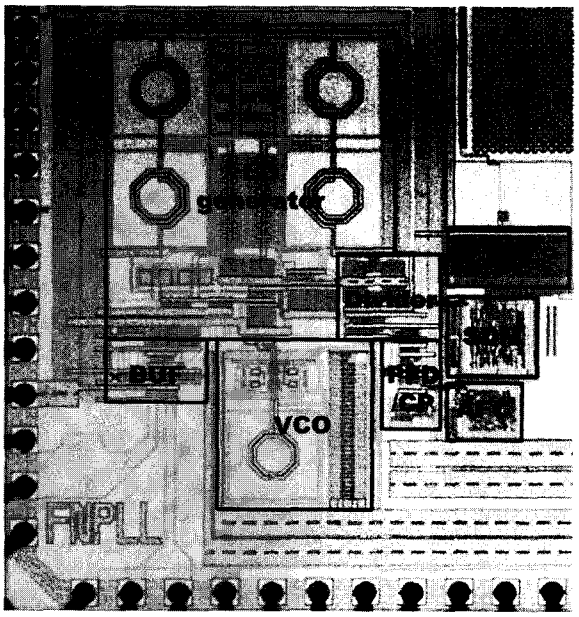

그림 7. 주파수 합성기의 마이크로 칩 사진
Fig. 7. The mocrophoto graph of the frequency synthesizer.

<그림 8>은 6.09~7.73GHz의 주파수 대역에서 동작하는 VCO의 동작 영역을 보여주며, 21.2%의 tuning range를 가진다. VCO의 주파수는 5-bit의 sub-band들로 이루어지며, 측정한 VCO 게인은 85~130 MHz/V이다. 만약 VCO 조절 코드의 MSB가 high일 때, VCO 게

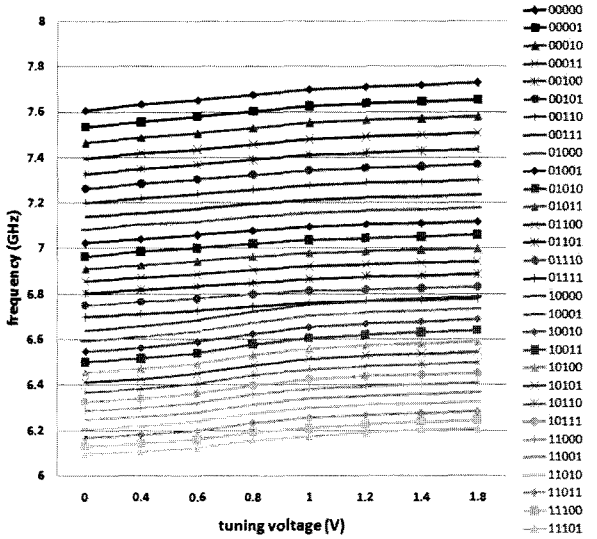

그림 8. 측정된 VCO 주파수의 동작 영역
Fig. 8. Measured VCO frequency tuning range.

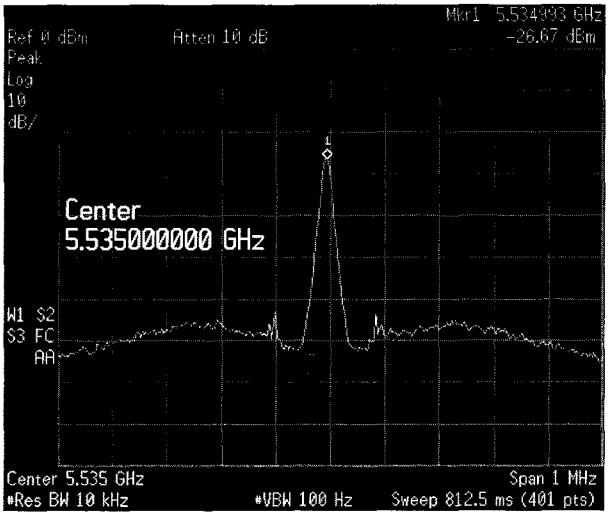

그림 9. 5.5GHz에서 록킹 상태를 측정한 스펙트럼
Fig. 9. Measured spectrum at 5.5GHz in locked condition.

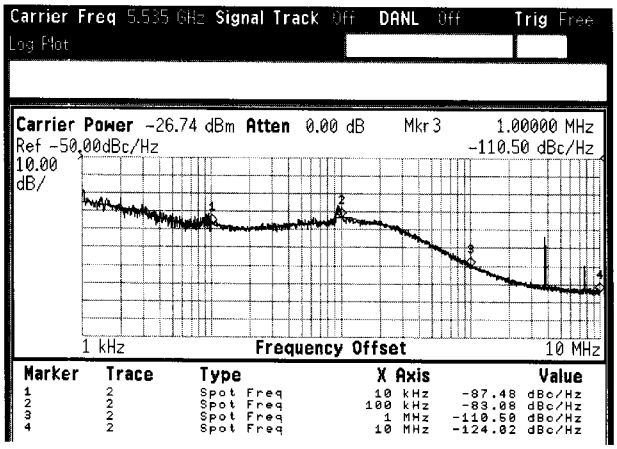

그림 10. 5.5GHz에서 측정한 주파수 합성기의 위상잡음
Fig. 10. Measured phase noise of frequency syntheiszer at 5.5GHz.

표 2. 소수 분주 주파수 합성기의 성능 비교
Table 2. Performance comparison of fractional-N frequency synthesizer.

	[10]	[11]	This work
Process (μm)	0.25	0.18	0.18
Supply (V)	2.5	1.8	1.8
Power (mW)	59.5	40	36
chip size (mm^2)	2.55	2.5	0.92
Phase Noise (dBc/Hz@1MHz)	-118	-110	-110
PLL BW (kHz)	100	300	250
Spurious tone (dBc)	-60	N.A.	-55
Ref. Clock (MHz)	25	20	22.5

인은 낮은 주파수 영역에서 병렬의 배랙터 다이오드에 의해 증가되며, 따라서 전체 VCO 게인의 변화는 감소하게 된다.

<그림 9>은 5.5GHz 주파수로 록킹된 상태의 출력 스펙트럼을 측정한 결과이다. <그림 10>는 주파수 합성기의 위상잡음을 측정한 결과이다. 그림에서 보는 것과 같이 루프 밴드위스 안에서는 -85dBc/Hz보다 낮은 잡음을 가지며, 중심 주파수에서 1MHz 오프셋 떨어진 곳에서는 -110dBc/Hz의 위상잡음을 갖는다. 각 대역의 스펙트럼을 통해 측정한 불요파는 -55dBc보다 작다. 측정한 PLL의 록킹 타임은 AFC 동작 시간을 포함하여 8μs보다 작게 측정되었다. <표 2>는 같은 주파수 대역에서 동작하는 기존의 소수 분주 주파수 합성기와 비교한 것이다. 제안한 주파수 합성기는 전력소모와 칩 면적에 있어 우수한 성능을 가진다는 것을 알 수 있다.

Ⅳ. 결 론

본 논문에서는 2~6GHz의 동작주파수를 가지는 광대역 CMOS 주파수 합성기를 설계하였다. 광대역의 동작을 위해 주파수 합성기는 싱글의 LC-탱크 VCO를 가지는 최적화된 신호 발생기를 사용하였다. 0.18μm CMOS 공정으로 제작된 IC를 측정한 결과 설계된 회로는 5.5GHz의 동작주파수에서 -110dBc/Hz@1MHz의 위상잡음 특성을 보이며, 록킹 타임은 8μs보다 작다. 설계된 회로는 1.8V 전원에서 각 대역에 따라 27~36mW의 전력을 소모하여, 전체 칩 면적은 0.92mm^2를 차지한다.

참 고 문 헌

[1] Iason Vassiliou et al, "A single-chip digitally calibrated. 5.15-5.825-GHz 0.18-mm CMOS transceiver for 802.11a wireless. LAN", *IEEE J. Solid-State Circuits*, vol.38, pp.2221-2231, Dec. 2003.

[2] Chen T M, Chiu Y M, Wang C C, et al., "A low-power fullband 802.11a/b/g WLAN transceiver with on-chip PA." *IEEE J. Solid-State Circuits*, vol.42, no.2, pp. 983-991, Feb. 2007.

[3] Molnar et al., "A Single Chip Quad Band (850/900/. 1800/1900MHz) Direct-Conversion GSM/GPRS RF transceiver with Integrated VCOs and Fractional-N. Synthesizer," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp 1710-1720, Dec. 2002.

[4] P. Zhang et al., "A Single-Chip Dual-Band Direct-Conversion IEEE. 802.11a/b/g WLAN Transceiver in 0.18-um CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 9, pp. 1932-1939, Sep. 2005.

[5] A. Koukab, Y. Lei, and M. Declercq "A GSM-GPRS / UMTS FDD-TDD / WLAN 802.11 a-b-g Multi-Standard Carrier Generation System," *IEEE J. Solid-State Circuits*, vol. 41, no. 7, Jul. 2006.

[6] T.-H. Lin, W. J. Kaiser, " A 900-MHz 2.5-mA CMOS frequency synthesizer with an automatic SC tuning loop," *IEEE J. Solid-State Circuits*,

vol. 36, pp. 424-431, March 2001.
[7] A. Aktas, and M. Ismail, "CMOS PLL calibration techniques," *IEEE Circuits and Devices Magazine*, vol. 20, no. 5, pp. 6-11, Sep./Oct. 2004.
[8] William B. Wilson, Un-Ku Moon, Kadaba R. Lakshmikumar, Ling Dai, "A CMOS self-calibrating frequency synthesizer," *IEEE J. Solid-State Circuits*, vol. 35, no. 10, pp. 1437-1444, Oct 2000.
[9] Chan-Young Jeong. Dong-ho Choi, Changsik Yoo, "A fast automatic frequency calibration (AFC) scheme for phase-lock loop(PLL) frequency synthesizer," *IEEE Radio Frequency Integrated Circuits Symp.*, 2009.
[10] Stefano Pellerano et. al, "A dual-band frequency syntehsizer for 802.11a/b/g with fractional-spur averaging technique," *IEEE International Solid-State Circuits Conference*, pp. 104-105, 2005.
[11] T. Maeda et al., "A low-power dual-band triple-mode WLAN CMOS transceiver," *IEEE J. Solid State Circuits*, vol. 41, no. 11, pp. 2481--2490, Nov. 2006.

저 자 소 개

정 찬 영(학생회원)
1999년 한양대학교 전자공학과 학사 졸업.
2005년 한양대학교 전자전파통신 공학과 석사 졸업.
2005년~현재 한양대학교 전자 통신컴퓨터공학과 박사과정.
<주관심분야 : 아날로그/혼성모드 IC 설계>

유 창 식(정회원)
1992년 서울대학교 전자공학과 학사 졸업.
1994년 서울대학교 전자공학과 석사 졸업.
1998년 서울대학교 전자공학과 박사 졸업.
2002년~현재 한양대학교 전자통신컴퓨터공학부 부교수
<주관심분야 : 아날로그 및 혼성 신호 IC 설계>