

# Physical Design for 3D Integrated Circuits

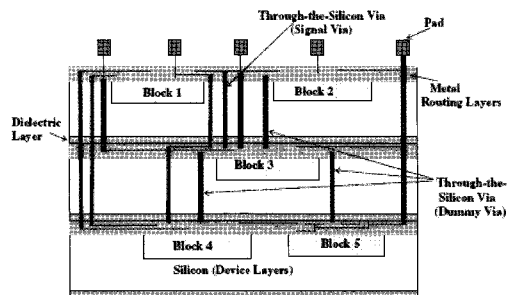
김탁영·김태환 (서울대학교)

## I. 서론

3D IC란 3-Dimensional Integrated Circuit의 약어로서, 반도체 칩의 집적도를 향상시키기 위해 만들어진 방법 중 하나이다. 그동안 반도체 칩의 집적도 향상은 VDSM (Very Deep Sub-Micron) 기술을 바탕으로 한 device scaling 방법으로 유지되어 왔다. 그러나 최근에는 lithography에 사용되는 빛의 파장과 같은 기본적인 물리적 특성의 장벽으로 인해 추가적인 집적도 향상이 어려워지고 있다. 이로 인해 2차원 공간에서의 집적도 향상을 위한 double patterning lithography 기술 및 3차원 공간에서의 집적도 향상을 위한 3D IC 설계 기술 등이 개발되고 있다. 3D IC 설계 기술은 반도체 die를 수직으로 적층함으로써 집적도를 비약적으로 향상시키는 방법으로, 전통적인 SiP (System in Package) 뿐만 아니라, TSV (Through Silicon Via)를 사용하여 die들 간에 신호를 연결하는 3D IC 기술이 최근 많은 관심을 받고 있다. 특히, TSV를 이용한 3D IC 설계 기술의 경우, 집적도 향상 및 이를 통한 시스템 크기 감소뿐만 아니라, global 신호 연결에도 TSV를 사용함으

로써 반도체 칩의 성능 향상, 전력 소모 감소 및 신호 전달 대역폭 향상 등이 가능하게 되었다. 또한, 로직, 메모리, 센서, RF 등과 같은 다른 기능을 가지는 여러 개의 die를 수직으로 적층함으로써 혼성 칩 제조가 가능해졌다.

<그림 1>은 3층 적층 구조의 IC 설계의 단면을 보여 주고 있다. 이러한 적층 구조의 단점은 전력 밀도 (단위 부피당 전력 소모량)가 높다는 것이다. 또한, dielectric layer가 device layer 사이에 삽입되어 층을 만들고 있는데 dielectric layer는 열 전도율이 매우 낮기 때문에 각 층의 macro block에서 발생된 열이 IC의 위 또는 아래의 heat sink를 통해 열을 외부로 발산하는



<그림 1> 3층 구조의 3D IC의 단면 예<sup>[9]</sup>

것에 방해를 주는 역할을 하게 된다. 따라서 3D IC 설계에서는 어떻게 하면 발생된 열을 외부로 빨리 빼내어야 하는 문제가 중요한 설계 과제이다. 다행이도 TSV는 signal을 전송하는 역할을 하는 것 외에도 열 전도율이 좋아 열을 이동하는 역할도 한다. 사용되는 TSV는 <그림 1>에서 보듯이 signal 전송을 주목적으로 하고 열 분산을 부목적으로 하는 signal TSV와 signal 전송을 하지 않으며 오로지 열 분산을 위한 thermal TSV로 분류가 된다. 되도록 많은 TSV가 사용된다면 열 발산 측면에서 유리하지만 공정 yield가 낮아질 수 있기 때문에 적당한 수의 TSV가 할당 되도록 TSV planning이 필요하다. 또한, TSV가 layer를 관통하는 지역은 white space (macro block과 block 사이에 놓여 있는 안 사용되고 있는 지역) 이어야 하는 제약이 있다. 보통 TSV pitch는 일반 metal wire 보다 상당히 크며 최소 5 $\mu$ m - 10 $\mu$ m 정도를 필요로 하기 때문에 TSV 위치 planning에 대해서도 연구가 필요하다.

따라서, signal TSV를 사용하여 die들 간 신호를 연결하거나, thermal TSV를 사용하여 열 분산을 용이하게 유도할 수 있는 3D IC 설계를 위해서는 체계화된 설계 방법론 및 CAD 소프트웨어가 필요하며, 이를 위한 연구가 최근 활발히 진행되고 있다.<sup>[1]</sup> 본고에서는 TSV를 사용하는 3D IC를 위한 floorplanning, placement, routing, clock network synthesis 등 physical 설계의 최근 연구 현황과, 3D IC 설계에서 중요한 고려 사항인 thermal 및 power integrity에 대한 전반적인 이해를 다루고자 한다. TSV는 through via 또는 interlayer via 등 다른 용어로도 불리나, 본고에서는 TSV로 통일하여 사용한다.

## II. Floorplanning

### 1. Micro-architectural Floorplanning<sup>[2]</sup>

Device scaling에 의한 반도체 칩의 집적도가 향상됨에 따라, super-scalar architecture의 성능이 설계의 구조적인 이유로 인해 mis-prediction loop latency에 많은 영향을 받게 되었다. Mis-prediction loop latency는 recovery delay와 feedback delay로 구성되는데, 기존에는 고려되지 않던 feedback delay 또한 중요한 사항으로 취급해야 된다. 이를 floorplanning시에 반영하기 위해 [2]의 연구에서는 feedback critical path의 도선의 길이를 반영할 수 있는 criticality-driven 3D floorplanner를 개발하였다.

제한하는 3D floorplanner는 기존의 thermal-aware 3D floorplanner를 확장하였다. 기존의 floorplanner는 칩 면적, 도선의 길이 및 전력 소모, 전력 밀도 등을 고려하여 반도체 칩의 온도를 줄일 수 있는 simulated annealing engine이다. 기존의 engine은 2단계로 구성되어 있으며, 1단계에서 설계에 있는 블록들을 적당한 die layer에 할당하고, 2단계에서는 할당된 각 블록들을 해당 die layer에서 배치될 수 있도록 최적화한다.

확장된 3D floorplanner는 super-scalar architecture에서의 feedback loop에 대해서 수식 (1)과 같은 critical cost를 계산하고, 수식 (2)와 같은 수정된 cost 식을 사용하여 주어진 설계의 성능 향상을 달성한다. 수식 (1)에서  $C_{wires}$ 는 critical 블록들을 연결하는 도선의 길이이고,  $NC_{wires}$ 는 그 외 도선의 길이이다. 제한하는 논문에서는 criticality 가중치  $\alpha$ 는 0.7을



사용하였다. 수식 (2)에서 area는 칩 면적, dev(f)는 각 die layer가 서로 적합하도록 맞추는 dimension deviation factor, TOP (Total Overlap Power density)는 칩 전체에 대한 전력 밀도를 나타낸다.

$$\text{Cost}_{\text{Critical}} = \Psi \sum C_{\text{wires}} + (1 - \Psi) \sum NC_{\text{wires}} \quad (\Psi \leq 1) \quad (1)$$

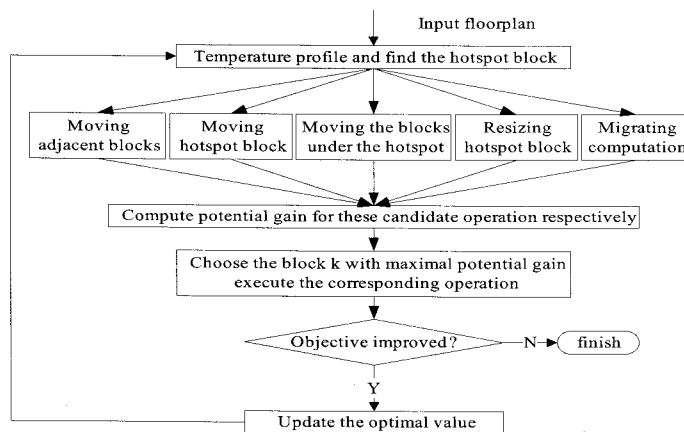
$$\text{Cost}_{\text{Total}} = \alpha \cdot \text{area} + \beta \cdot \text{Cost}_{\text{Critical}} + \gamma \cdot \text{dev}(f) + \sigma \cdot \text{TOP} \quad (\alpha + \beta + \gamma + \sigma = 1) \quad (2)$$

수식 (2)를 최적화하는 criticality-driven 3D floorplanner는 criticality를 고려하지 않은 2D floorplan 대비 평균 22%의 IPC (Instructions per Cycle) 성능 향상을 보였다. 또한, criticality를 고려하지 않은 3D floorplan 대비 평균 8%의 IPC 성능 향상을 보였다. 그러나 이러한 IPC 성능 향상은 criticality를 전체 cost에 얼마나 반영하느냐에 따라서 달라질 수

있다. 실험에서는 수식 (2)의  $\beta$  값을 0.7로 사용하였지만, 일반적으로  $\beta$  값이 커질수록 칩 면적과 전체 도선의 길이가 증가하며, non-critical path가 dominant factor로 나타날 수 있다. 또한, 설계의 mis-prediction rate가 크지 않을 경우, feedback loop에 대한 중요성이 떨어지게 된다. 따라서 수식 (2)에서 적절한 가중치를 선정해야만, 최적화된 3D floorplan 결과를 얻을 수 있는 단점이 있다. 또한, criticality를 설정하고자 하는 설계 블록들도 올바르게 선정이 되어야 한다.

## 2. Incremental Floorplanning<sup>[3]</sup>

기존의 thermal-aware 3D floorplanner들은 효과적으로 thermal issue를 완화시킬 수는 있지만, hotspot을 완전히 제거한다고 보장할 수는 없다. [3]의 연구에서는 기존의 floorplanning 결과를 바탕으로 추가적으로 칩의 온도를 감소시킬 수 있는, 3D IC를 위한 incremental floorplanning 방법을 개발하였다. <그림 2>는 제안하는 floorplanning 방법으로, 1) moving



<그림 2> Incremental Floorplanning Flow for Thermal Optimization in the work<sup>[3]</sup>

adjacent blocks, 2) moving hotspot block, 3) moving blocks under the hotspot, 4) resizing hotspot block, 5) migrating computation 등 5가지 항목 중에서 가장 높은 potential gain을 가지는 동작을 점증적으로 수행한다. 블록  $i$ 에 대한 potential gain은 수식 (3)과 같으며, 온도 변화  $\Delta T$ 와 블록 면적  $A_i$ 로부터 계산된다.

$$g_i = \alpha \cdot \Delta T + \beta \cdot \frac{1}{\sqrt{A_i}} \quad (3)$$

Incremental floorplanning에 대한 실험은 MCNC 및 GSRC 벤치마크에 대해 수행되었으며, 기존의 simulated annealing 기반의 floorplanner인 CBA (Combined Bucket and 2D Array) 방법에 비해 온도 14% 감소, 도선의 길이 2% 감소 및 칩 면적 3% 증가의 효과를 보였다. 이러한 incremental floorplanning 방법으로 작은 칩 면적 증가 대비 추가적인 온도 감소를 기대할 수 있다.

### III. Placement

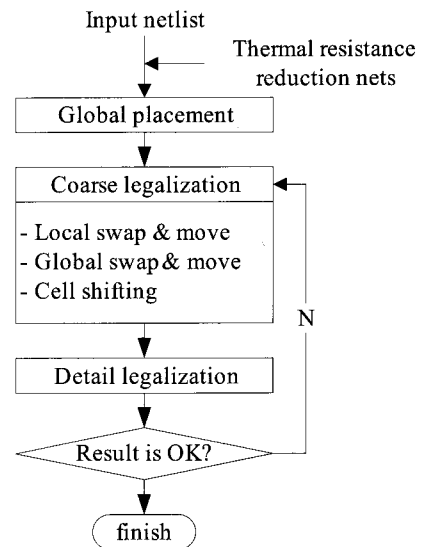
#### 1. Partition-based Placement<sup>[4]</sup>

B. Goplen, S. Sapatnekar<sup>[4]</sup>는 수식 (4)에서 보이는 cost function을 기반으로 도선의 길이, TSV 수, 칩 온도에 대해서 trade-off 가능한, partition 기반의 3D placement 방법을 개발하였다. 수식에서  $WL_i$  및  $ILV_i$ 는 도선(net)  $i$ 에 대한 bounding box 길이 및 도선에 접촉하고 있는 interlayer via (즉 TSV) 수이고,  $T_j$ 는 cell  $j$ 에 대한 온도이다.  $\alpha_{ILV}$  및  $\alpha_{TEMP}$ 는 각각

TSV 및 온도에 대한 최적화 계수를 나타낸다. 수식에서 온도 항목은 전력 소모 및 열 저항 등을 함께 고려하여,  $WL_i$  및  $ILV_i$ 에 thermal net weighting 항목으로 계수화 된다. 또한, 보다 효과적인 온도 감소를 위해, cell의 전력 소모와 칩의 thermal profile을 기반으로 thermal net weight를 계산하고, 이를 thermal resistance reduction net으로 구성하여 원래의 netlist에 추가하여 사용한다.

$$\sum_{\text{each net } i} [WL_i + \alpha_{ILV} \cdot ILV_i] + \alpha_{TEMP} \sum_{\text{each cell } j} [T_j] \quad (4)$$

제안하는 방법은 <그림 3>과 같이 크게 1) Global placement, 2) Coarse legalization, 3) Detailed legalization의 3단계로 구성되어 있다. Global placement 단계에서는 recursive bisection 기법에 따라 placement 영역을 partition한다. Coarse legalization 단계에서는



<그림 3> 3D Placement Flow in the work<sup>[4]</sup>

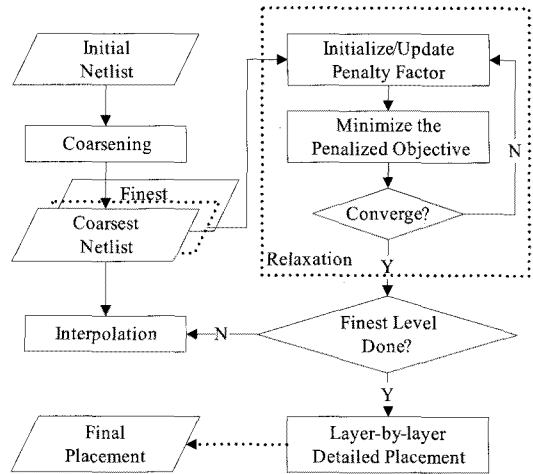
local/global swap/move를 수행하고, cell shifting 기법을 반복적으로 적용함으로써, 칩 전체에 대해 균등하게 배치될 수 있도록 한다. Detailed legalization 단계에서는 legal placement를 만들고, 필요에 따라서 coarse legalization과 detailed legalization 단계를 반복하여 수행한다.

제한하는 partition 기반의 placement engine은 IBM-PLACE 벤치마크에 대해서 실험을 수행하였으며, 도선의 길이, TSV 수 및 칩 온도에 대해서 다양한 trade-off 결과를 제공하였다. 도선의 길이가 최적 값 대비 2% 증가할 경우, TSV 수가 평균 46% 감소하였으며, 도선의 길이 1% 증가 및 TSV 수 10% 증가로 칩 온도가 평균 20% 감소하였다.

## 2. Multi-level Analytical Placement<sup>[5]</sup>

J. Cong, G. Luo<sup>[5]</sup>는 칩 면적 제한 요건을 만족하면서 전체 도선의 길이와 TSV 수를 최소화하는 multi-level analytical placer를 개발하였다. Analytical placement engine은 수식 (5)에서 density penalty  $Penalty(x,y,z)$ 가 충분히 작아질 때까지 penalty factor  $\mu$ 를 증가시키면서 주어진 수식에 의한 cost를 최소화함으로써 도선의 길이 및 TSV 수를 최소화한다. 수식에서  $l(e)$ 는 도선 e에 대한 half-perimeter 모델 기반의 도선 길이이며,  $v(e)$ 는 같은 방식으로 계산되는 도선 e에 대한 TSV 수이다. 여기에서 가중치  $\alpha$ 는 TSV 수와 도선의 길이에 대한 trade-off 정도를 제공한다.

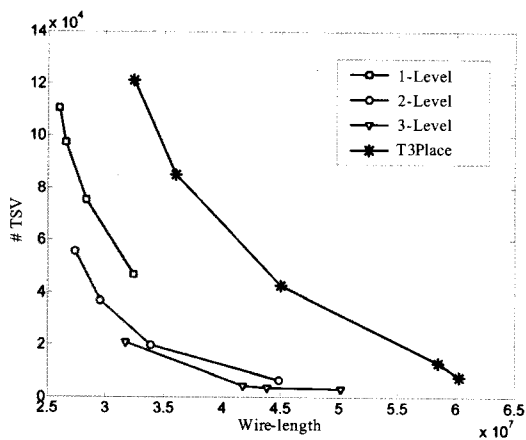
$$\sum_{e \in E} (l(e) + \alpha \cdot v(e)) + \mu \cdot Penalty(x,y,z) \quad (5)$$



〈그림 4〉 3D Placement Flow in the work<sup>[5]</sup>

개발된 analytical placement engine은 기존의 multi-level framework에 구현되었으며, 〈그림 4〉와 같은 3D placement flow를 가진다. Coarsening 단계에서는 multi-level diagram을 위한 hierarchy를 생성하고, relaxation 단계에서는 생성된 hierarchy에 대해 coarsest level에서부터 finest level 순서로 개발된 analytical placement engine을 적용한다. Interpolation 단계에서는 보다 세밀한 단계로 넘어가기 전에, 다음 단계의 입력으로 사용될 수 있도록 cell들의 위치를 interpolation한다. 모든 단계가 완료되면, 기존의 2D detailed placement engine을 이용하여, layer별로 detailed placement를 수행한다.

제한하는 analytical placement 결과는 기존의 2D-to-3D 변환 기반의 3D placer인 T3Place와 비교되었으며, 최소 도선길이 실험의 경우 평균 12% 도선길이 감소 및 29% TSV 감소를 보였으며, 최소 TSV 실험의 경우 평균 20% 도선길이 감소 및 50% TSV 감소를 보였다. 〈그림 5〉는 IBM-PLACE 벤치마크 회로 중



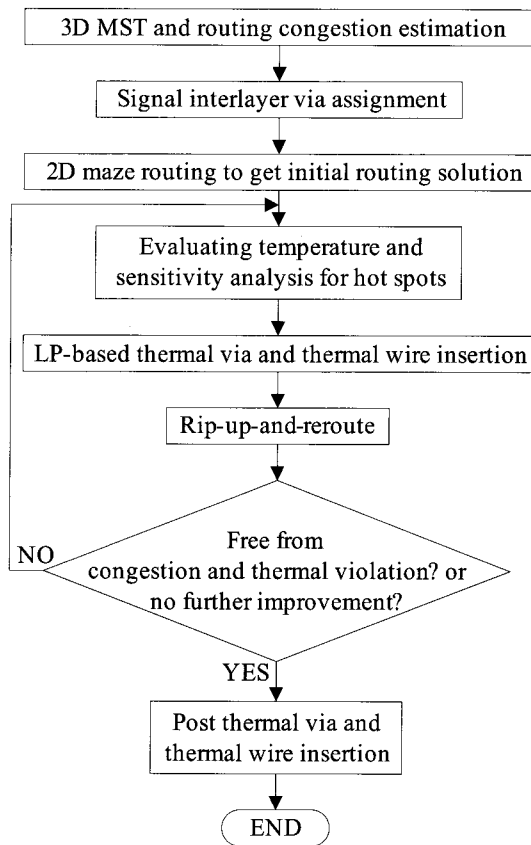
〈그림 5〉 “ibm13” 회로에 대한 Trade-off 실험

하나인 ibm13 회로에 대해 수식 (5)의 가중치  $\alpha$ 를 10에서부터 10000까지 변화시키면서 도선의 길이 및 TSV 수를 측정 한 결과로, 기존 T3Place에 비해 향상된 성능을 보인다.

## IV. Routing

### 1. Temperature-aware Routing<sup>[6]</sup>

T. Zhang, Y. Zhan, S. S. Sapatnekar<sup>[6]</sup>은 3D IC에서 온도를 고려한 global routing 알고리즘<그림 6 참조>을 개발하였다. 제안하는 3D routing은 Prim의 알고리즘을 사용한 MST (Minimum Spanning Tree) 생성으로부터 시작한다. 기존 2D MST의 Manhattan distance와 다른 점으로, 전체 도선의 길이와 TSV 수를 줄일 수 있도록, TSV를 사용하는 vertical distance에 대해서는 큰 가중치를 두었다. MST 생성 및 congestion estimation 이후, interlayer 도선에 대한 TSV 할당 문제를 min-cost network flow 문제로 변환하여 최적의 TSV 위



〈그림 6〉 3D Global Routing Algorithm in the work<sup>[6]</sup>

치를 찾아낸다. 3D MST와 TSV 위치가 확보되면, TSV 위치를 가상의 pin으로 처리하여 모든 interlayer 도선을 2D 도선으로 분해한다. 이후, 온도를 고려할 수 있는 cost function을 기반으로 2D maze routing을 수행한다.

기본적인 3D routing이 완료되면, 온도 감소를 위해 thermal via 및 thermal wire를 삽입한다. 해당 작업은 온도가 높은 hotspot 영역에 대해서, thermal via/wire에 대한 민감도(sensitivity)를 계산하여 온도를 효과적으로 줄일 수 있도록 반복적으로 수행한다. 민감도에 의한 hot spot 영역의 온도 감소는 LP (Linear Programming) 기법으로 풀었으며, 최적화가 완료되면, 사용 가

〈표 1〉 Zhang의 제안 방법에 의한 3D Global Routing 실험결과 비교<sup>[6]</sup>

Circuit	T <sub>init</sub> (°C)	Peak Temperature (°C)				Wire Length (x10 <sup>4</sup> 5)			
		TA	P	V	U	TA	P	V	U
biomed	237.1	81.9	105.6	115.3	87.5	1.82	1.77	1.78	1.76
industry2	207.5	82.4	106.6	116.3	98.0	6.04	5.92	6.01	5.90
industry3	202.0	79.2	99.1	112.5	89.8	9.85	9.75	9.71	9.93
ibm01	264.8	79.1	109.9	99.3	108.4	2.63	2.46	2.63	2.45
ibm02	257.5	80.5	105.6	111.6	97.5	7.73	7.57	7.68	7.60
ibm03	218.5	82.9	106.9	123.4	85.4	10.27	10.30	10.26	10.00
ibm04	218.1	80.0	96.0	107.8	84.6	8.07	8.15	8.21	8.25
ibm06	236.4	81.2	99.2	131.4	89.2	18.08	18.19	18.12	18.08

능한 모든 영역에 thermal via/wire를 추가로 삽입하는 것으로 3D global routing 알고리즘이 끝난다.

제안하는 온도를 고려한 3D global routing 알고리즘은 MCNC 및 IBM placement 벤치마크에 대해 실험이 수행되었다. <표 1>은 목표 온도 80°C에 대한 실험결과 일부로서 thermal via/wire 삽입 방법에 따른 온도 및 도선의 길이를 표시하였으며, T<sub>init</sub>은 2D maze routing 수행 이후의 최고 온도이다. TA는 제안하는 thermal-aware routing 방법이고, P, V, U는 각각 2D maze routing 이후 post insertion 만을 수행한 경우(P), thermal wire는 사용하지 않은 경우(V), TA 방법의 결과와 같은 수의 thermal via/wire를 칩에 균등하게 배치시킨 경우(U)이다. 전체적으로 TA 방법이 다른 방법들에 비해 효과적으로 온도를 최적화함을 알 수 있고, 특히 ibm01 회로의 경우에는 P 방법에 비해 30.8°C, ibm06 회로의 경우에는 V 방법에 비해 50.2°C 더 좋은 결과를 보임을 알 수 있다. 도선의 길이의 경우 P 방법에 비해 0.6%의 증가를 보이나, thermal via/wire 삽입을 위한 detour로 인해 발생한 것으로 차이가 온도 감소 효과에 비해 극히 미미하다. 논문에서 제시한 thermal via/wire

삽입 방법은 부가적인 영역이 필요하다는 단점은 있으나, 다른 3D routing 방법에도 부가적으로 사용할 수 있는 장점이 있다.

## 2. Thermal-aware Steiner Routing<sup>[7]</sup>

M. Pathak, S. K. Lim<sup>[7]</sup>은 3D IC routing을 위한 Steiner tree routing 알고리즘을 개발하였다. 제안하는 방법은 <그림 7>과 같이 tree construction 및 tree refinement의 2단계로 구성되어 있다. Tree construction 단계에서는 온도를 고려한 Elmore delay를 최대한 줄일 수 있도록 Steiner tree를 생성하며, tree refinement 단계에서 타이밍 제약 조건을 만족하는 한도 내에서 rip-up-and-reroute 방법을 사용해 congestion을 제거한다. 또한, Steiner tree 생성 이후, TSV를 재배치함으로써 칩의 온도를 추가로 감소시키는 알고리즘을 개발하였다. Steiner tree 생성은 기존의 2D tree 생성 알고리즘을 TSV 및 온도를 고려하여 확장하였으며, TSV 재배치 문제는 NLP (Non-Linear Programming) 방법으로 정리한 후에 ILP (Integer Linear Programming) 문제로 변환하여 적용하였다.

제안하는 Steiner tree routing 알고리즘은

**Thermal-aware 3D Steiner Routing Algorithm**  
input: netlist  $NL$ , routing graph  $R$ , thermal profile  $Z$   
output: 3D Steiner tree for each net

```

1. for (each net  $n \in NL$ )
2.    $T_n = p_0(n)$ ;
3.    $Q_n =$  set of pins of  $n$  except  $p_0$ ;
4.   while ( $Q_n \neq \emptyset$ )
5.     for (each pin  $a \in Q_n$ )
6.       for (each edge  $e \in T_n$ )
7.          $x =$  connection point for  $a \rightarrow e$ ;
8.          $y =$  through via location on  $e(x, a)$ ;
9.         update delay  $d(p)$  for all  $p \in T_n$ ;
10.         $X(a, e) = \max \{d(p) | p \in T_n \cup a\}$ ;
11.         $(a_{min}, e_{min}) =$  pin+edge pair with min  $X$ ;
12.         $T_n = T_n \cup e_{min}$ ;
13.        remove  $a_{min}$  from  $Q_n$ ;
14. for (each non-timing critical  $T_n$  violating capacity)
15.   rip-up-and-reroute  $T_n$  under  $Z$ ;
```

〈그림 7〉 Pathak's 3D Steiner Routing 알고리즘<sup>[7]</sup>

ISCAS89, ITC99, ISPD98 벤치마크에 대해서 실험을 수행하였으며, 3D maze routing 및 2D 변환 routing 방법과 비교하였다. 성능 실험에서는 maze routing 대비 평균 49%, 2D 변환 routing 대비 평균 29%의 성능 증가를 보였다. 그러나 maze routing 대비 도선의 길이는 21% 증가하고, TSV 수는 7% 증가하는 결과를 보였다. 이것은 성능, 도선의 길이, TSV 수에 대한 전체적인 최적화는 미흡한 결과이며, 온도에 대한 비교 또한 기술되지 않은 단점이 있다. TSV 재배치 알고리즘의 온도 감소 효과는 단순 greedy 알고리즘을 구현하여 비교하였으며, greedy 방법 대비 약 10%의 추가 온도 감소 효과를 얻을 수 있었다.

## V. Clock Network Synthesis

### 1. Buffered Clock Tree Synthesis<sup>[8]</sup>

J. Minz, X. Zhao, S. K. Lim<sup>[8]</sup>은 두 개의 온

도 조건 (uniform, worst) 하에서 동일한 skew를 가지는 buffered clock tree synthesis 알고리즘 BURITO (Buffered Clock Tree With Thermal Optimization)를 개발하였다. 제안하는 알고리즘은 1) Abstract tree 생성, 2) Clock tree embedding, 3) Clock tree buffering, 4) Thermal-aware optimization의 4단계로 구성되어 있다. 1단계에서는 2D MMM (method of means and medians) 알고리즘을 3D로 확장하여 abstract tree를 생성한다. 2단계에서는 2D DME (deferred merge embedding) 알고리즘을 3D로 확장하여, uniform 온도 조건 하에서 abstract tree의 internal node에 대한 위치를 결정한다. 3단계에서는 2D buffering 알고리즘을 기반으로 uniform 온도 조건 하에서 buffer를 삽입하여 도선의 길이를 줄인다. 4단계에서는 평균 온도 조건 ( $= (\text{uniform} + \text{worst})/2$ )을 기반으로, skew 감소 및 2개의 온도 조건 간의 skew balancing을 위한 internal clock node 및 buffer의 재배치를 수행한다. 제안하는 알고리즘에서는 평균 온도 조건에서 zero-skew tree를 구성하면 2개의 온도 조건에서의 clock skew가 동일하다는 특성을 사용하였는데, 이와 같은 특성을 Balanced Skew Theorem이라 한다.

Balanced Skew Theorem을 이용하여 2개의 온도 조건 하에서 동일한 skew를 가지는 buffered clock tree를 구성하는 BURITO 알고리즘은 IBM 벤치마크에 대해서 실험을 수행하였다. Uniform 및 worst 온도 조건에 대한 skew balancing 성능은 2D clock tree 최적화 알고리즘인 TACO<sup>[10]</sup>와 비교하였다. TACO는 balanced skew를 보장하지 못하는 반면, BURITO는 2개의 온도 조건에 대해서 완벽한 skew balancing 결과를 보였다. 또한, buffer 삽



입 이후에는 37% delay 감소 및 13% skew 감소 결과를 나타냈으며, 이에 대한 도선의 길이 증가는 13%였다. 3D buffered clock tree 최적화에 대한 효과는 skew balancing 이전의 초기 clock tree와 비교하였으며, 56%의 skew 감소 효과를 보였다.

제안하는 알고리즘은 2개의 thermal profile에 대해서 동일한 skew를 가지는 buffered clock tree를 생성할 수 있다는 장점을 가지고 있으나, 2-layer 구조의 3D IC에만 적용이 되며, 온도 조건을 2개만 허용하는 단점이 있다. 즉, die layer가 3개 이상이거나, 동작 모드가 3개 이상일 경우에는 적용이 어려운 단점이 있다.

## VI. Thermal & Power Integrity

3D IC는 여러 개의 die를 수직으로 적층함으로써 집적도를 향상시킨다. 그러나 적층된 die 간에 사용되는 절연체의 낮은 열전도율 및 3D IC의 단위 면적 당 높은 전력 소모로 인해, 높은 칩 온도와 반도체 소자 간에 높은 열 변화율이 발생한다. 또한, 높은 전력 소모 및 열 발생은 반도체 칩의 reliability에도 큰 영향을 주어 칩의 수명에도 영향을 주게 된다. 따라서 3D IC 설계에서는 thermal 및 power integrity를 반드시 고려해 주어야만 한다.

Physical 설계 단계에서 thermal 및 power integrity를 높이는 대표적인 방법으로는, 온도 및 전력 소모를 각 설계 단계에서 사용하는 cost function에 반영하는 방법이 있다. 그리고 추가적인 thermal integrity 향상 방법으로는 부가적인 TSV를 빈 공간에 추가로 삽입함으로써 열전달을 원활하게 하여 온도를 감소시키는 방법이

있다. 이 때 사용되는 TSV를 thermal via라 하고, 보다 높은 열전달을 위해 thermal wire가 함께 사용되기도 한다. Power integrity 향상 방법으로는 효과적인 decoupling capacitor 삽입 방법이 연구되고 있으며, CMOS decoupling capacitor 뿐만 아니라 MIM (metal insulator metal) decoupling capacitor를 함께 이용하기도 한다.

## VII. 결론

반도체 제조 공정 상 물리적인 한계에 따라 device scaling을 통한 집적도 향상이 어려워지고 있으나, 3D IC는 TSV 사용을 통한 적층 기법을 통해, 집적도, 성능, 신호 대역폭 향상 및 전력 소모 감소 등의 많은 장점을 제공함으로써, 차세대 반도체 설계 기법으로 관심이 집중되고 있다. 본고에서는 TSV를 사용하는 3D IC를 위한 floorplanning, placement, routing, clock network synthesis 단계에서의 physical 설계 기법과, 3D IC에서의 중요한 고려 사항인 thermal 및 power integrity에 대해서 살펴보았다.

3차원 공간을 보다 효율적으로 이용하기 위해서는, 본고에서 살펴본 physical 설계 방법뿐만 아니라 보다 많은 연구가 필요하며, 이러한 3D IC 설계 방법론은 현세대의 반도체 제조 방법에 새로운 변화를 제시할 것이다. 한 가지 예로 multi-core IC 설계에서의 근본적인 문제는 core들 끼리 또는 core와 memory 사이의 communication 이 전체 performance를 좌우하게 된다. 따라서 3D 구조를 이용하여 time-critical communication 이 이루어져야하는 core,

memory들을 가까운 층에 인접하게 배치함으로써 칩 성능을 높였다는 연구가 발표되기도 했다<sup>[2]</sup>.

#### 참고문헌

- [1] V. F. Pavlidis and E. G. Friedman, *Three-dimensional Integrated Circuit Design*, Morgan Kaufmann, 2009.
- [2] S. Sridharan, M. DeBole, G. Sun, Y. Xie, and V. Narayanan, "A criticality-driven microarchitectural three dimensional floor-planner," *IEEE Asia and South-Pacific Design Automation Conference*, pp.763-768, 2009.
- [3] X. Li, Y. Ma, and X. Hong, "A novel thermal optimization flow using incremental floorplanning for 3D ICs," *IEEE Asia and South-Pacific Design Automation Conference*, pp.347-352, 2009.
- [4] B. Goplen and S. Sapatnekar, "Placement of 3D ICs with thermal and interlayer via considerations," *ACM/IEEE Design automation conference*, pp.626-631, 2007.
- [5] J. Cong and G. Luo, "A multilevel analytical placement for 3D ICs," *IEEE Asia and South-Pacific Design Automation Conference*, pp. 361-366, Jan., 2009.
- [6] T. Zhang, Y. Zhan, and S. S. Sapatnekar, "Temperature-aware routing in 3D ICs," *IEEE Asia and South-Pacific Design Automation Conference*, pp.309-314, 2006.
- [7] M. Pathak and S. K. Lim, "Thermal-aware steiner routing for 3D stacked ICs," *ACM/IEEE International Conference on Computer-Aided Design*, pp.205-211, 2007.
- [8] J. Minz, X. Zhao, and S. K. Lim, "Buffered clock tree synthesis for 3D ICs under thermal variations," *IEEE Asia and South-Pacific Design Automation Conference*, pp.504-509, 2008.
- [9] J. Cong, and Y. Zhang, "Thermal via planning for 3D ICs," *ACM/IEEE International Conference on Computer-Aided Design*, pp.744-751, 2005.
- [10] M. Cho, S. Ahmed, and D. Z. Pan, "TACO: temperature aware clock optimization," *ACM/IEEE International Conference on Computer-Aided Design*, pp.582-587, 2005.

## 저자소개



김 탁 영

1998년 2월 포항공과대학교 전자전기공학과 학사  
 2000년 2월 포항공과대학교 전자전기공학과 석사  
 2009년 3월~현재 서울대학교 전기공학부 박사과정  
 2000년 2월~2000년 11월 하이닉스반도체  
 2000년 12월~2003년 1월 인텔릭스  
 2003년 2월~현재 삼성전자

주관심 분야 : 3D IC, High Speed/Low Power ASIC/  
 SoC Design Methodology



김 태 환

1985년 2월 서울대학교 계산통계학과 학사  
 1987년 2월 서울대학교 계산통계학과 석사  
 1993년 9월 일리노이 주립대 전산학과 박사  
 1993년 9월~1995년 6월 래티스 반도체(주) 연구원  
 1995년 7월~1998년 7월 시놉시스(주) 연구원  
 1998년 8월~2004년 2월 KAIST 조교수, 부교수  
 2004년 3월~현재 서울대학교, 부교수, 교수

주관심 분야 : 설계 자동화