

Thermal Issues in 3D IC

신인섭 · 김상민 · 백승훈 · 서문준 · 유리는 · 신영수(KAIST)

I. 서론

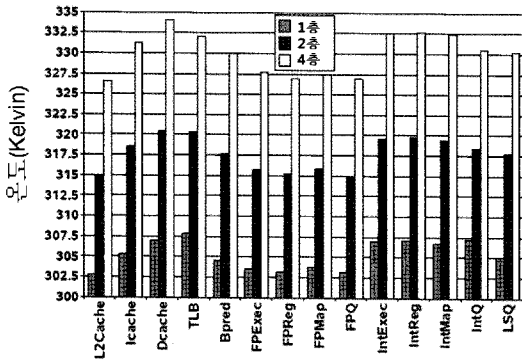
그동안 CMOS 디지털집적회로는 Moore의 법칙에 따른 반도체 공정의 스케일링에 의해 발전해 왔다. 하지만 최근 전통적인 스케일링이 lithography, 방열, 공정 비용 등 여러 문제로 어려워지면서, 스케일링 이외의 방법으로 성능을 높이고자 하는 시도가 이루어지고 있다. 동일한 다중의 프로세서를 집적하여 병렬화를 통해 성능을 높이고자 하는 multicore와 수직으로의 집적화를 통한 배선길이의 감소로 성능을 높이고자 하는 3D IC가 그 대표적인 방법이다.

3D IC는 기존의 2D에서 사용하지 않던 수직축도 사용해서 집적한 칩들을 총칭하는 말이다. 수직으로의 집적은 이미 제작된 다수의 칩들의 패키지 수준에서의 집적이 될 수도 있고, 더 나아가 반도체 공정과정에서의 집적(웨이퍼 수준: wafer-level)이 될 수도 있으나, 본 고에서는 후자만을 다루기로 하겠다. 3D IC의 장점은 Z축으로의 집적을 통해 XY 평면상의 면적을 줄임으로써 같은 기능을 작은 footprint상에 구현할 수 있다는 것이다. 수직배선과 수평배선을 혼용해서 사용함으로써 인한 전체 배선 길이의 감소가 3D

IC의 또 다른 장점이 된다. 수직배선은 보통 TSV (through-silicon via)를 사용해 구현하게 되는데, TSV가 수평배선에 비해 정전용량(capacitance)이 훨씬 작다는 점 또한 3D IC를 사용하는 장점이 된다.

이러한 장점에도 불구하고 3D IC에는 TSV 사이의 최소 간격에 따른 제한된 수직배선(예를 들어 45-nm 공정에서 10~15개 정도의 standard cell 간격), 정확한 층의 정렬, 층 사이의 고른 접합면, 열방출 등 여러 제한점 및 문제점들이 있다^[1]. 이 중 열방출은 칩의 성능에 영향을 미쳐 3D IC의 장점을 상쇄시킬 수 있기 때문에 가장 큰 문제점이자 당면한 문제이다^[2].

2D IC는 heat sink가 회로 바로 밑에 붙어있어 열방출이 용이하지만 3D IC는 여러 층으로 이루어져 있기 때문에 최하위층만이 heat sink와 접하게 된다. 특히 웨이퍼 수준의 3D IC의 경우 각 층 사이를 연결해주는 절연체의 열전도도(에폭시의 경우 0.005W/mK)가 실리콘(150W/mK)이나 금속 배선(구리의 경우 285W/mK)에 비해 매우 낮기 때문에 상위 층들에서 발생한 열이 최하위층의 heat sink까지 도달하기 어렵게 되고 그에 따라 칩의 온도 상승을 야기하게 된다^[3].



〈그림 1〉 3D IC 층수에 따른 칩의 최대 온도^[4]

〈그림 1〉은 3D IC의 층수에 따른 최대 온도 변화를 몇 가지 예제에 대해 시뮬레이션 한 결과이다^[4]. 층수가 늘어날수록 최대온도가 증가하는 것을 쉽게 관찰할 수 있다. 발열에 의한 칩의 동작온도 상승은 다음과 같은 여러 문제들을 야기하게 된다.

- 칩의 수명에 영향을 주는 대표적인 현상으로 전기적 이동(electromigration)을 들 수 있다. 이것은 과전류가 단방향으로 지속적으로 흐르는 금속배선에서 금속원자들의 이동으로 인해 발생하는 현상으로써 배선 단락을 가져올 수 있다. 전기적 이동은 Black's equation에 의해 잘 설명되는데, 이 식에 의하면 칩이 고장에 이르는 평균 시간 (MTTF: mean time to failure)는 $\exp(1/T)$ 에 비례한다. 예를 들어, 상온(300K)에서 온도가 30도 증가하게 되면 MTTF는 83% 감소하게 되고 100도 증가하게 되면 94%까지 감소하게 된다.

- 로직게이트의 딜레이는 온도의 함수이다(시뮬레이션 결과에 의하면, 45-nm 공정에서 25°C와 125°C에서의 로직딜레이는 약 3.6% 차이

가 난다). 3D IC에서는 절연층에 의해 층간 온도 차이가 더욱 많이 나기 때문에 로직게이트 딜레이의 편차가 회로 설계에 영향을 미칠 수 있다.

- 칩의 누설전류에 의한 전력이 전체 전력 소모에서 차지하는 비중은 미세 반도체 공정으로 가면서 점점 커지고 있다(90-nm 공정에서는 25~40%, 65-nm 공정에서는 50~70%를 차지한다^[5]). 누설 전류는 온도의 지수함수이므로 높은 동작 온도는 과다 누설 전류 및 과다 전력 소모를 의미한다.

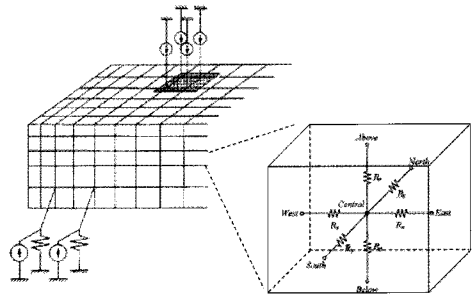
본 고에서는 위와 같은 문제를 해결하기 위한 방법에 대해서 논하고자 한다. 우선 II장에서는 발열에 의해 칩의 온도가 어떻게 변하는지를 분석하는 방법에 대해 논하고, III장에서는 열을 고려한 IC 설계 기법을 논하고, IV장에서는 칩의 온도를 낮추는 cooling 기법에 대해 논하도록 하겠다. 마지막 V장에서는 3D IC에서의 thermal issue들에 관한 향후 전망에 대해 살펴볼 것이다.

II. 열 모델링 및 분석

앞에서 설명했듯이 3D IC에서는 발열이 큰 문제가 된다. 이를 해결하기 위해서는 우선 발열에 의해 칩의 온도가 어떻게 되는지 예측할 수 있어야 한다. 칩의 온도는 식(2)의 열전도 방정식에 따르기 때문에 이 방정식의 해로부터 예측할 수 있다.

$$\rho c_p \frac{\delta T(x,y,z,t)}{\delta t} = k_i \nabla^2 T(x,y,z,t) + g(x,y,z,t) \quad (2)$$

- ρ : 열전달 물질의 밀도 (kg/m^3),
- c_p : 비열 ($\text{J}/(\text{kg} \cdot \text{K})$),
- T : 온도 (K),
- t : 시간 (s),
- k_t : 열전도율 ($\text{W}/(\text{m} \cdot \text{K})$),
- g : 전력밀도 (W/m^3).



<그림 2> 칩 분할 및 열저항 모델링

식 (2)는 열역학 제1법칙을 의미한다. 좌변은 단위 부피에서의 에너지 변화량을 의미하고, 우변은 표면을 통해 단위 부피로 유입되는 열량과 단위 부피 내부에서 발생한 열량의 합을 의미한다.

칩 내 블록들의 평균 전력소모 값이 주어지면, 단위부피당 전력밀도를 구할 수 있다. 평균전력을 사용하였기 때문에 식 (2)의 우변 두 번째 항은 시간에 무관한 값을 가지게 된다. 그렇기 때문에 단위 부피에서의 온도는 결국 정적 상태 (steady-state)를 따르게 되며, 정적 상태에서의 식(2)는 다음과 같이 Poisson's equation으로 나타낼 수 있다.

$$k_t \nabla^2 T(x,y,z) + g(x,y,z) = 0 \quad (3)$$

열전달 방정식을 풀기 위해서 일반적으로 유한차분법 (finite difference method)^[6] 또는 유한요소법 (finite element method)이라는 수치해석적인 방법들이 사용된다. 이 두 방법 모두 칩을 X, Y, Z축에 대하여 <그림 2>와 같이 분할하여 각 요소(element)에 대한 열전달 미분 방정식으로부터 온도를 구한다. 두 방법의 차이점은 유한차분법은 미분 연산자를 분할하는 것이고 유한요소법은 온도 field를 분할하는 것이다. 유한차분법은 분할된 요소마다 미분방정식을

차분방정식으로 근사화한 후 그 식을 풀어 각 요소에서의 온도를 구하는 방법이다. 반면 유한요소법은 각 요소에서의 함수를 선형적인 해를 가지는 단순 함수로 근사시킨 뒤, 이 근사 함수가 주어진 열전달 방정식과 경계 조건을 만족하도록 하는 관계 조건을 찾고, 이를 각 요소에 적용하여 칩의 온도를 구하는 방법이다.

열전달 현상과 전기적 현상 사이에는 <표 1>과 같이 쌍대성(duality)이 존재한다. 이를 이용하면 칩을 <그림 2>와 같이 열저항(thermal resistance) 회로로 모델링할 수 있다. 회로에서 각 노드는 각 요소와 대응되고 요소간의 열전도성은 열저항, 요소의 온도는 전압, 요소에서의 평균전력은 전류원과 대응된다. 각 노드에서 들어오는 전류값은 나가는 전류값과 같고, 이를 행렬 방정식으로 표현한 것이 식 (4)이다.

<표 1> 열전달과 전기적 현상 사이의 쌍대성

열전달	단위	전기전달	단위
열 흐름	W	전류	A
온도차이	℃	전압	V
열전도도	$\text{m}^2\text{C}/\text{W}$	비저항	$\text{m} \cdot \Omega$
열저항	℃/W	전기저항	Ω

$$GT = \begin{bmatrix} g_{11} & g_{12} & \cdots & g_{1n} \\ g_{21} & g_{22} & \cdots & g_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ g_{n1} & g_{n2} & \cdots & g_{nn} \end{bmatrix} \begin{bmatrix} t_1 \\ t_2 \\ \vdots \\ t_n \end{bmatrix} = \begin{bmatrix} p_1 \\ p_2 \\ \vdots \\ p_n \end{bmatrix} = P \quad (4)$$

G: 열전도성 행렬,

T: 온도 행렬,

P: 전력밀도 행렬.

각 요소의 열전도성은 그 요소를 이루는 물질에 의해 결정되며, 정확한 온도예측을 위해서는 X, Y, Z축 방향으로의 열전도성을 따로 구해야 한다. 하지만 이를 실제로 계산하기는 어렵기 때문에 일반적으로 요소를 구성하고 있는 물질들의 열전도성에 각 물질의 부피에 비례하게 가중치를 줘서 평균한 값을 사용한다. 또한 열전도성은 온도에 따라 비선형적으로 값이 변한다. 하지만 이를 모델링하기가 쉽지 않기 때문에 열전도성은 일정한 값을 가진다고 가정하고 식을 풀게 된다.

열분석을 통해 예측한 칩의 온도는 플로어플래닝(floorplanning)이나 배치(placement), 배선(routing) 등 회로의 물리적 설계(physical design) 단계에서 이용될 수 있다. 물리적 설계는 기본적으로 iteration 방식이다. 매번 다른 해를 찾아 이를 비용함수(cost function)에 대입하여 비용을 구한다. 이렇게 찾은 해 중에서 최소한의 비용을 갖는 것이 최종해가 된다. Iteration 방식은 시간이 오래 걸리며, 유한 차분법 또는 유한요소법을 이용한 열분석 역시 시간이 오래 걸리는 작업이다. 때문에 물리적 설계에서 매번 구한 해에 대해서 열분석을 할 경우 계산시간은 제어할 수 없을 정도로 늘어나게 된다. 따라서 물리적 설계에서 열분석을 사용하기 위해서는 열분석 시간을 효과적으로 줄여야 하며, 이를 위한 다양한 열분석 방법들이 제안되고 있다.

- 플로어플래닝이나 배치의 경우 시뮬레이터드 어닐링(simulated annealing: SA)을 이용하여 점진적으로 최적해를 찾아나가는 방식을 사용한다. 따라서 초기에 찾은 해들은 구하고자 하는 최적해와 멀리 떨어져 있으므로 열분석의 정확도가 조금 떨어져도 된다. 이 점을 이용해 열분석을 위해 칩을 분할할 때 초기에는 요소 크기를 비교적 크게 만들어 행렬식의 크기를 줄이고, 시뮬레이터드 어닐링이 점점 최적해를 찾아갈수록 요소의 크기를 줄여 행렬식의 크기를 크게 하는 방식이 있다^[7].

- Iteration마다 구하는 새로운 해는 이전 iteration에서 구한 해에서 크게 바뀌는 경우가 거의 없다. 따라서 이전과 같은 열전도성을 가지는 요소들이 많이 있기 때문에 매번 행렬식 전체를 푸는 것이 아니라 LR factorization을 이용해 이전 값을 재사용하여 시간을 줄이는 방식이 있다^[8].

- 칩 내에 로직게이트나 금속 배선이 균일하게 분포하지 않기 때문에 이들이 많이 몰려있는 부분은 요소의 크기를 작게 하고 그렇지 않은 부분은 요소의 크기를 크게 하여 열분석의 정확성은 가능한 유지하면서 행렬식의 크기를 줄이는 방식도 있다^[9].

III. 열을 고려한 설계 기법

3D IC에서 열점을 제거하여 최대한 균일한 열분포를 얻도록 하고, 발생된 열이 효과적으로 회로 밖으로 방출될 수 있도록 열방출 경로를 고려한 플로어플래닝, 배치, 배선 등 물리적 설계의 모든 단계에서 다양한 방법들이 제안되었다.

• 열방출을 고려한 플로어플래닝 및 배치

일반적으로 heat sink는 <그림 3>과 같이 주로 3D IC의 하부에 위치하기 때문에, 플로어플래닝 시 상부에는 회로 블록을 듬성듬성하게 배치하여 전력밀도를 낮추고, 하부로 내려갈수록 회로 블록을 더욱 촘촘하게 배치하면 전체 회로의 열방출 효율을 개선할 수 있다. 3D IC의 플로어플래닝 알고리즘에는 2D와 마찬가지로 시뮬레이티드 어닐링이 주로 사용된다. 다만 비용함수에 전통적으로 고려되던 배선 길이와 회로의 총면적에 더불어 TSV의 개수와 회로의 온도가 고려된다는 차이점이 있다. 시뮬레이티드 어닐링을 수행하는 동안에는 수백만 조합의 해에 대해서 비용함수를 검증해야 하기 때문에, 현재 해의 온도분포를 효과적으로 계산할 수 있는 열모델과 열분석 기법이 중요하다.

• TSV 삽입

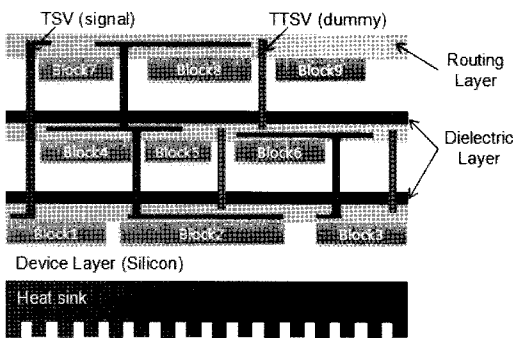
3D IC의 서로 다른 층 사이에 존재하는 절연물질은 열저항이 매우 크기 때문에, 상부 층에서 발생한 열이 하부에 있는 heat sink로 빠져나가지 못하도록 방해하는 기능을 한다. 이로 인해 각 층마다 국소고온점이 발생하지 않도록 열의 분포를 최적화할지라도 회로의 열 방출 효율은 여

전히 낮을 수 있다. <그림 3>과 같이 TSV는 서로 다른 층 사이를 연결하기 때문에 열저항을 낮추는데 매우 효과적인 것으로 알려져 있다^[3]. 특히 TSV는 열전달 경로에 직접적인 영향을 줌으로써 국부적 열점(localized hotspot) 제거에 효과적이며, 열변화율(thermal gradient)이 큰 지점에서 더욱 큰 효과를 발휘하는 것으로 알려져 있다. 한 연구 자료에 의하면, 배치 단계에서 열방출을 고려한 경우 이를 고려하지 않은 경우에 비해 최대 온도와 평균 온도 변화율(thermal gradient) 모두 17% 감소한 반면 TSV에 의해서는 30%까지 감소한 결과가 보고되었다^[10].

• 열방출을 고려한 배선

3D IC와 2D IC의 가장 큰 차이는 서로 다른 층간의 배선을 위해 사용되는 TSV이다. 전통적인 2D IC에서는 공정이 미세해질수록 로직게이트들은 그 크기가 작아져 기생 커패시턴스도 같이 줄어들는데 비해 배선에 의한 커패시턴스는 상대적으로 늘어나는 경향이 있다. 회로의 동작 중에 발생하는 스위칭 소비 전력의 경우 기생 커패시턴스가 중요한 역할을 하게 되는데 2D IC의 경우 상기한 이유로 인해 배선에 의한 전력 소모가 상대적으로 증가하는 경향을 보이고 있다.

반면 3D IC는 배선 중의 일부가 TSV가 되기 때문에 TSV의 커패시턴스가 중요하게 된다. 최근에 발표한 논문들에 따르면, 현재까지 제안된 TSV는 직경이 1~6um, pitch는 5~30um라고 한다^[3,7]. TSV는 substrate와 수직인 방향으로 길게 뻗어있기 때문에 substrate와의 커패시턴스가 매우 작고 TSV간 거리도 멀기 때문에 커플링 커패시턴스도 작다. 따라서 전력 소모가 큰 곳은 TSV로 만들면 전력을 줄일 수 있으며, 이로 인해 열방출도 줄일 수 있게 된다.



<그림 3> 3D IC의 단면도



또한 배선의 지연시간은 온도에 비례하여 증가한다. 따라서 온도 문제가 심각한 3D IC에서는 임계 경로(critical path)를 온도가 높은 지역에서 최대한 멀리 떨어지도록 배선하는 것이 지연시간을 개선하는데 효과적이다.

3D IC에서는 연결된 블록들이 다른 층에 위치할 수 있기 때문에, 핀의 위치가 여러 층에 산재할 수 있다. 서로 다른 층에 위치한 핀을 연결해 주기 위해서는 금속 배선과 일반 via뿐 아니라 TSV를 사용한다. 그러나 앞에서 언급 했듯이, TSV의 위치 선정에 따라 배선길이 뿐만 아니라 회로의 온도도 영향을 받게 된다. 따라서 3D IC의 배선 단계에서는 기존의 배선길이, 지연시간, 배선의 과잉밀집(congestion)의 최소화 외에도 온도를 가장 효과적으로 낮출 수 있는 TSV의 위치를 찾는 일이 중요하다.

• TTSV 삽입

TSV의 위치에 따라 온도와 배선길이 둘 다 영향을 받기 때문에, 온도와 배선길이 각각을 최소화하는 TSV의 위치가 서로 대립되는 경우가 발생할 여지가 있다. 즉, 만약에 TSV를 열저항을 가장 효과적으로 낮출 수 있는 지점에 배치하면 회로의 배선길이가 지나치게 증가할 우려가 있으며, 반대로 배선길이를 최소화하는 지점에 배치하면 열저항이 거의 개선되지 않는 지점에 놓일 우려가 있다.

이러한 TSV의 단점을 개선하기 위해, TSV와 동일한 구조를 갖으며 서로 다른 층을 연결해 주지만 열저항을 낮추는 용도로만 사용되는 thermal TSV(TTSV)가 제안되었다. TTSV는 신호를 전달하지 않기 때문에 dummy via라고도 불린다. TTSV는 주로 회로 블록 사이의 빈 공간에 위치하게 되는데, 어느 정도의 배선 자원을 차지

하기 때문에 배선의 과잉밀집도(congestion)를 증가시킬 우려가 있으며, 따라서 추가적인 배선 자원을 확보하기 위해 전체 회로의 크기에도 영향을 주게 된다. 또한 회로에 사용된 TTSV의 개수가 증가함에 따라 제조 원가가 증가하고, 공정 수율도 낮아진다. 이에 TTSV의 사용을 최대한 제한하면서 열저항 개선 효과를 극대화하는 다양한 알고리즘이 제안되었다. 특히 TTSV의 배치가 기존의 전통적인 물리적 설계의 요구사항과 충돌하지 않도록, 평면배치나 배치 및 배선 단계에서 TTSV의 배치를 동시에 고려하는 연구도 제안되었다.

IV. 외부적인 Cooling 기법

3D IC는 적층 구조를 가지기 때문에 단위 면적당 전력 값이 2D에 비해 많이 늘어나게 된다. 높아진 전력 밀도는 기존 공냉식 cooling 시스템의 한계(1cm^2 당 100W의 열을 빼낼 수 있다^[11])를 넘어섰기 때문에 보다 효과적으로 열을 빼내기 위해 수냉식 cooling 시스템을 사용하기 시작하였다.

수냉식 cooling 시스템은 Tuckerman과 Pease에 의해 1981년에 처음 제안되었다^[12]. 하지만 당시의 공정기술로는 microchannel을 만들기 어려웠고 냉각액의 흐름을 제어하기 위해서는 큰 압력이 필요했기 때문에 널리 이용되지는 못했었다. 그러나 RIE (reactive ion etching) 등의 방법을 이용하여 microchannel의 제작이 용이해지고 냉각액 흐름에 필요한 압력을 줄여주기 위하여 흐름을 나누어 제어하는 방법 등이 개발되면서 수냉식 cooling 시스템이 다시 각광받게 되었다.

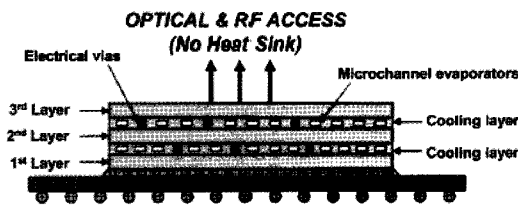
- Microchannel 기법

Microchannel 기법은 <그림 4>와 같이 칩의 내부의 절연층에 channel을 형성하여 내부에서 발생된 열이 직접적으로 방출될 수 있도록 한 것이다.

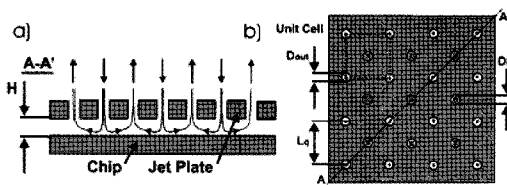
<그림 4>에 표시된 cooling 층은 기존의 각 실리콘 층을 절연해주는 역할을 함과 동시에 heat sink의 역할을 하게 된다. 앞서 언급한 바와 같이 절연층에 의해 열전달이 제대로 되지 않아 열방출이 심각한 문제가 되었던 점을 고려한다면 microchannel cooling은 3D IC에서 필수적인 cooling 기법이 될 것으로 예상된다.

- Jet-impingement 기법

Microchannel 기법이 칩 내부에 열을 손쉽게 방출하기 위한 방법이라면 jet-impingement 기법은 냉각액이 칩의 뒷면을 직접 접촉하여 순환할 수 있게 하여 heat sink의 효율을 높임으로써 열발산이 용이하게 한 것이다. <그림 5>는 jet impingement 기법의 한 예를 보여준다. Jet



<그림 4> Microchannel cooling 시스템 단면도^[13]

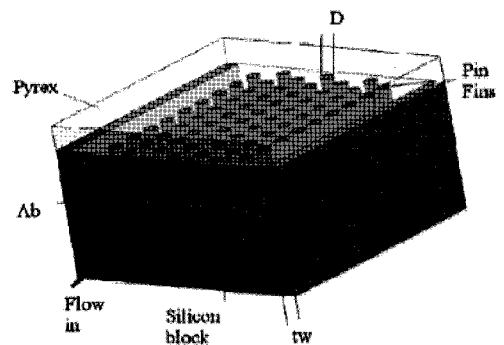


<그림 5> Jet impingement cooling 기법^[14]

impingement cooling 시스템을 구현할 때 주의할 점은 냉각액의 흐름이 원활하게 하여 칩의 모든 부분에서 열발산이 이루어 질 수 있도록 해야 한다는 것이다. 또한 microchannel과 마찬가지로 냉각액의 흐름을 만들기 위한 압력이 크지 않더라도 원활한 흐름을 만들어 줄 수 있도록 설계되어야 한다.

- Micro pin fin 기법

Heat sink의 효율을 극대화 하는 또 다른 방법으로 micro pin fin heat sink가 있다. 이는 microelectromechanical system (MEMS) 기술 발전과 더불어 주목받기 시작하였고 기본 개념은 <그림 6>처럼 실리콘 기판에 heat sink를 직접적으로 통합하는 것이다. 실리콘 기판의 뒷면에 제작된 micro pin fin은 이곳에 흐르는 냉각액들과 실리콘 사이의 접촉면적을 극대화하여 실리콘의 열저항을 줄여주는 역할을 한다. Pin fin의 직경과 높이, 서로 간의 간격에 따라서 열저항이 달라지고 냉각액의 흐름 역시 pin fin의 모양에 큰 영향을 받기 때문에 가장 효율적인 pin fin의 배치 및 모양을 결정하는 것이 중요하게 된다.



<그림 6> Micro pin fin heat sink의 기본 개념^[15]

V. 향후 전망

유한차분법 또는 유한요소법을 이용한 전통적인 열분석 방식은 높은 계산량 때문에 3D IC 설계 단계에서 사용하기에는 적합하지 않다. 이를 해결하기 위해 전력과 온도사이의 양성피드백이나 시간에 따른 블록들의 전력 변화 등 많은 계산량이 요구되는 것들은 무시된 방식들이 제안되었다. 이로 인해 열분석을 통해 얻은 3D IC의 온도분포와 실제 칩에서 발생하는 온도분포는 차이가 나게 되기 때문에 그것들을 효과적으로 다룰 수 있는 열분석 방법 개발이 필요하다.

회로의 누설전류에서 가장 높은 비중을 차지하는 것이 바로 subthreshold 누설 전류이다. 이 누설전류는 문턱전압(threshold voltage: V_{th})의 지수함수이며 문턱전압이 낮아질수록 누설전류는 지수적으로 증가한다. 그런데 문턱전압은 다시 온도의 함수이고 온도가 1°C씩 올라갈 때마다 약 0.8mV씩 감소한다. 따라서 온도가 높아질수록 누설 전력 역시 증가하게 되는데, 정확한 온도 예측을 위해서는 온도와 누설전력간의 양성 피드백을 고려해야만 한다.

어떤 기능 블록에서 소비되는 전력은 시간에 따라 변한다. 따라서 보다 정확한 온도 분석을 위해서는 시간에 따른 블록들의 전력변화를 고려해야 한다. 이를 고려한 열분석 방식이 제안되긴 했지만^[16] 계산시간이 길어 설계시에 사용하기에는 무리가 있다. 3D IC 설계에서 열분석을 더 잘 활용하기 위해서는 이런 요소들을 효율적으로 고려할 수 있는 방법 개발이 필수적이다.

참고문헌

- [1] A. Topol, D. Tulipe, L. Shi, D. Frank, K. Bernstein, S. Steen, A. Kumar, G. Singco, A. Young, K. Guarini, M. Leong, "Three-dimensional integrated circuits," *IBM Journal of Research and Development*, Vol.50, No.4, pp.491-506, 2006.
- [2] C. Tan, R. Gutmann, and L. Reif, *Wafer level 3-D ICs process technology*, Springer, 2008.
- [3] J. Cong and Y. Zhang, "Thermal via planning for 3-D ICs", in *Proceedings of International Conference on Computer Aided Design*, Nov., 2005, pp.745-752.
- [4] M. Pedram and S. Nazarian, "Thermal modeling, analysis and management in VLSI circuits: principles and methods," *IEEE Special Issue on On-Chip Thermal Engineering*, Vol.94, No.8, pp.1487-1501, Aug., 2006.
- [5] R. Weerasekera, L. Zheng, D. Pamunuwa, and H. Tenhunen, "Extending Systems-on-Chip to the Third Dimension: Performance, Cost and Technological Tradeoffs," in *Proceedings of International Conference on Computer Aided Design*, Nov., 2007, pp.212-219.
- [6] P. Wilkerson, A. Raman and M. Turowski, "Fast, automated thermal simulation of three-dimensional integrated circuits," in *Proceedings of Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronics Systems*, June, 2004, pp.706- 713.

- [7] J. Cong and Y. Zhang, "Thermal-driven multilevel routing for 3-D ICs," in *Proceedings of Asia South Pacific Design Automation Conference*, Jan., 2005, pp.121-126.
- [8] J. Cong, J. Wei, and Y. Zhang, "A Thermal-Driven Floorplanning Algorithm for 3D ICs," in *Proceedings of International Conference on Computer Aided Design*, Nov., 2004, pp.306-313.
- [9] P. Li, t. Pileggi, M. Asheghi, and R. Chandra, "Efficient full-chip thermal modeling and analysis," in *Proceedings of International Conference on Computer Aided Design*, Nov., 2004, pp.319-326.
- [10] C. Ababei, Y. Feng, B. Goplen, H. Mogal, T. Zhang, K. Bazargan, and S. Sapatnekar, "Placement and routing in 3D integrated circuits, *IEEE Design & Test of Computers*, Vol.22, No.6, pp.520-531, Nov., 2005.
- [11] T. C. Chen, "Where CMOS is going: trendy hype vs. real technology," in *Proceedings of International Solid-State Circuits Conference*, Feb., 2006, pp.1-18.
- [12] D. Tuckerman and R. Pease, "High-performance heat sinking for VLSI," *IEEE Electron Device Letters*, Vol.2 num. 5, pp.126-129, 1981.
- [13] J. Koo, S. Im, L. Jiang, and K. Goodson, "Integrated microchannel cooling for three-dimensional electronic circuit architecture," *Journal of Heat Transfer*, Vol.127, No.1, pp.49-58. Jan., 2005.
- [14] T. Brunschwiler, H. Rothuizen, M. Fabbri, U. Kloter, and B. Michel, "Direct liquid jet-impingement cooling with micron-sized nozzle array and distributed return architecture," in *Proceedings of Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronics Systems*, June, 2006, pp.196-203.
- [15] Y. Peles, A. Kosar, C. Mishra, C. Kuo, and B. Schneider, "Forced convective heat transfer across a pin fin micro heat sink", *International Journal of Heat and Mass Transfer*, Vol.48, No.17, pp.3615-3627, 2005.
- [16] E. Choi and Y. Shin, "3-D thermal simulation with dynamic power profiles," in *Proceedings of International Symposium on Circuits and Systems*, May, 2008, pp.2765-2768.
- [17] M. Pedram and S. Nazarian, "Thermal modeling, analysis and management in VLSI circuits: principles and methods" *Proceedings of the IEEE*, Vol.94, No.8, pp.1487-1501, 2006.

저자소개



신 인 섭

2007년 2월 KAIST 전기 및 전자공학과 학사
 2009년 8월 KAIST 전기 및 전자공학과 석사

주관심 분야 : High-level synthesis for optimizing power, Low power design methodology, 3D IC thermal analysis

저자소개



백 승 훈

2006년 8월 KAIST 전기 및 전자공학과 학사
 2008년 8월 KAIST 전기 및 전자공학과 석박사 통합과정 편입

2002년 2월~2002년 9월 Microweb Co., Ltd. - HW Engineer

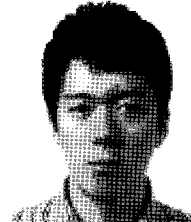
주관심 분야 : Low leakage design methodology, High performance design methodology based on pulsed-latches, 3D IC thermal analysis



김 상 민

2008년 2월 KAIST 전기 및 전자공학과 학사

주관심 분야 : Physical design of circuits



서 문 준

2005년 2월 KAIST 전기 및 전자공학과 학사
 2007년 2월 KAIST 전기 및 전자공학과 석사

주관심 분야 : Low power design methodology, Power gating, Dual-vt allocation

저자소개



유 리 은

2004년 2월 KAIST 전기 및 전자공학과 학사
 2007년 2월 KAIST 전기 및 전자공학과 석사

주관심 분야 : Timing analysis considering process
 variations



신 영 수

1994년 서울대학교 전자공학과 학사
 1996년 서울대학교 전자공학과 석사
 2000년 서울대학교 전자공학과 박사
 2001년~2004년 IBM T.J. Watson research center,
 Research staff member
 2004~현재 KAIST 전기 및 전자공학과 부교수