

3차원 적층 패키징 기술 동향

최광성 (한국전자통신연구원)

I. 서론

모바일 터미널을 통한 멀티미디어 콘텐츠 유통 시대가 도래함에 따라 경박단소의 부품, 그리고 다양한 기능을 하나의 부품에 구현하여 다기능 혹은 시스템에 준하는 성능을 구현하도록 하는 부품에 대한 시장의 요구가 날로 증가하고 있다. 패키징 영역에서 전통적으로 이러한 시장에 대응해왔던 기술로 MCM (Multi-chip module) 기술이 있었지만, KGD (known-good-die) 문제와 표준 부재, 그리고 메인 프레임 컴퓨터 등 제한된 시장을 목표로 하였기에 저변 확대에 실패하였다. 한편, 전통적인 패키징 기술의 발전으로 인해 여러 개의 칩을 하나의 패키지 안에 2차원 혹은 삼차원적으로 패키징하는 MCP (Multichip package) 기술이 등장하였다. 이 기술은 기존 패키징 및 테스트 인프라를 그대로 사용함으로써 저비용을 구현할 수 있고 다양한 기능의 칩을 하나의 패키지 안에 집적함으로써 기능 통합을 수행할 수 있다는 장점이 있다^[1,2]. 하나의 단위로 패키징하여 시스템이나 서버 시스템과 연관된 다기능을 수행하도록 한, 서로 다른 기능의 능동 전자 부품들의 조합으로 정의된

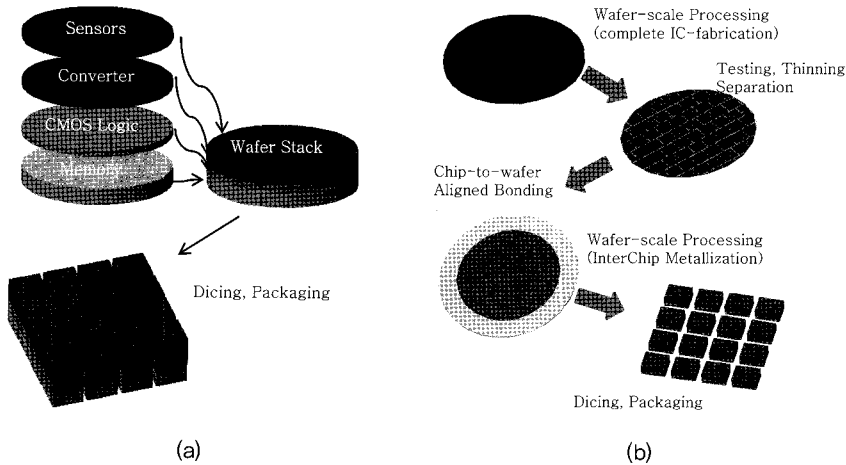
SiP(System in package)는 패키지 레벨에서 시스템 혹은 서버 시스템의 성능을 구현을 시장이 요구함으로 태동하게 되었다^[2]. 이는 능동소자간의 interconnection 길이를 최소화하므로 신호 지연, 임피던스 부정합 등의 손실을 최소화할 수 있고 단위 면적당 실장 면적을 극대화하여 대용량, 초소형 부품을 개발할 수 있기 때문이다. 대용량과 빠른 속도를 원하는 시장의 요구는 기존 PCB 혹은 LTCC 기반 패키지에서 실리콘 기반 패키지의 개발을 가능하게 하였다. 이는 미세 패턴을 통해 높은 I/O 수를 갖는 소자를 실장할 수 있다는 장점과 높은 열 전도도로 인한 방열 특성, 실리콘 칩과 동일한 열팽창계수를 가져 신뢰성에 유리하다는 장점이 있기 때문이다. 여기에, 물리적인 한계에 다다른 반도체 공정의 이차원적인 집적도, 패키지의 interconnection에 의한 delay 및 전력 소모 등을 극복하기 위해 능동소자를 삼차원으로 집적하는 삼차원 적층 기술이 어우러져 무어의 법칙을 뛰어넘는 집적도와 다양한 기능의 칩의 동시 적층을 통한 시스템 구현이 패키지 레벨에서 가능하게 되었다.

삼차원 적층 기술에 필요한 기술은 칩에 구멍을 형성하는 TSV (Through silicon via) 형성

기술, TSV를 채우는 기술, 웨이퍼 혹은 칩을 적층하는 기술, 웨이퍼를 갈아 얇게 만드는 기술 등 여러 가지 복합적인 기술이 필요하다. 각 기술마다 여러 가지 기술이 시도되고 있으며 다른 원고에서 이를 다루므로 본 고에서는 웨이퍼 혹은 칩을 적층하는 삼차원 적층 기술의 핵심 요소 기술에 대하여 설명하고자 한다.

II. 3차원 적층 기술

삼차원 적층 기술은 <그림 1>에 나타난 바와 같이 크게 웨이퍼에 웨이퍼를 적층하는 기술과 웨이퍼에 칩을 적층하는 기술로 나눌 수 있다. 웨이퍼에 웨이퍼를 적층하는 방법은 메모리와 같이 칩의 크기가 같아야만 하며 수율이 높을 경우 생산량이 높고 표면 관리를 철저히 해야 한다. 웨이퍼에 칩을 적층하는 기술은 good die만을 붙이기 때문에 수율이 높지만 생산량이 떨어지고 칩의 종류나 크기, 모양, 소재 등에 구애를 받지 않는다는 특징이 있다.



<그림 1> 삼차원 적층 기술 (a) 웨이퍼를 적층하는 방법 (b) 웨이퍼에 칩을 적층하는 방법

삼차원 적층에 있어 접합에 사용되는 기구는 산화막을 이용하여 접합하는 방법, 금속의 확산을 이용하여 접합하는 방법, 금속간 화합물의 공융점을 이용하여 접합하는 방법, 폴리머 접착제를 이용하는 방법, 범프를 이용하는 방법, 마지막으로 위의 방법을 조합하여 적용하는 방법이 있다. 이들 접합 기구들은 삼차원 적층 기술에 따라 선택적으로 적용된다.

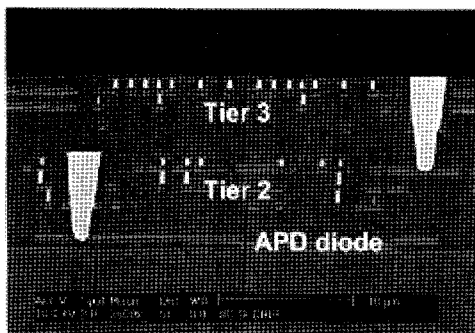
1. 웨이퍼에 웨이퍼를 적층하는 방법

가. SiO/SiO Bonding

산화막 혹은 금속간의 직접적인 접합은 표면이 원자 수준의 거칠기를 가져야 한다는 전제 조건을 만족시켜야 한다. 산화막 즉 SiO/SiO 접합은 이산화규소를 증착한 이후 폴리싱한 다음 접합하는 공정을 거친다. 초기 결합 에너지는 실리카에 자발적으로 흡착된 물 분자 간의 상호작용과 실리카의 산소원자와 물 분자의 수소간의 결합으로 이루어진다. 고온에서 어닐링 공정을 거

치면 두 실리카 사이의 간격이 점진적으로 줄어들며 결합 에너지가 증가한다. 고온에서는 물 분자가 실리카 층을 통해 확산해가며 Si-O 결합이 증가하여 실리카 기반의 결합이 얻어지게 된다. 삼차원 적층을 위해서는 어닐링 온도가 300 ~ 400 °C를 넘기 어렵지만 다행히 위 온도에서 상당한 결합 에너지를 얻을 수 있다. 더 높은 결합 에너지가 필요하면 표면을 플라즈마를 이용하여 활성화하는 방법을 이용할 수 있다. 직접 결합의 결합을 제거하기 위해서는 표면 관리가 중요하다. 이는 충분한 크기의 오염 입자가 결합을 유발하고 동시에 표면에 탄성 변형을 가져오기 때문이다. 산화물을 이용한 접합 방법은 온도에 무관하게 안정적이고 삼차원 집적을 위한 공정에 적합하다는 장점이 있다.

MIT Lincoln Lab에서는 <그림 2>에 나타난 바와 같이 이 공정을 silicon-on-insulator (SOI) 기판에 적용하여 3D-LADAR (laser radar) 칩을 개발하였다^[3]. 이 때, 표면 거칠기는 50 nm 이하로 관리되었고 어닐링은 275 °C, 10시간으로 최적화되어 1000mJ/m²의 결합 에너지를 얻었다. Cea-LETI에서도 SOI 기판에 이 기술을 적용하였다. 적층을 위한 기판에



<그림 2> 삼차원 적층 공정으로 완성된 3D-LADAR 단면 SEM 사진^[3]

PECVD SiO₂를 800 nm 증착한 이후 chemical-mechanical planarization (CMP) 공정과 세정 공정을 진행한 이후 상온에서 접합한 이후 400 °C 이하에서 어닐링하였다.

Ziptronics사에서는 산화물 표면에 화학적 처리를 하여 저온에서 접합하는 기구를 제안하였다. 산화물 표면을 활성화 (activation)하고 반응기를 붙임 (termination)으로 저온 공정을 위한 화학적 처리가 이루어진다. 활성화 공정은 표면 결합을 끊어 표면의 반응성을 증가시키며 동시에 CMP 공정 이후에 남아 있는 불순물을 제거하는 역할을 수행한다. 사용되는 반응기는 아민기나 불산기이다. 반응기가 산화물 표면에 형성되면, 서로 붙여 화학 반응이 일어나게 한다. 이러한 화학 반응으로 인해 수소와 같은 부산물이 발생한다. 생성된 수소는 이산화규소에서 확산계수가 높기 때문에 산화물 접합 계면에서 쉽게 제거된다. 이러한 방법으로 저온 즉 상온에서 높은 표면 결합 에너지를 갖는 접합을 구현한다. Ziptronics사는 위 저온 산화물 접합 공정을 이용하여 산화물 접합 및 삼차원 전기적 연결을 위한 금속 접합을 동시에 수행하는 Direct Bond Interconnect (DBI) 기술도 개발하였다. 금속 전극을 형성하는 방법은 전기 도금을 이용하는 방법과 다마신 (Damascene) 방법을 이용하는 방법 두가지가 있다. 금속끼리 접합하는 기구는 산화층의 높이보다 금속 전극의 높이를 수 nm 정도 높게 산화물 없이 형성한 다음 산화물 간 접합을 실시하는 방법과 산화층의 높이 보다 수 nm 정도 낮게 금속 전극을 형성한 다음 열을 가하여 금속의 열팽창계수가 산화물보다 높은 점을 이용하여 금속 간 결합을 형성하는 방법이 있다. Ziptronics사의 방법은 웨이퍼와 웨이퍼 간의 접합 뿐만 아니라 칩과 칩 혹은 칩과 웨이퍼

간의 접합에서도 적용될 수 있다.

나. 금속 간 접합

용융이나 솔더링을 제외한 금속 접합은 Cu/Cu 접합, Au/Cu 접합, Au/Au 접합 등이 있지만 Au/Au 접합의 경우 stud bump를 이용한 열 압착 방법이 적용되며 주로 칩을 접합시킬 때 적용된다. 이러한 금속 접합이 선호되는 이유는 기계적인 접합과 동시에 전기적인 연결을 한 공정으로 확보할 수 있다는 장점과 더불어 금속 접합은 유기물과는 달리 반응 가스(out-gassing)가 발생하지 않는다는 장점이 있다. 웨이퍼 레벨 공정에 구리가 금보다 선호되는 이유는 금의 migration이 심하기 때문이다. 구리 접합의 장점은 구리가 이미 CMOS 공정의 소재로 사용되고 있고, 열적, 전기적 특성이 우수하고 CMP 공정을 통한 평탄화 공정에 쉽게 적용될 수 있다는 점이다. 구리 접합 공정은 크게 두가지로 나뉜다. 하나는 상온에서 표면을 활성화시키는 접합 방법(surface-activated bonding method) 이고 다른 하나는 열 압착 방법이다. 표면 활성화 방법은 두 개의 원자적으로 깨끗한 고체 표면에 붙어 있을 때 발생하는 결합 에너지를 이용한다. 접합 공정은 두개의 표면이 활성화된 웨이퍼를 초고진공하에서 접착시킴으로 완성된다. 표면 활성화는 ion beam bombardment와 같은 공정을 통해 얻어질 수 있다. 이 공정의 장점은 물질에 상관없이 적용 가능한 범용과 상온 공정이기 때문에 서로 다른 소재의 열 팽창 계수 차를 고려할 필요가 없다는 점이다. 반면 공정이 복잡하여 고가의 장비가 필요하고 초고진공 조건이 필요하다는 점이 대량 생산의 걸림돌이다. 열 압착 방법은 공정이 비교적 간단하고 저렴하여 삼차원 집적 응용에 널리 사용되는 기술이다. 열 확산공정

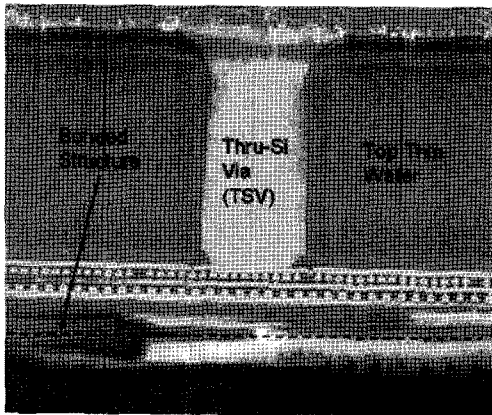
의 단점은 확산 공정을 이용하기 때문에 375 °C와 같은 고온에서 공정이 진행됨에 따라 웨이퍼의 열팽창에 따른 정렬 오차가 크게 발생할 수 있다. 예를 들어 200 mm 웨이퍼에서 2도 정도 온도차가 발생하면 약 1 μm 정도의 정렬 오차가 발생할 수 있다.

MIT에서는 열 압착 방법으로 구리 접합 공정을 개발하였다. 격리 층(isolation)과 확산 방지층(diffusion barrier)을 증착한 이후 300 nm 두께의 구리층을 e-beam으로 증착하였다. 질소 purge 공정을 수행한 이후 진공 하에서 약 226 kPa의 압력을, 300 °C 온도의 본딩 척(bonding chuck)을 통해 한 시간 동안 웨이퍼에 가한다. 접합 공정이 끝난 이후 질소 분위기 하에서 400 °C 고온에서 한 시간 동안 어닐링하여 구리의 상호 확산과 결정립의 성장이 일어나도록 한다. 이를 위해 웨이퍼의 표면 거칠기를 약 2 nm로 유지하였다.

Tezzaron사에서는 구리 접합 공정을 활용한 FaStack 공정을 개발하여 적층 메모리를 개발하였다. 웨이퍼에 SiO₂ 절연층을 형성한 다음 1 μm 두께의 구리 금속을 형성시킨다. 400 °C 미만의 온도에서 구리의 열 확산이 일어나도록 하여 구리 접합 공정을 완성한다.

Intel에서는 <그림 3>에서와 같이 마이크로 프로세서의 로직을 삼차원 층으로 나눌 때 구리 접합 공정을 적용하였다^[4]. 이 공정은 300 mm 웨이퍼에 마이크로 프로세서 제조 공정에 적용 가능하다. 접합 구조는 접합을 위한 구리를 돌출시키기 위해 주위의 산화층을 깎아내어 완성한다. 이 때 구리 접합 패드의 크기는 5 μm X 5 μm 에서 6 μm X 40 μm 이다.

이외에도 솔더링이나 금속간 화합물을 이용한 접합 공정이 개발되고 있으며 이에 대한 자세한

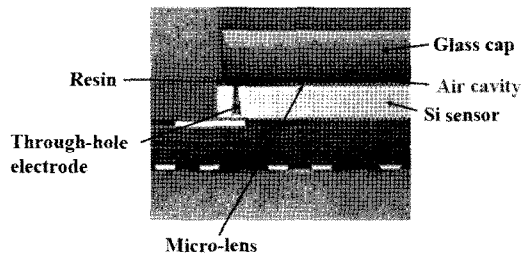


〈그림 3〉 접합된 곳이 점선으로 표기된 Cu-적층 웨이퍼^[4]

내용은 칩을 웨이퍼에 접합하는 공정에서 다를 예정이다.

다. 폴리머를 이용한 접합

다른 접합 방식에 비해 폴리머를 이용한 접합의 장점은 표면 상태에 민감하지 않다는 점과 낮은 접합 온도, 표준 팹 공정 적용에 문제가 없다는 점 그리고 다른 종류의 웨이퍼 접합에도 문제가 없다는 점이다. 또한, 간단하고, 기계적으로 안정적이며 저렴하다는 것도 이점이다. 주된 단점은 공정 중에 정렬이 틀어질 염려가 있고 대칭적인 구조가 아니면 웨이퍼가 휘 가능성이 있다는 점이다. 이는 폴리머의 열팽창 계수가 실리콘에 비해 크기 때문이다. 폴리머 접합을 위한 접착제의 특성은 접착력이 좋아야 하고, 가스등 부산물 발생이 없어야 하며, 열적, 기계적 안정성이 높아야 하며, 크립 현상이 적어야 하고 흡습률이 낮아야 하며, 전체 웨이퍼에 일정한 두께의 필름을 형성하는 공정성이 있어야 한다는 점이다. 이러한 요구사항을 만족하는 폴리머는 benzocyclobutene (BCB)로 유전특성, 결합이 없는 접합, 충분한



〈그림 4〉 폴리머를 이용한 glass와 이미지 센서의 삼차원 적층 구조^[5]

접합 강도, 고온 안정성, 패키징 신뢰성, 그리고 표면 상태에 둔감하다는 특성을 가지고 있어 웨이퍼 본딩에 적합하다.

Rensselaer Polytechnic Institute (PPI)의 3D 연구 그룹은 폴리머 접합 공정을 이용하여 실리콘 적층 공정을 개발하였다. BCB를 이용한 공정으로 Cu/Cu 접합 공정을 통해 삼차원적인 전기적 연결을 확보한 하이브리드형 연결방법을 개발하기도 하였다. SEMATECH과 Freescale 사는 이 공정을 이용하여 CMOS SOI wafer 적층 공정을 개발하였다. Zycube사는 〈그림 4〉에서 나타난 바와 같이 이미지 센서 패키징을 위해 접착제를 이용하여 유리 웨이퍼와 센서 웨이퍼를 접합하는 공정을 개발하였다^[5]. 이는 이미지 센서상의 폴리머 칼라 필터의 온도 안정성이 200°C 미만이기 때문에 웨이퍼 접합을 위해 낮은 공정 온도가 필요하기 때문이다.

2. 칩에 웨이퍼를 접합하는 방법

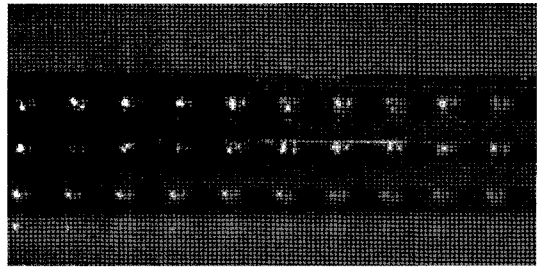
앞서 설명한 산화막, 금속간 접합 등의 공정은 웨이퍼 간의 접합 뿐만 아니라 칩을 웨이퍼에 접합하는 것에 적용할 수 있는 방법이다. 일례로 RTI international에서는 칩에 직경 15 μm 구리 범프를 여러 배열로 형성하여 Cu/Cu 접합 공

정을 개발하였다. 이 때 공정 온도는 300 °C, 15 분간 진행되었고 압력은 340 MPa을 가하였다.

칩에 웨이퍼 혹은 칩에 칩을 삼차원적으로 적층하는 공정에 적용되는 접합 기구는 전통적으로 사용되어온 솔더나 금속간 화합물을 이용한 방법이 활발하게 적용된다. 이는 공정 기구가 충분히 이해됨과 동시에 접합에 요구되는 공정 온도와 압력이 그리 크지 않아 일반적인 flip chip bonding 기술로도 쉽게 구현 가능하기 때문이다. 이러한 접합을 위하여 여러 가지 방법으로 범프를 형성한다. 범프로 사용되는 소재로는 금, 구리, 솔더 등이 사용되고 형성 방법으로는 evaporation, 전기 도금, 무전해 도금, stud bumping, 용융 solder를 이용한 solder jet, screen printing, solder ball을 이용하는 방법 등 여러 가지 방법이 소재에 따라 사용된다. 형성 방법에 따라 비용, 미세 미치 대응 가능성, 부산물 발생, 수율 등이 달라진다. 이 중 삼차원 적층에 사용되는 대표적인 예, 몇 가지를 설명하고자 한다.

가. C4 솔더 접합

Controlled-collapse chip connection의 약자로 IBM에서 개발한 솔더 범핑 기술이다. evaporation으로 범프를 형성한다. 이를 통해 웨이퍼에 칩을 실장하면 칩이 휘는 현상이 발생하는데 이는 through silicon via (TSV) 형성을 위해 칩의 두께를 얇게 한 결과 박막의 잔류 응력, 균일하지 않은 TSV의 배열, 그리고 칩의 배열층이 위 아래면에서 비대칭적이기 때문이다. 예를 들어 75 μm TSV 칩을 C4 bump를 이용해 적층할 경우 상온에서 50 μm 정도의 휨이 발생하여 모서리의 C4 범프의 모습이 변형된 모



<그림 5> C4 범프와 플럭스를 이용하여 적층한 칩 적층 사진^[6]

습을 관찰할 수 있을 정도이다. 적층 공정은 웨이퍼에 칩을 flip chip 접합 공정을 이용하여 실장하고 그 위에 끈적끈적한 플럭스를 바르고 여기에 적층하고자 하는 C4 범프가 있는 TSV 칩을 붙인 다음 reflow를 하여 적층 공정을 진행한다. 그 이상의 칩을 적층하고자 할 때는 위의 방법을 반복함으로 원하는 만큼의 칩을 적층한다. <그림 5>는 위 공정으로 적층된 칩 사진을 보여준다^[6].

칩을 웨이퍼에 적층할 때 중요한 문제 중의 하나는 원하는 수의 칩을 한 번에 적층하는 공정을 개발하는 것이다. 이를 위해 IBM은 구멍이 있는 template를 제작하여 웨이퍼 위에 놓고 적층할 칩을 구멍 안에 쌓아 한 번에 적층 공정을 완성하는 기술을 발표하였다.

나. Solid-Liquid-InterDiffusion(SLID)

SLID 공정은 낮은 용점의 금속을 녹여 여기에 접촉하고 있는 높은 용점의 금속 원자의 확산을 유도하여 두 금속으로 이루어진 금속간 화합물을 형성함으로 완성된다. 금속간 화합물의 용점은 보통 후속 공정보다 높으므로 공정 중에 녹을 염려가 없으며 산화물 제거를 위한 플럭스와 같은 오염원을 사용하지 않기 때문에 잔유물 제거와 같은 공정이 필요 없고 이러한 용융, 금속간

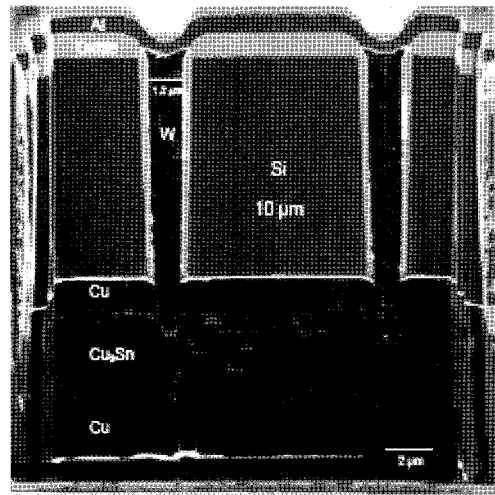


화합물 형성 등의 일련의 과정이 접촉한 두 금속 사이에만 일어나기 때문에 미세 피치에 적용이 가능한 장점이 있다. 다만, 여러 가지의 금속간 화합물이 형성될 경우 금속 원자간의 확산 속도 차이에 의한 kirkendall void가 형성되어 접합 강도 저하를 통한 신뢰성 저하를 일으키므로 공정 조건을 최적화하여 한 가지 종류의 금속간 화합물이 형성되도록 하는 것이 중요하다.

Infineon과 Faunhofer IZM은 적층을 위한 칩에 CuSn을 전기 도금하여 형성하고 웨이퍼에 Cu를 전기 도금하여 형성한 다음 300 °C의 고온에서 Cu가 Sn에 확산하게 하여 Cu₃Sn 금속간 화합물을 형성하도록 하였다. 이 금속간 화합물의 녹는 점은 600 °C 이상이어서 후속 공정에서 녹을 염려가 없다. 금속간 화합물의 부피는 화합물 이전의 금속의 그것보다 작으므로 접합 두께의 감소가 발생한다. 이 때문에 칩 상의 패턴 높이 차이가 어느 정도 이상이면 void가 발생하는 단점이 있다. 따라서, 표면 평탄화 관리가 중요하다. 금속간 화합물이 Cu₃Sn외에 Cu₆Sn₅ 상이 형성되면 kirkendall void가 형성되므로 열을 가하여 모두 Cu₃Sn 상으로 전이되도록 하였다. <그림 6>은 위 공정으로 웨이퍼에 칩을 삼차원적으로 접합한 FIB 사진이다^[7].

ASET에서는 20 μm 피치, 5 μm 높이의 Cu 범프를 전기 도금법으로 형성하고 여기에 1.5 μm 두께의 Sn_{2.5}Ag의 솔더를 전기 도금으로 형성한 다음 Si interposer 상의 Cu plug와 접합하였다. 공정 조건은 350 °C에서 20초로 그 결과 SnAg 상이 모두 Cu₃Sn 상으로 변화하였다.

CuSn 합금을 이용한 공정은 공정 온도가 높기 때문에 응용에 따라서 적합하지 않은 경우가 있다. 이를 위해서 AuIn 솔더를 적용한다. In의 녹는점은 157 °C이고 금속간 화합물의 녹는점은



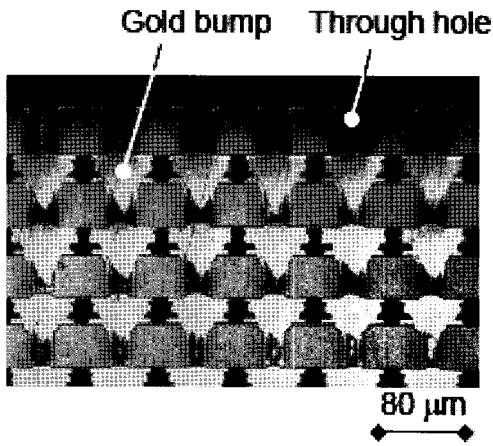
<그림 6> SLID 공정을 이용한 웨이퍼에 칩을 접합한 FIB 사진^[7]

454 °C 이므로 CuSn 보다 낮은 온도에서 적용이 가능하다.

다. Au stud 범프를 이용한 접합

Au stud 범프를 이용한 접합은 범프를 제조하기 쉽다는 면에서 즉, 범프를 위한 under bump metallization (UBM) 형성을 위한 웨이퍼 공정이 필요 없고 플러스 공정이 필요 없을 뿐만 아니라 어느 정도 미세 피치까지 대응이 가능하다는 장점을 가지고 있는 공정이다. 반면에 칩의 I/O 수가 증가하면 비용이 증가하여 웨이퍼 공정에 비해 경쟁력이 떨어지며 공정시 self-alignment 효과가 발생하지 않고 범프의 일정한 높이가 제어 공정이 추가로 필요하고 stud 범프 형성을 위한 별도의 장비가 필요하다는 단점이 있다.

히다치사에서서는 적층할 칩에 Au stud bump를 형성하고 아래 칩에 TSV를 형성한 다음 이를 금으로 도금하여 두 칩을 기계적으로 끼워넣으므로 상온에서 적층하는 공정을 개발하였다.



〈그림 7〉 Au stud와 끼워 넣는 방법으로 적층된 칩 단면 사진^[8]

〈그림 7〉은 상기의 방법으로 적층된 칩의 단면 사진이다^[8].

VI. 3차원 적층 기술 발전 방향

〈표 1〉은 International Technology Roadmap for Semiconductors (ITRS)에서 발표한 실리콘 적층 기술 개발에 있어 중요한 설계 변수를 로드 맵으로 나타낸 것이다^[9]. High-end 소자의 I/O 수는 2007년 3050개에서 2012년에 2860개로 점진적으로 증가되며 low-end나 RF 소자의 경우 패드의 수는 큰 변화가 없다. 적층되는 소자의 수는 큰 변화가 없고 적층에 필요한 TSV의 피치와 직경은 점진적으로 증가함을 알 수 있다. TSV의 aspect ratio는 큰 변화가 없으며 TSV 층의 두께는 점진적으로 감소한다. 웨이퍼의 두께 변화도 큰 변화가 없는데 이는 얇은 웨이퍼를 취급하는 공정이 안정적이지 않기 때문이다. 웨이퍼 그라인딩이나 CMP 공정을 통해 수십 μm 두께로 웨이퍼를 가공할 경우 chipping이나

크랙 발생의 우려가 높으며 이러한 웨이퍼를 임시적으로 carrier wafer에 붙이거나 떼어내야 하는 경우 웨이퍼에 기계적인 무리를 가하지 않고 공정을 진행하는 것이 매우 어렵기 때문에 웨이퍼 두께를 얇게 하는 것은 더딘 발전 속도를 보일 것으로 예상된다.

삼차원으로 웨이퍼나 칩을 적층하는 기술은 적층 공정을 개발 혹은 양산하는 곳의 소재, 공정 기술에 크게 의존한다. SOI 웨이퍼가 필요한 공정을 사용하면 산화막을 이용한 적층 공정이 유리하고 팹 공정에 구리 공정이 도입된 곳이라면 구리를 이용한 접합 공정이 현실적인 접근 방법이다. 이러한 공정이 준비되어 있지 않고 또한 저온 접합 공정이 필요하다면 BCB를 이용한 접합을 대안으로 생각할 수 있다. 대규모 장비 투자가 이루어져야 하는 웨이퍼 레벨의 적층의 위험 부담이 크게 느껴진다면 칩을 웨이퍼에 적층하거나 칩 위에 적층하는 공정이 보다 가깝게 생각될 것이다. 이 경우 솔더를 이용하면 일반적인 reflow 장비 등을 사용할 수 있어 인프라 구축에 큰 위험을 감수하지 않아도 될 것이다. 솔더를 이용할 경우 후 공정 중에 녹아 이것이 신뢰성이나 수율에 영향을 미칠 수 있다면 SLID 공정을 도입하거나 Au stud 범프를 이용한 방법을 해결책으로 생각해 볼 수 있을 것이다.

실리콘 적층 기술은 배선 길이 단축으로 인한 성능 향상, 2차원 면적 감소로 인한 경박단소형 부품 제작에 최적의 해결책으로 여겨질 수 있으나 이를 통한 제품 개발이 성공하려면 기존 기술 대비 비용 절감에도 실현 가능한 접근 방법이 제시되어야 그 응용 분야가 널리 퍼질 수 있을 것으로 기대된다. 이는 삼차원 적층으로 인해, 양산성, 수율, 발열 문제, 및 테스트 문제와 같은 쉽게 해결하기 어려운 문제들이 산적해 있기 때문이

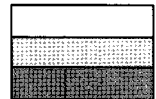
〈표 1〉 SiP 개발 로드 맵^[1]

Year of Production	2007	2008	2009	2010	2011	2012
Number of terminals-low cost handheld	700	800	800	800	800	800
Number of terminals-high performance (digital)	3050	3190	3350	3506	3684	3860
Number of terminals-maximum RF	200	200	200	200	200	200
Low cost handheld/die/stack	7	8	9	10	11	12
High performance/die/stack	3	3	3	4	4	4
Low cost handheld/die/SiP	8	8	9	11	12	13
High performance/die/SiP	6	6	6	7	7	7
Minimum TSV pitch	10.0	8.0	6.0	5.0	4.0	3.8
TSV maximum aspect ratio	10.0	10.0	10.0	10.0	10.0	10.0
TSV exit diameter (μm)	4.0	4.0	3.0	2.5	2.0	1.9
TSV layer thickness for minimum pitch	50	20	15	15	10	10
Minimum component size(μm)	1005	600X300	600X300	400X200	400X200	400X200
Min. thickness of thinned wafer (general product)	50	50	50	50	45	40
Min. thickness of thinned wafer (for ex. Smart card)	20	20	15	15	10	10

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known



고 여기에 적절한 답을 하는 기술만이 살아남을 수 있을 것으로 사료되기 때문이다.

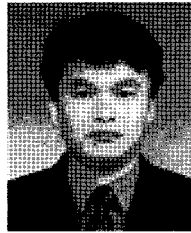
[2] Rao R. Tummala, “SOP: What Is It and Why? A New Microsystem-Integration Technology Paradigm-Moore's Law for System Integration of Miniaturized Convergent Systems of the Next Decade,” IEEE Trans. Advanced Packaging, Vol.27, No.2, pp.241-249, May, 2004.

***** 참고문헌 *****

[1] 이춘홍, “시스템인패키지 최신 기술 동향”, 월간전자부품, pp.34-41. 3, 2008.

- [3] J. A. Burns, et al, "A Wafer-Scale 3D Circuit Integration Technology," IEEE Trans. Electron Devices, Vol.53, No.10, pp.2507-2516, Oct., 2006.
- [4] P. R. Morrow, et al, "Three-Dimensional Wafer Stacking Via Cu-Cu Bonding Integrated With 65-nm Strained-Si/Low-k CMOS Technology," IEEE Electron Device Letters, Vol.27, No.5, pp.335-337, May, 2006.
- [5] M. Bonkohara, et al, "The Early Stage Applications of 3D LSI Stacking Technology: ZyCSPTM for CMOS Image Sensor," 12th Annual International Known Good Die Packaging and Test Workshop, Sept. 2005.
- [6] B. Dang, et al, "3D Chip Stacking with C4 Technology," IBM J. Res. & Dev., Vol.52, No.6, Nov., 2008.
- [7] P. Ramm, et al, "3D System Integration Technologies," Mat. Res. Soc. Symp. Proc. Vol.766, pp.E5.6.1-E5.6.12, 2003.
- [8] N. Tanaka, et al, "Low-Cost Through-hole Electrode Interconnection for 3D-SiP Using Room-temperature Bonding," Electronic Components and Technology Conference, pp.814-818, 2006.
- [9] Assembly and Packaging, International Technology Roadmap for Semiconductors 2007 edition

저자소개



최 광 성

1993년 2월 한양대학교 재료공학과 학사
 1995년 2월 한국과학기술원 전자재료공학과 석사
 2008년 2월 한국과학기술원 전자공학과 박사
 1994년 3월~2001년 9월 하이닉스 반도체 패키지 개발
 실 주임 연구원
 2001년 9월~현재 한국전자통신연구원 차세대패키지연
 구팀 선임 연구원

주관심 분야 : 삼차원 실리콘 적층 패키징 설계 기
 술, 범프 형성 기술, flip chip bonding
 기술, 초고속 광 통신용 변조기 및 수
 신기 모듈 설계 기술, Radio-over-
 Fiber용 광 변조기 모듈 설계 기술