

40GbE PHY 표준화 이더넷 백플레인 기술

Backplane Technology and Standardization for 40GbE PHY

광통신기술 특집

양충열 (C.R. Yang) 다중전송기술팀 책임연구원
고제수 (J.S. Ko) 다중전송기술팀 팀장

목 차

-
- I . 서론
 - II . 40G 표준화 이더넷 백플레인 기술
 - III . 결론

최근 높은 대역폭을 요구하는 다양한 IP 멀티미디어 애플리케이션이 증가하면서 10G 이더넷 서비스가 폭넓게 이용되고 있으나, 이도 가까운 시기에 트래픽의 한계에 이를 것에 대비하여 보다 큰 대역폭을 제공할 수 있는 40G급 이더넷 기술에 관한 표준화 드래프트 1.0 규격이 이더넷은 IEEE 802.3ba에 의해 2008년 9월 완성되었으며 2009년 완료를 목표로 하고 있다. 본 고에서는 표준화 기술이 어떻게 채택되고 있는지를 알아 보고, 40G 표준화 이더넷 백플레인 기술 및 등화기 구현방안에 대하여 기술한다.

I. 서론

IEEE 802.3에서는 2007년 11월부터 2010년 중반까지 완성을 목표로 IEEE802.3 TF를 결성하여 40GbE/100GbE 표준화를 추진해 오고 있다. 40G/100G 이더넷은 기존 이더넷 프레임 구조를 그대로 유지하고 OTN에 대한 인터페이스가 가능하도록 하며, 가상 선로 개념을 사용하여 대용량 트래픽을 전송하는 것을 특징으로 한다[1].

IEEE 802.3 표준화 전문회의는 격월간으로 Plenary 미팅과 Interim 미팅이 번갈아 가면서 열린다. Plenary 미팅은 IEEE 802.3 산하의 모든 워킹그룹이 같은 장소에서 회의를 개최하고, Interim 미팅은 주로 외국(미국 입장에서)을 선호하며 개최의사가 있는 업체의 대표가 규정에 따라 신청서를 제출하고 설명 및 straw poll을 거쳐 확정된다. Plenary 2회, Interim 1회 참석하면 해당 회의 참석 시부터 멤버 자격을 획득한다. 각 기술 제안 발표자는 관련기술의 협력관계에 있는 멤버간 또는 기술 워크 그룹 내에서 짝은 기술 교류를 통하여 사전에 충분한 수의 동조세력을 확보하고 베이스 라인으로 채택되기 위한 유리한 고지를 선점한다. 기술적인 사안에 대해서는 멤버 보팅(voting) 토큰을 가진 사람만 보팅에 참가할 수 있으며 베이스 라인 도큐먼트 이후에는 테크니컬 체인지에 대한 승인 기준은 투표에 참가한 멤버 3/4의 찬성을 득하지 못하면 부결된다.

전기적 백플레인 기반의 이더넷[2]은 IEEE 802.3ba에서 심도있게 다루어져 왔고, IEEE 802.3 백플레인 이더넷 스터디 그룹이 2004년에 결성되어 “Backplane channel model ad-hoc” 등을 통하여 백플레인 기술에 관한 표준 관련 기반을 마련하는데 큰 역할을 하였다.

본 고에서는 표준화 기술이 어떻게 채택되고 있는지를 알아보고, 40G 표준화 이더넷 백플레인 및 등화기에 대하여 구현방안을 기술한다.

백플레인 이더넷 PHY 조건은 2개의 커넥터 및 저가 소재를 이용해 FR4의 40 인치(1 m) PCB 백플레인을 지원하기 위하여 PCB 상의 2 커넥터를 갖는 임

피턴스 트레이스(100 ohm)를 만족하도록 802.3ba 표준에서 규정하고 있다.

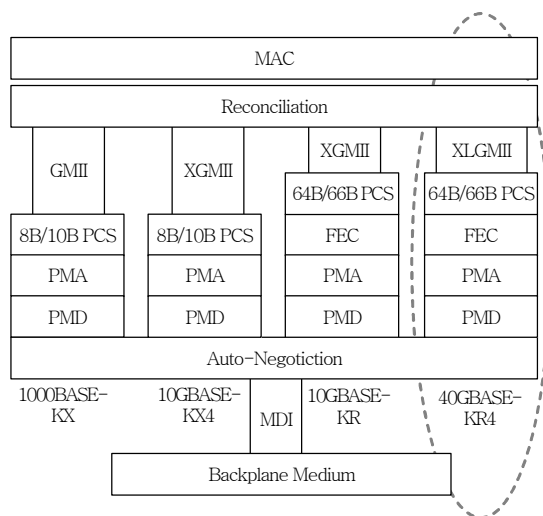
II. 40G 표준화 이더넷 백플레인 기술

◎ 백플레인 이더넷 개요

(그림 1)은 IEEE 802.3ba Draft1.0[3]에서 정한 40G 이더넷 종류와 계층 구조를 나타낸 것이다. 40G를 위한 여러 파라미터들을 제외하고 각각의 기능은 기본적으로 10G 이더넷[2]의 그것과 동일하다. 그림에서 보는 바와 같이 XLGMII(40G MII)가 적용되고 AN은 필수이며 FEC는 옵션으로 채택된다.

40 Gb/s 표준기반 백플레인 이더넷의 예로서 PICMG[4]가 모듈러 네트워킹 및 컴퓨팅 새시(ATCA)의 폼팩터(form factor), 데이터 플레인 상호연결, 코어기능을 정의하였다. 또한 데이터 플레인에 이용할 수 있도록 이더넷 물리층(PHY) 표준의 변형을 정의하였다.

40GBASE-KR4를 관리하는 기술은 다음과 같으며 10GBASE-KR을 4 레인에 맞도록 보완 적용한다.



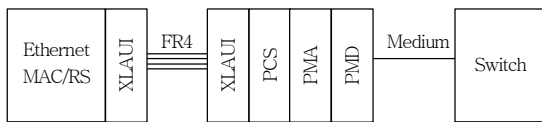
(그림 1) 802.3ba 40G 이더넷 백플레인 인터페이스 구성

- 64B/66B 블록 코딩
- 시동 프로토콜
- 신호속도 10.3125 Gb/s
- 전기적 특성
- 시험방법 및 절차

(그림 2)에 나타낸 바와 같이 40GBASE 백플레인 이더넷 구조는 10 Gb/s 4 레인으로 설계되고 동작한다. (그림 3)은 망인터페이스 카드(NIC)와 스위치간에 갖는 4가지 인터페이스, 즉 1000BASE-KX, 10GBASE-KX4, 10GBASE-KR 및 40GBASE-KR4 백플레인 인터페이스를 나타낸 것이다.

(그림 3)은 40GbE과 백플레인이 분리되어 구현되는 경우로서 XLAUI를 이용한 10 Gb/s chip to chip MAC-PHY 인터페이스 구현 예와, 40GbE과 백플레인이 통합되어 구현되는 경우로서 XLGMII를 이용한 intra-chip MAC-PHY 인터페이스 구현 예를 나타내었다.

(그림 4)는 망인터페이스 카드(NIC)와 스위치간에 갖는 4가지 인터페이스, 즉 1000BASE-KX, 10GBASE-KX4, 10GBASE-KR 및 40GBASE-KR4 백플레인 인터페이스를 나타낸 것이다.



(그림 2) 802.3ba 40G PHY 구성

(그림 5)에 40GbE 백플레인 블록구조로서 플랫폼 관리 제어 기능을 포함하는 ATCA 기반의 플랫폼 구조를 제안하였다.

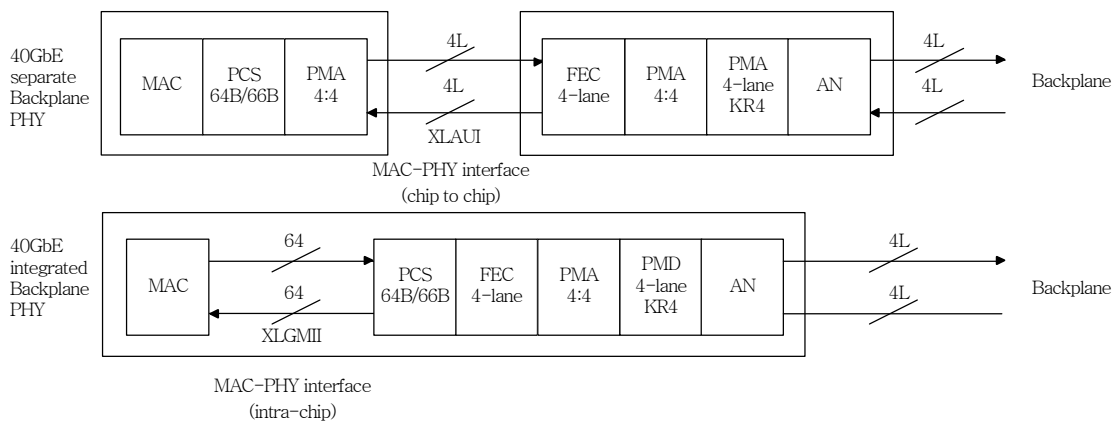
궁극적으로 40G 표준을 만족하는 백플레인 및 컴포넌트 보드 성능은 길이, 트레이스 폭(trace width), 절연, 보드 재질 및 보드 설치 구축(build-up)에 의하여 대부분 결정된다. 그 밖에 삽입손실 및 감쇄, 반사손실, 삽입손실 편차, 삽입손실에 의한 누화범위 등에 크게 좌우된다.

유선 채널에서 데이터 수신을 위해 등화기는 채널 왜곡현상을 개선하기 위해 전달함수를 가져야 하며 채널의 특성과 길이에 따라 적응적인 동작이 가능해야 한다. 이를 위해 백플레인 전달함수는 다음 식에 의해 정해진다.

$$H(s) = \exp(-La\sqrt{s})$$

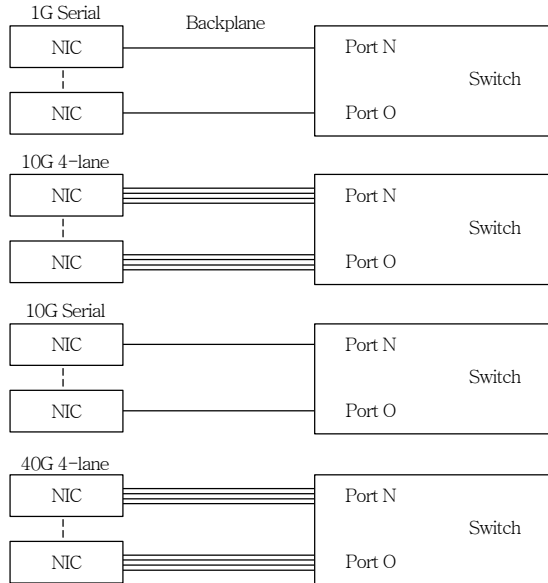
여기서, L은 채널의 길이, a는 채널의 특성상수, 즉 패턴의 길이, 폭 등 특성상수에 따라 손실 또는 잡음을 극복하기 위한 채널특성이 달라진다. 1 m 패턴 길이를 갖는 백플레인을 통해 40GbE을 위한 4 레인의 10 Gb/s 데이터 전송을 위한 PCB 패턴의 굵기가 이때 결정된다.

(그림 6)은 40GbE 백플레인 설계 플로이다. 백플레인은 설계에 앞서 백플레인 채널 특성이 신호대 속도, 백플레인 설계, 비용효과적 재질의 이용률을 최적화 하도록 설계 전 시뮬레이션을 통하여 최적화 되어야 한다. 이를 위해 사용자 요구사항, 입력



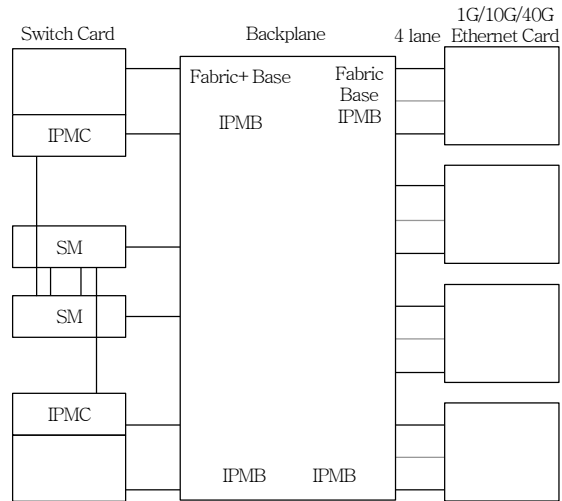
(그림 3) 40GbE 백플레인 PHY 구현 예

데이터 속도, 형상팩터, 그리고 백플레인 재질 및 커넥터 특성이 결정되어야 한다. 2차에 걸친 레이아웃을 확정하고 설계 확인 후 실질적인 백플레인 설계에 착수하는 것이 바람직한 설계방법이다.



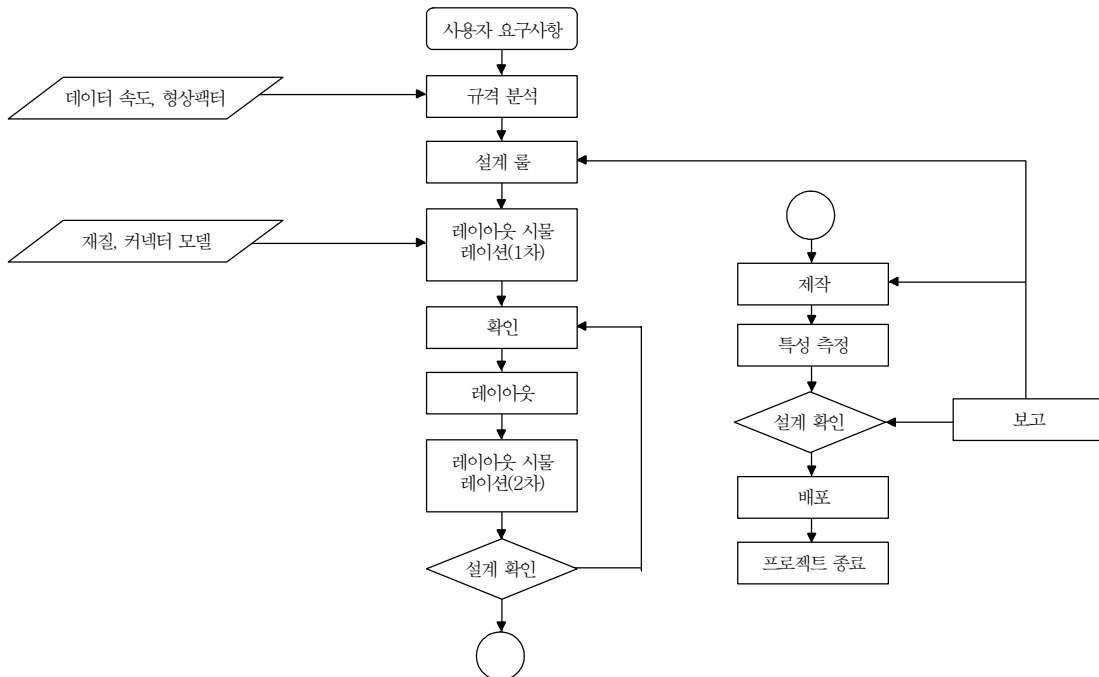
(그림 4) 802.3ba 40GbE 백플레인 인터페이스 구조

<표 1>에 표준화에 기반한 설계 목표이자 대표적인 40G ATCA 표준 플랫폼 특성규격을 제시하였다. 이 40G ATCA 플랫폼은 와이브로, LTE, IMS 등 차세대 네트워크 구축을 위한 개방형 표준장비로



IPMC: Intelligent Platform Management Control
SM: Shelf Manager

(그림 5) ATCA 기반의 40GbE 백플레인 블록 구조



(그림 6) 40GbE 백플레인 설계 플로우

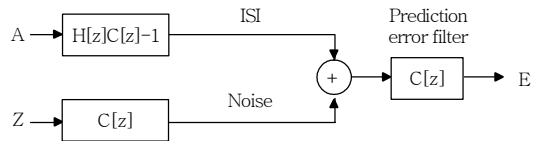
<표 1> 40G ATCA 표준 플랫폼 특성규격

제품/특징		규격
셀프	슬롯 수	14
	셀프 크기	19"
	높이	13U
백플레인	허브슬롯위치	6, 9 슬롯
	패브릭 대역폭	1G/10G/40G
	IPMI 신호	Radial
	스위치 블레이드	ATCA
셀프관리	SAM 수	2
	기본 구조	ShMM
	HPI 위치	ATCA
전원분배	PEM 수	2
	Amps/Feed, Feeds/PEM	80A, Dual Feed
	최대 전원 (프론트+RTM)	< 350 W
냉각용량	CP+ TA Compliance	-
	공기흐름(Front/RTM)	40/5 CFM
NEBS/ETSI 설계		0
동작시스템		-
기본 블레이드 서비스		0
가용성		2008. 12.~ 2009. 9.

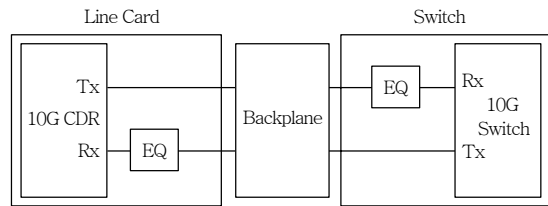
현재 세계적으로 에머스네트웍파워, 래디시스, 콘트론 외에 자이링스, 몰렉스 등에서 곧 선보일 예정이다. 시장조사업체 얼스우드 마케팅에 따르면 2008년 10억 달러를 기록한 전세계 ATCA 시장은 2012년에는 72억 달러로 전망되고 있다.

40 Gb/s급 이상의 고속 데이터 통신 환경과 같이 채널에 의한 신호의 왜곡이 심할 경우 개선된 ISI를 갖는 신호를 수신하기 위해서 (그림 7)의 비선형 등화기(non-linear equalizer)가 사용이 된다. DFE는 FFF, FBF로 구성되며 FFF는 pre-cursor ISI 성분을 제거하고 FBF는 post-cursor ISI를 제거한다. 일반적으로 사용되는 방법은 적응 등화기(adaptive equalizer)로서 수신기의 입력신호를 보고 최대마진을 갖도록 등화기 계수를 조절하는 것이다.

현재 IEEE 802.3ba에서는 10 Gb/s 이더넷을 위



(그림 7) 비선형 DFE 등화기 구조



(그림 8) 40G 수신등화기 적용 예

하여 전송등화기가 표준화되어 있고, 40 Gb/s 이더넷에 대해서도 동일한 표준을 적용하도록 규정되어 있기 때문에 본 발명의 다채널 수신 등화기를 초고속 통신시스템의 수신부에 적용할 수 있다.

(그림 8)에 수신등화기 적용 예를 나타내었다. 등화기는 라인 카드와 스위치 카드의 수신 측에 각각 위치하며 표준을 만족하는 수신 등화기는 다음과 같은 성능 및 특징을 갖도록 요구된다.

- 수 mm 패키지
- TBD mil 차동 FR4 전송라인의 40" (1 m) 간격
- Coax 10 m 간격
- ISI를 줄이도록 자동 수신등화
- 10.7G까지 NRZ 데이터 동작 범위
- 등화 후 20 ps 이내의 잔존 지터
- 내부 피드백 망이 자동적으로 주파수 의존 스킨 효과와 dielectric loss를 매치하도록 등화 제어

PHY는 PMA와 PCS를 포함하여 광모듈로 구성된다. 광모듈은 CDR을 포함하며 다음 예와 같이 구성된다. 10G 상용화 광모듈의 예에 따르면 10G PHY, 10G CDR은 광모듈 속에 포함되거나 라인카드 상에 개별 엘리먼트로서 탑재된다.

송신장치 및 수신장치의 전기적 특성은 각각 <표 2> 및 <표 3>과 같다. 40G를 위한 4 레인 백플레인의 경우 채널간 전송손실, 반사손실, 간섭 등을 제거하는 것이 중요하므로 다채널 수신등화기가 필

〈표 2〉 40G 전송장치 전기적 특성

파라미터	값	단위
신호속도, 라인 당	10.3125 ± 100 ppm	GBd
단위 간격 정상	96.9697	ps
차동 peak-to-peak 출력전압(최대)	30(TBD)	mV
공통모드 전압 범위	0-1.9(TBD)	V
차동 출력 반사 손실(최소)	식 72-4, 72-5 (TBD)	dB
공통모드 출력 반사 손실(최소)	식 72-6, 72-7	dB
트랜지션 타임	24-47(TBD)	ps
최대 출력 지터(peak-to-peak)		
- 랜덤 지터	0.15(TBD)	
- 결정 지터	0.15(TBD)	UI
- 듀티 사이클 왜곡	0.035(TBD)	
- 총 지터	0.28(TBD)	

〈표 3〉 40G 수신장치 전기적 특성

파라미터	값	단위
BER	10 ⁻¹²	
신호속도, 라인 당	10.3125 ± 100 ppm	GBd
단위 간격(UI(정상))	96.9697	ps
수신장치 결합	AC	
차동 입력 peak-to-peak 진폭(최대)	1200	mV
차동 입력 반사손실 진폭(최소)	식 72-4, 72-5 (TBD)	dB

요하다. 전송등화기의 경우 <표 2>의 전기적 특성을 만족하여야 하고, 다채널 수신등화기는 <표 3>의 전기적 특성을 만족하도록 설계되어야 한다.

III. 결론

IEEE 802.3ba TF에서는 40G/100G 이더넷 표준화를 2010년 완료를 목표로 추진하고 있다.

본 고에서는 표준화 기술이 어떻게 채택되고 있는지 소개에 이어, 2008년 표준화 기술 선점의 일환으로 특허권리분석을 수행하였으며 여기서 도출된 기술 중에서 40G 표준화 이더넷 백플레인 기술 및 등화기 구현방안에 대하여 기술한다. IEEE 802.3ba Draft1.0

이 완성되면서 2008년 12월 Emersion사에서 Centellis 4440, 상용 40G ATCA 플랫폼 개발이 발표되었으나 이에 관한 표준화 기술규격은 아직 TBD 상태에 있으므로 보다 우수한 성능을 개발하는 것이 우선이다. 10GbE 기반의 표준화 기술로부터 40GbE 그리고 100GbE 표준화 기술이 완성되기까지 기술적 선점을 위한 경쟁은 지금부터 시작이라 할 수 있다.

본 고에 기술한 40G 백플레인 기술 및 등화기 기술은 향후 다가올 100G 기술을 선점하기 위한 기술로도 충분히 유용할 것이다. 따라서 40G/100G 관련 분야의 세계 기술 및 세계 시장 경쟁력에서 우위를 선점하기 위해서는 관련 핵심기술에 대한 표준 IPR 확보가 필수이다.

● 용어해설 ●

등화기: 40 Gb/s급 이상의 고속 데이터 통신 환경과 같이 채널에 의한 신호의 왜곡이 심할 경우 개선된 심볼간 간섭(ISI)을 갖는 신호를 수신하기 위해서 비선형 등화기로서 적응 제한 등화기(DFE)가 사용된다.

약어 정리

AN	Auto Negotiation
ATCA	Advanced Telecommunications Computing Architecture
CDR	Clock Distribution Recovery
DFE	Decision Feedback Equalizer
EQ	Equalizer
ETSI	European Telecommunications Standards Institute
FBF	Feed-Back Filter
FEC	Forward Error Correction
FFF	Feed-Forward Filter
HPI	Hardware Platform Interface
IMS	IP Multimedia Subsystem
IPMC	Intelligent Platform Management Control
IPMI	Intelligent Platform Management I/F
ISI	Inter Symbol Interference
LTE	Long Term Evolution

NEBS	Network Equipment Building Standard
NRZ	Non Return Zero
OTN	Optical Transport Network
PCS	Physical Coding Sublayer
PEM	Power Entry Module
PHY	Physical Layer
PICMG	PCI Industrial Computing Manufacturer Group
PMA	Physical Medium Attachment
PMD	Physical Medium Dependent
RS	Reconciliation Sublayer
RTM	Rear Transition Module
TBD	To be Determined
TF	Task Force
XLAUI	40 Gigabit Attachment Unit Interface
XLGMII	40 Gigabit Media Independent Interface

참 고 문 헌

- [1] 신중윤 외 5인, “40G/100G 이더넷 표준 기술 및 동향,” 전자통신동향분석, 제24권 제1호, 2009년 2월, pp.32-42.
- [2] IEEE Std 802.3ap-2007, “Ethernet over Electrical Backplanes,” Mar. 2007.
- [3] IEEE Std 802.3ba Draft1.0, “CSMA/CD Access Method and Physical Layer Specifications, Amendment: Access Control Parameters, Physical Layers and Management Parameters for 40 Gb/s and 100 Gb/s Operation,” Sep. 2008.
- [4] PICMG Specification Engineering Change Request 3.0-1.0-001, Jan. 2004.