

동적 주파수 조절 기법을 적용한 3D 구조 멀티코어 프로세서의 온도 분석

증민*, 박영진**, 이병석*, 이정아***, 김철홍****

Thermal Analysis of 3D Multi-core Processors with Dynamic Frequency Scaling

Min Zeng*, Young Jin Park**, Byeong Seok Lee*, Jeong-A Lee***, Cheol-Hong Kim****

요약

집적회로 공정기술이 급속도로 발달하면서 멀티코어 프로세서를 설계하는데 있어서 내부 연결망 (interconnection) 은 성능 향상을 방해하는 주요 원인이 되고 있다. 멀티코어 프로세서의 내부 연결망에서 발생하는 병목 (bottleneck) 현상을 해결하기 위한 방안으로 최근에는 2D 평면 구조에서 3D 적층 구조로 설계 방식을 변경하는 기법이 주목을 받고 있다. 3D 구조는 칩 내부의 와이어 길이를 크게 감소시킴으로써 성능 향상과 전력 소모 감소의 큰 이점을 가져오지만, 전력 밀도 증가로 인한 온도 상승의 문제를 발생시킨다. 따라서 효율적인 3D 구조 멀티코어 프로세서를 설계하기 위해서는 내부의 온도 문제를 해결할 수 있는 설계 기법이 우선적으로 고려되어야 한다. 본 논문에서는 실험을 통해 다양한 측면에서 3D 구조 멀티코어 프로세서 내부의 온도 분포를 분석하고자 한다. 3D 구조 멀티코어 프로세서에서 수행되는 프로그램의 특성, 냉각 효과, 동적 주파수 조절 기법 적용에 따른 각 코어의 온도 분포를 상세하게 분석함으로써 저온도 3D 구조 멀티코어 프로세서 설계를 위한 가이드라인을 제시하고자 한다. 실험 결과, 3D 구조 멀티코어 프로세서의 온도를 효과적으로 관리하기 위해서는 더 높은 냉각 효과를 갖는 코어를 상대적으로 더 높은 동작 주파수로 작동 시켜야 하고 온도에 영향을 많이 주는 작업 또한 더 높은 냉각 효과를 갖는 코어에 할당해야 함을 알 수 있다.

Abstract

As the process technology scales down, an interconnection has become a major performance constraint for multi-core processors. Recently, in order to mitigate the performance bottleneck of the interconnection for multi-core processors, a 3D integration technique has drawn quite attention. The 3D integrated multi-core processor has advantage for reducing global wire length, resulting in a performance improvement. However, it causes serious thermal problems due to

• 제1저자 : 증민 교신저자 : 김철홍

• 투고일 : 2010. 04. 28, 심사일 : 2010. 06. 07, 게재확정일 : 2010. 07. 26.

* 조선대학교 컴퓨터공학부 박사과정 ** 전남대학교 전자컴퓨터공학부 석사과정 *** 조선대학교 컴퓨터공학부 교수

**** 전남대학교 전자컴퓨터공학부 교수

※ 이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원(2009-0068087)과 지식경제부 및 정보통신사업진흥원의 대학 IT연구센터의 지원사업(NIPA-C1090-1011-0008)의 연구결과로 수행되었음

increased power density. For this reason, to design efficient 3D multi-core processors, thermal-aware design techniques should be considered. In this paper, we analyze the temperature on the 3D multi-core processors in function unit level through various experiments. We also present temperature characteristics by varying application features, cooling characteristics, and frequency levels on 3D multi-core processors. According to our experimental results, following two rules should be obeyed for thermal-aware 3D processor design. First, to optimize the thermal profile of cores, the core with higher cooling efficiency should be clocked at a higher frequency. Second, to lower the temperature of cores, a workload with higher thermal impact should be assigned to the core with higher cooling efficiency.

▶ Keyword : 프로세서 구조 (Processor Architecture), 3D 구조 멀티 코어 프로세서(3D Multi-core Processor), 온도 관리 (Thermal Management), 동적 주파수 조절 (Dynamic Frequency Scaling)

I. 서론

집적화로 공정기술의 발달에 기인하여 프로세서의 크기는 점차 감소하고, 성능은 크게 향상되고 있다. 하지만 내부연결망(interconnection) 개선 속도는 이를 따라가지 못하고 있다 [1]. 이로 인해, 최근 주목 받고 있는 멀티코어 프로세서 [2]를 설계하는데 있어서, 내부연결망에서 발생하는 병목현상(bottleneck)으로 인해 성능 향상이 제약을 받고 있다. 2D 평면(planar) 구조 멀티코어 프로세서의 이와 같은 문제를 해결하기 위해, 최근에는 여러 개의 코어들을 수직으로 배치시키고, TSV (Through-Silicon Via)를 통해 연결하는 3D 적층(stacking) 구조 멀티코어 프로세서 설계 기술이 제안되었다. 3D 적층 구조는 기존의 2D 평면 구조에 비해 프로세서 내부 와이어의 길이를 크게 감소시킴으로써 지연 시간을 줄여 프로세서의 성능 향상이라는 이점을 얻을 수 있다. 또한, 프로세서 내부 전체 와이어의 길이가 현저하게 감소하기 때문에 전력 소모 또한 크게 줄일 수 있다. 즉, 3D 집적 회로 기술은 성능 향상과 전력 소모 감소라는 두 가지 이점을 동시에 얻을 수 있기에, 향후 멀티코어 프로세서 설계 시 주요하게 사용될 것으로 예상된다 [3][4].

하지만 3D 구조 멀티코어 프로세서에서는 칩 내부의 온도가 심각하게 올라가는 문제가 유발된다. 칩 내부의 온도 증가는 칩의 성능 및 신뢰성(reliability)의 저하를 가져오는 큰 문제점이다 [5]. 따라서 3D 구조 멀티코어 프로세서에서 발생하는 온도 문제를 해결하기 위해 기존의 온도 관리기법을 기반으로 새로운 해결책이 제시되어야 할 것이다.

3D 구조 적층 구조 멀티코어 프로세서에 대한 많은 관심에도 불구하고, 저온도 유지에 대한 연구는 많이 이루어지지

않은 상황이다. 본 논문에서는 3D 구조 멀티코어 프로세서에서의 온도 문제를 효율적으로 해결하기 위해 요구되는 사항들을 다양한 실험을 통하여, 프로세서 내부의 온도 변화를 살펴보고자 한다. 실험에서는 두 개의 코어를 가진 3D 구조 멀티코어 프로세서를 사용하고, 수행되는 프로그램의 특성 및 냉각 효과, 각 코어의 동작 주파수 변화에 따른 상세한 온도 분석을 수행한다. 이를 통해, 저온도 3D 구조 멀티코어 프로세서 설계를 위한 가이드라인을 제시하고자 한다.

본 논문의 나머지 구성은 다음과 같다. 2장에서는 3D 집적화 기법과 온도 관리 기법에 대해서 기술한다. 3장에서는 상세한 실험 환경과 온도 모델링 방법을 기술한다. 4장에서는 상세한 온도 분석 결과를 제시하고, 5장에서는 결론과 향후 과제를 기술한다.

II. 관련 연구

2.1 3D 집적화 기법

3D 집적 회로를 제작하는데 사용되는 방식으로는 wafer-to-wafer 결합, die-to-die 결합, die-to-wafer 결합 기법들이 있다 [6]. 수직으로 적층(stacking)된 3D 집적 회로에서는 각 레이어 사이의 데이터 전송을 위해서 수직으로 연결되는 TSV (Through-Silicon Via)를 주로 사용한다. TSV를 사용하여 3D 집적 회로를 구성하면 칩 내부의 와이어 길이를 현저하게 감소시킬 수 있다. 이로 인해 칩의 동작 속도를 증가시킬 수 있으며, 와이어에서 소모되는 전력을 줄일 수 있기에 전체 전력 소모 또한 크게 감소시킬 수 있다.

하지만 3D 집적회로에서는 칩 내부의 온도가 심각하게 높아지는 문제가 유발된다. 이는 다음과 같은 2가지 원인에 의

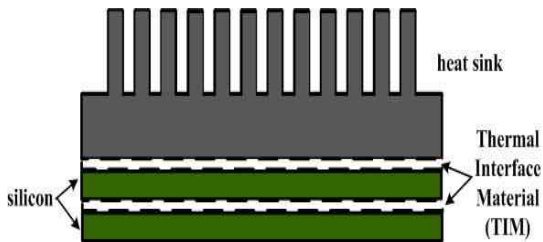


그림 2. 실험 대상 3D 적층 구조 멀티코어 프로세서 구조
Fig 2. 3D stacked multi-core processor configuration

벤치마크 프로그램으로는 SPEC CPU2000 중에서 2개의 프로그램 (mcf, gcc)을 선택하여 사용하였다 [18]. 그림 3에서 보이는 것과 같이, 일반적으로 프로세서에서 가장 높은 온도를 보이는 IntReg (integer register) 유닛에서 mcf 프로그램은 123.5°C로 가장 높은 온도를 발생시키고, gcc 프로그램은 89.9°C로 가장 낮은 온도를 발생시킨다. 2개의 프로그램들을 선택한 이유는 선택한 프로그램들이 가장 큰 온도차이 (33.6°C)를 보여주기 때문이다.

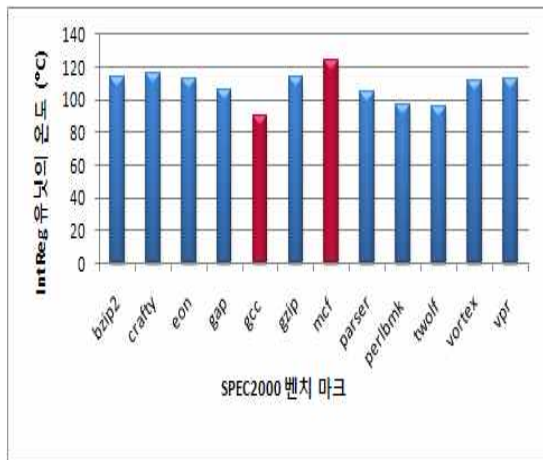


그림 3. SPEC CPU2000 벤치마크 실행 시 IntReg 유닛에서의 온도 비교
Fig 3. Temperature comparison of IntReg unit running 12 hot SPEC CPU2000 benchmarks

3.2 온도 모델링

3D 구조 멀티코어 프로세서의 각 코어 내부에서 발생하는 온도 분포 (heat dissipation)를 정확하게 측정하기 위해서, 3D 칩의 온도 모델링이 가능한 HotSpot 5.0 버전의 그리드 모델을 사용하였다. 실험에 사용된 실리콘 레이어의 특성 파라미터와 인터페이스 소재는 표 1에서 보이는 바와 같다. 표에서 core-0은 방열판 (heat sink)에서 멀리 떨어진 코어를

의미하고, core-1은 방열판에서 가까운 코어를 의미한다.

표 1. 온도 모델 파라미터
Table 1. Thermal model parameters

Parameters	Value			
	core-0	TIM-0	core-1	TIM-1
Specific heat capacity (J/m ³ K)	1.75e6	4e6	1.75e6	4e6
Resistivity (mK/W)	0.01	0.25	0.01	0.25
Thickness (m)	0.00015	2.0e-05	0.00015	2.0e-05

IV. 실험결과

본 실험에서, 동적 주파수 조절 기법은 온도가 임계값 이상으로 올라가는 긴급 상황이 발생하는 경우에 적용되는 것이 아니라, 연속적으로 온도 관리를 위해 사용되도록 설정하였다. 또한, 공정한 비교를 위해 싱글코어 프로세서는 3GHz로 동작하고, 3D 구조 멀티코어 프로세서의 두 개 코어의 주파수 합이 3GHz가 되도록 하였다. 즉, 3D 구조 멀티코어 프로세서에서 core-0에 대해 동적 주파수 관리 기법의 다섯 단계 중 0.5GHz를 선택하였다면, 남은 core-1은 2.5GHz를 선택하여 실험을 수행하였다.

4.1 2D 싱글코어 프로세서와 3D 구조 멀티코어 프로세서의 온도 분석

프로세서 구조에 따른 온도 분석을 위해, 2D 싱글코어 프로세서와 두 개의 코어를 수직으로 배치한 3D 적층 구조 멀티코어 프로세서의 내부 온도를 모든 기능 블록 (functional block)의 최고 온도 (peak temperature)를 통해 비교한다. 우선, 가장 높은 온도를 보이는 프로그램인 mcf 수행 시, 2D 싱글코어 프로세서의 주파수는 3GHz로 설정하고, 3D 구조 멀티코어 프로세서에서는 각 코어가 1.5GHz로 동작하도록 설정한다. 실험결과, 그림 4에서 보이는 바와 같이, IntReg 유닛에서 2D 싱글코어 프로세서의 최고 온도는 123.5°C이다. 반면에, 3D 구조 멀티코어 프로세서의 최고 온도는 방열판에서 멀리 떨어진 코어의 경우에는 83.34°C, 가까운 코어의 경우에는 76.96°C이다. 그래프에서 보이는 바와 같이, 2D 싱글코어 프로세서에서의 기능 블록에 따른 온도 변화 폭 (가

장 온도가 높은 유닛과 가장 낮은 유닛의 온도 차이)은 77.6°C이고, 3D 멀티코어 프로세서의 기능 블록에 따른 온도 변화 폭은 core-0은 23.06°C, core-1은 16.73°C이다. 이와 같은 실험 결과를 통해, 3D 구조 멀티코어 프로세서에서는 싱글코어 프로세서와 비교하여 각 기능 블록에 따른 온도 차이가 더 적게 발생하는 것으로 분석된다. 즉, 3D 구조 멀티코어 프로세서에서의 각 코어의 합이 싱글코어 프로세서와 동일한 경우에는 3D 구조 멀티코어 프로세서는 각 유닛들의 온도 균형이 싱글코어에 비해 효과적임을 확인할 수 있다.

하지만, 위의 결과는 3D 멀티코어 프로세서 두 코어의 주파수 합이 2D 싱글코어 프로세서의 동작 주파수와 동일한 경우이다. 3D 구조 멀티코어 프로세서의 각 코어가 2D 싱글코어 프로세서와 같은 주파수로 동작하는 경우에는, 2D 싱글코어에 비해 훨씬 높은 온도를 보이게 된다 [5].

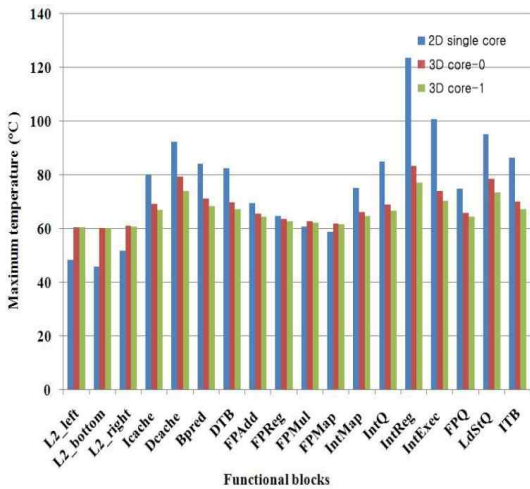


그림 4. 2D 싱글코어 프로세서와 3D 구조 멀티코어 프로세서의 각 기능 블록들의 최고 온도 비교
Fig 4. Peak temperature comparison of functional blocks on 2D single-core processor and 3D multi-core processor

4.2 동적 주파수 조절 기법 적용에 따른 3D 구조 멀티코어 프로세서의 온도 분석

싱글코어 프로세서의 온도제어를 위해 주로 사용되는 동적 주파수 조절 기법에 대해 3D 구조 멀티코어 프로세서에서의 효과를 확인하기 위하여, mcf 벤치마크 프로그램 수행 시 동적 주파수 조절 기법의 단계 설정에 따른 온도를 분석하면 다음과 같다. 실험에서는, 다섯 가지의 실험 방법 (0.5GHz/2.5GHz, 1.0GHz/2.0GHz, 1.5GHz/1.5GHz, 2.0GHz/ 1.0GHz,

2.5GHz/0.5GHz)을 사용하여 멀티코어 프로세서를 동작시킨 후, 각 코어의 온도를 측정한다. 실험방법에서 ‘/’ 앞의 주파수는 방열판에서 거리가 먼 core-0의 동작 주파수를 의미하고, ‘/’ 뒤의 주파수는 방열판에서 거리가 가까운 core-1의 동작 주파수를 나타낸다.

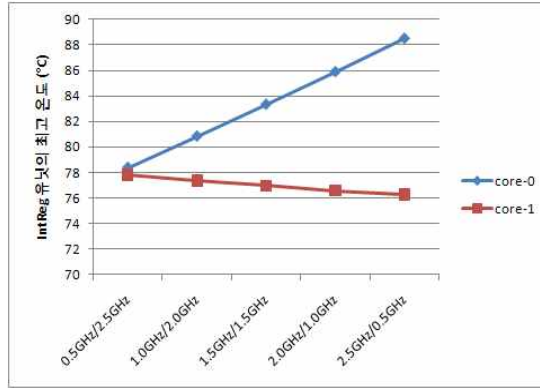


그림 5. mcf 수행 시 동적 주파수 조절 기법 적용에 따른 IntReg 유닛의 최고 온도

Fig 5. Peak temperature comparison of IntReg unit running mcf application with DFS technique

각각의 실험 방법에서 측정된 IntReg 유닛의 최고온도는 그림 5에서 보이는 것과 같다. 각 실험 방법 별로 core-0과 core-1의 IntReg 유닛의 온도 차이는 0.58°C (1%), 3.47°C (4%), 6.38°C (8%), 9.31°C (12%), 12.25°C (16%)로 측정된다. 첫 번째 방법 (0.5GHz/2.5GHz)과 마지막 방법 (2.5GHz/ 0.5GHz)은 수행 시 동작하는 주파수는 서로 동일하지만, 실행되는 코어가 서로 다르다. 즉, 방열판과의 위치가 다른 두 코어의 동작 주파수 교환에 따른 코어들의 온도 차이가 0.58°C에서 12.25°C로 변화한 것이다. 동일한 현상은 두 번째 방법 (1.0GHz/2.0GHz)과 네 번째 방법 (2.0GHz/ 1.0GHz)에서도 발견된다. 이를 통해 동일한 주파수를 사용하더라도 실행되는 코어의 위치에 따라서 온도 측면에서는 완전히 다른 결과가 발생함을 알 수 있다. 이는 각 코어에 적용되는 냉각 효과와 적용되는 다양한 주파수의 조합으로 인해 서로 다른 결과가 얻어지기 때문이다. 따라서 온도에 있어서 효율적인 3D 구조 멀티코어 프로세서를 설계하기 위해서는 냉각 효과가 큰 코어가 더 높은 주파수로 작동해야 한다는 사실을 구체적으로 확인할 수 있다.

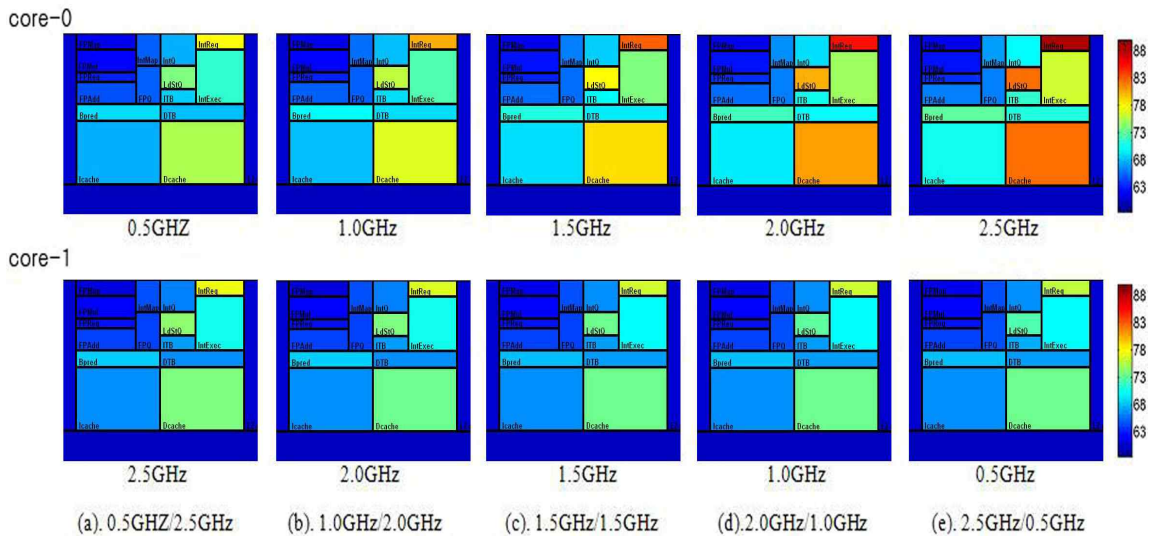


그림 6. 다섯 가지 동적 주파수 조절 기법 적용 방법에 따른 모든 기능 유닛들의 온도 비교
 Fig 6. Temperature comparison of all functional units according to five DFS schemes

동적 주파수 조절 기법의 다양한 적용 방법에 따른 각 코어의 상세한 온도 분포는 그림 6에서 보이는 바와 같다. core-0에서 각 실험 방법에 따른 온도 변화 정도는 18.11°C (30%), 20.56°C (34%), 23.06°C (38%), 25.6°C (43%), 28.18°C (47%)이고, core-1에서는 17.55°C (29%), 17.12°C (28%), 16.73°C (28%), 16.35°C (27%), 16.02°C (27%)이다. 따라서 core-0에서의 주파수 증가가 온도에 미치는 영향은 core-1에서보다 더 크게 나타남을 알 수 있다. 이와 같은 실험 결과를 통해, 더 높은 주파수를 갖는 코어를 더 높은 냉각 효과를 갖는 부분 (방열판으로부터의 거리가 가까운 코어 등)에 할당해야 프로세서 코어의 온도를 낮출 수 있을 뿐만 아니라 코어 내부의 온도 분포 변화까지도 감소시킬 수 있음을 확인할 수 있다.

4.3 3D 구조 멀티코어 프로세서에서 온도 효율성을 고려한 작업 분배 방안 분석

3D 구조 멀티코어 프로세서에서의 온도 효율을 고려한 작업 분배 방안에 대한 기본적인 분석을 위해, IntReg 유닛에서 가장 큰 온도 차이를 보이는 mcf와 gcc 벤치마크 프로그램을 선택하여 실험을 수행한다. 두 프로그램들은 다섯 단계의 동적 주파수 조절 기법이 적용되는 각기 다른 코어에서

동작되도록 실험을 수행한다. 이를 위해, 수행되는 프로그램 종류와 동적 주파수 조절 기법의 적용 단계에 따라서 총 10가지의 실험 방법들을 생각할 수 있다. 수행한 실험 방법들은 다음과 같다.

1. gcc0.5GHz/mcf2.5GHz, 2. gcc1.0GHz/mcf2.0GHz,
3. gcc1.5GHz/mcf1.5GHz, 4. gcc2.0GHz/mcf1.0GHz,
5. gcc2.5GHz/mcf0.5GHz, 6. mcf0.5GHz/gcc2.5GHz,
7. mcf1.0GHz/gcc2.0GHz, 8. mcf1.5GHz/gcc1.5GHz,
9. mcf2.0GHz/gcc1.0GHz, 10. mcf2.5GHz/gcc0.5GHz

실험 방법에서 '/' 앞은 core-0에서 수행되는 프로그램 종류와 적용되는 동적 주파수를 의미하고, '/' 뒤는 core-1에서 수행되는 프로그램 종류와 적용되는 동적 주파수를 의미한다. 우선 mcf 프로그램은 높은 냉각 효과를 지닌 core-1에서 다섯 단계의 동적 주파수 조절 기법에 따라 수행되고, gcc 프로그램은 낮은 냉각 효과를 지닌 core-0에서 다섯 단계의 동적 주파수 조절 기법에 따라 수행되도록 한다. 그 후에는 프로그램이 수행되는 코어의 위치를 바꾸어 다섯 단계의 동적 주파수 조절 기법에 따라 다시 실험을 수행한다. 각 실험 방법에서 IntReg 유닛의 최고 온도는 그림 7에서 보이는 바와 같다.

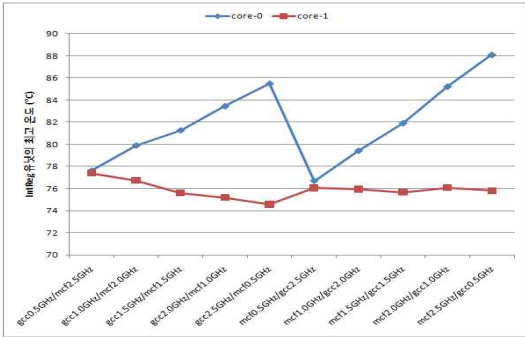


그림 7. mcf, gcc 프로그램 수행 시 각 코어 내부 IntReg 유닛의 최고 온도 비교

Fig 7. Peak temperature comparison of IntReg unit running mcf and gcc applications

첫 번째 실험 방법인 gcc0.5GHz/mcf2.5GHz와 여섯 번째 실험 방법인 mcf0.5GHz/gcc2.5GHz의 경우에 core-0과 core-1의 동작 주파수는 동일하고 두 실험 방법들에서는 코어들의 온도 차이가 가장 적게 발생하여 효과적으로 두 코어의 온도를 조절할 수 있음을 알 수 있다. 이는 코어의 온도가 냉각 특성과 적용되는 동작 주파수의 조합으로 인해 결과가 나타나기 때문이다. 세 번째 실험 방법인 gcc1.5GHz/mcf1.5GHz와 여덟 번째 실험 방법인 mcf1.5GHz/gcc1.5GHz의 경우에는 수행되는 코어들의 동작 주파수는 모두 1.5GHz

로 동일하지만, 각 코어에서 수행되는 프로그램의 종류가 다르다. 세 번째 실험 방법에서의 두 코어 중 IntReg 유닛의 최고 온도가 여덟 번째 실험 방법에서의 결과와 비교하여 온도가 낮게 나타난다. 이를 통해 코어에서 수행되는 프로그램의 특성이 코어의 온도에 영향을 미친다는 사실을 확인할 수 있다. 그러므로 코어 내부의 온도를 최대한 낮추기 위해서는 수행 시 높은 온도를 보이는 작업은 큰 냉각 효과를 갖는 코어에 할당해야 함을 확인할 수 있다. 전반적으로, 실행 시 높은 온도를 발생시키는 mcf 프로그램이 실행되는 코어가 방열판에 가까이에 위치한 실험 방법들 (첫 번째부터 다섯 번째 까지)이 나머지 방법들에 비해서 더 좋은 결과를 보여준다.

그림 8은 동적 주파수 조절 기법의 적용 단계와 수행되는 프로그램의 특성에 따른, 각 코어의 모든 기능 블록들의 세부적인 온도를 보여준다. 그림에서 앞에서 언급한 세 번째 방법과 여덟 번째 방법의 온도 변화 범위 (가장 높은 유닛과 가장 낮은 유닛의 온도 차이)는 core-0에서는 21°C (34.8%)와 21.64°C (35.9%)이며, core-1에서는 15.39°C (25.6%)와 15.45°C (25.7%)로 나타난다. 실험 결과들을 통해 수행 시 높은 열을 발생하는 작업을 코어의 특성에 맞추어 분배하는 일은 발생하는 열을 낮출 수 있을 뿐만 아니라 코어 내부의 온도 균형에 효과적임을 알 수 있다.

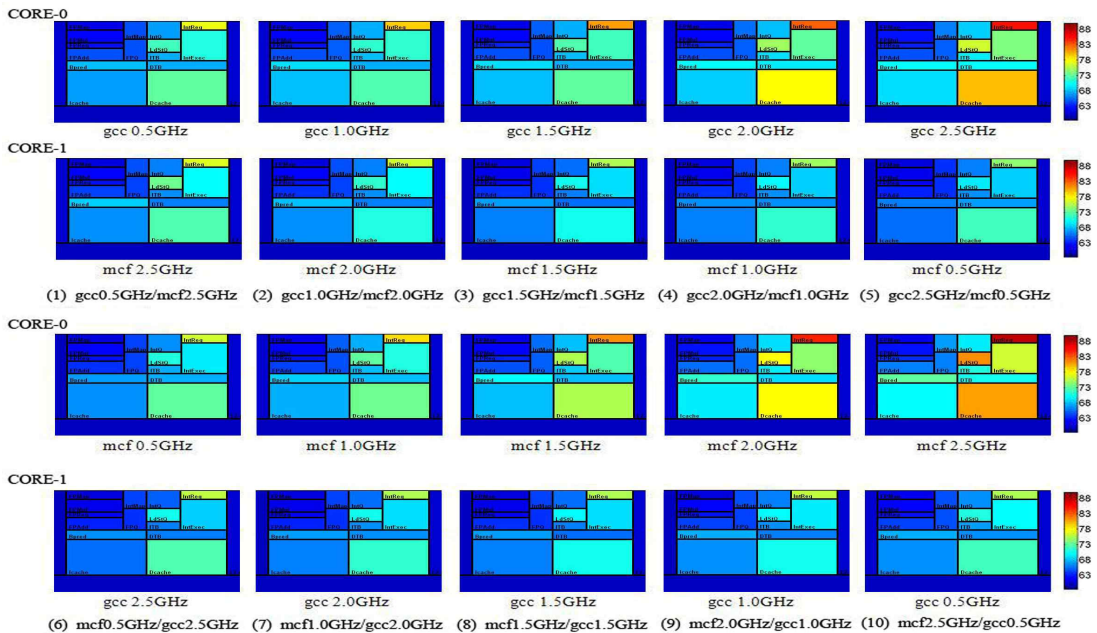


그림 8. 열 가지 동적 주파수 조절 기법 적용 방법에 따른 모든 기능 유닛들의 온도 비교

Fig 8. Temperature comparison of all functional units according to ten DFS schemes

V. 결론

3D 구조 멀티코어 프로세서는 코어들을 수직으로 배치하여 내부연결 (interconnection)을 줄임으로써 성능 향상과 전력소모 감소라는 이점을 얻을 수 있다. 그러나 이러한 기법은 전력 밀도 (power density)를 증가시키고, 이에 따라 프로세서에 심각한 온도 문제를 야기시킨다. 따라서 3D 구조 멀티코어 프로세서 설계 시 효과적인 온도 관리 기법 개발이 제품의 신뢰성과 경쟁력 향상에 있어서 필수적이라고 할 수 있다. 본 논문에서는, 두 개의 코어를 갖는 3D 적층 구조 멀티코어 프로세서에서 연속적으로 동작하는 동적 주파수 조절 기법을 적용하여 그에 따른 온도 특성을 살펴보고, 서로 다른 냉각 효과를 갖는 코어에서 동적 주파수 조절 기법의 단계와 수행되는 작업 유형에 따른 온도 변화 또한 분석하였다. 이를 통해 방열판에서 가까운 코어에는 더 높은 동작 주파수와 수행 시 높은 온도를 보이는 작업을 할당해야 함을 알 수 있었으며, 이러한 방법은 온도 감소뿐만 아니라 코어 내부의 온도 균형에도 효과적임을 알 수 있었다. 향후에는, 본 논문에서 분석된 내용을 기반으로 다양한 3D 구조 멀티코어 프로세서를 위한 최적의 온도 관리 기법을 개발하고자 한다.

참고문헌

- [1] J. W. Joyner, P. Zarkesh-Ha, J. A. Davis, and J. D. Meindl, "A Three-Dimensional Stochastic Wire-Length Distribution for Variable Separation of Strata," in Proceedings of IEEE international Interconnect Technology Conference, pp.132-134, SanFrancisco, USA, Jun. 2000.
- [2] C. Zhu, Z. Gu, L. Shang, R. P. Dick, and R. Joseph, "Three-dimensional chip- multiprocessor run-time thermal management," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol.27, no.8, pp.1479-1492, Aug. 2008.
- [3] K. Puttaswamy, and G. H. Loh, "Thermal Analysis of a 3D Die Stacked High Performance Microprocessor," in Proceedings of ACM GreatLakes Symposium on VLSI, pp.19-24, Philadelphia, USA, May. 2006.
- [4] D. H. Kim, K. Athikulwongse, S. K. Lim, "A Study of Through-Silicon-Via Impact on the 3D Stacked IC Layout," in Proceedings of the 2009 International Conference on Computer-Aided Design, pp.674-680, California, USA, Nov. 2009.
- [5] A. K. Coskun, J. L. Ayala, D. Aienza, T. S. Rosing, and Y. Leblebici, "Dynamic Thermal Management in 3D Multicore Architectures," in Proceedings of Design, Automation & Test in Europe Conference & Exhibition, pp.1410-1415, Nice, France, Apr. 2009.
- [6] B. Black, M. M. Annavaram, E. Brekelbaum, J. DeVale, L. Jiang, G. H. Loh, D. McCauley, P. Morrow, D. W. Nelson, D. Pantuso, P. Reed, J. Rupley, S. Shankar, J. P. Shen, and C. Webb, "Die stacking (3D) microarchitecture," in Proceedings of the 39th International Symposium on Microarchitecture, pp.469-479, Orlando, USA, Dec. 2006.
- [7] J. Cong, G. J. Luo, J. Wei, and Y. Zhang, "Thermal-Aware 3D IC Placement Via Transformation," in Proceedings of ASP-DAC, pp.780-785, Yokohama, Japan, Jan. 2007.
- [8] K. Sankaranarayanan, S. Velusamy, M. Stan, and K. Skadron, "A case for thermal-aware floor planning at the microarchitectural level," Journal of Instruction-Level Parallelism, vol.7, pp.1-16, 2005.
- [9] D. Brooks and M. Martonosi, "Dynamic thermal management for high-performance microprocessors," in Proceedings of the 27th International Symposium on Computer Architecture, pp.83-94, Jan. 2001.
- [10] T. Pering, and R. Brodersen, "Energy efficient voltage scheduling for real-time operating systems," in Proceedings of the 4th IEEE Real-Time Technology and Applications Symposium RTAS'98, June. 1998.
- [11] 이병석, 김철홍, 이정아, "부동소수점 응용을 위한 저온도 마이크로프로세서 설계," 정보과학회 논문지, 제 36권, 제 6호, 532-542쪽, 2009년 9월.
- [12] C. Sun, L. Shang, and R. P. Dick, "Three-dimensional multicoreprocessor system-on-chip thermal optimization," in Proceedings of the 5th Int. Conf. on Hardware/software codesign and system synthesis, pp. 117-122, Sep, 2007.
- [13] K. Puttaswamy and G. H. Loh, "Thermal Herding: Microarchitecture Techniques for Controlling Hotspots in High-Performance 3D Integrated

Processors," in Proceeding of the 13th Int. Symp on High Performance Computer Architecture," pp. 193-204, Feb, 2007.

[14] H. B. Jang, I. Yoon, C. H. Kim, S. Shin, and S. W. Chung, "The Impact of liquid Cooling on 3D Multi-Core Processors," in Proceedings of Int. Conf. on Computer Design, pp. 472-478, Oct, 2009.

[15] K. Skadron, M. R. Stan, W. Huang, S. Velusamy, K. Sankaranarayanan, and D. Tarjan, "Temperature-Aware Micro- architecture: Modeling and Implementation," in Proceedings of the 30th Annual ACM/IEEE international Symposium on Computer Architecture, pp. 83-94, Apr, 2003.

[16] D. C. Burger, and T. M. Austin, "The SimpleScalar tool set, version 2.0," ACM SIGARCH CAN, vol. 25, no. 3, pp. 13-25, Jun. 1997.

[17] D. Brooks, V. Tiwari, and M. Martonosi, "Wattch: a framework for architectural- level power analysis and optimizations," in Proceeding s of the 27th International Symposium on Computer Architecture, pp.83-94, Jun. 2000.

[18] SPEC CPU2000 Benchmarks, available at <http://www.specbench.org>



박 영 진
 2009: 전남대학교 전자컴퓨터공학부 학사
 2009: 전남대학교 전자컴퓨터공학부 석사과정 입학
 관심분야: 저전력 설계, 저온도 설계, 컴퓨터 구조



이 병 석
 1997: 조선대학교 전자계산학과 이학사
 1999: 조선대학교 대학원 전자계산학과 이학석사
 2000 - 현재: 조선대학교 대학원 컴퓨터학과 박사과정
 관심분야: 저온도 프로세서, 임베디드 시스템, 디지털 연산기 설계



이 정 아
 1982: 서울대학교 컴퓨터공학과 공학사
 1985: 인디애나 주립대학교 컴퓨터학과 공학석사
 1990: 캘리포니아 주립대학교(UCLA) 컴퓨터공학과 공학박사
 1990 - 1995: Assistant Professor, University of Houston, USA
 1995 - 현재: 조선대학교 컴퓨터공학과 교수
 관심분야: 컴퓨터 구조, 고속 디지털 연산기, 특수 용도의 VLSI 구조

저 자 소 개



증 민
 2002: Nanjing University of Science & Technology Measure technology & Instrument Bachelor.
 2004: Nanjing University of Science & Technology Physical-electronics & Photo-electronics Master
 2007 - now Chosun University Computer Engineering PhD. candidate
 관심분야: 3D multicore processors; Low power architectures and protocols on body sensor networks



김 철 흥
 1998: 서울대학교 컴퓨터공학과 공학사
 2000: 서울대학교 대학원 컴퓨터 공학부 석사
 2006: 서울대학교 대학원 전기컴퓨터 공학부 박사
 2005 - 2007: 삼성전자 반도체 총괄 책임 연구원
 2007 - 현재: 전남대학교 전자컴퓨터 공학부 교수
 관심분야: 임베디드 시스템, 컴퓨터 구조, SoC 설계, 저전력 설계