

논문 2010-47SD-10-3

# 실리콘 나노 와이어 기반의 무접합 MOSFET의 최적 설계 및 기본적인 고주파 특성 분석

(Optimum Design of Junctionless MOSFET Based on Silicon Nanowire  
Structure and Analysis on Basic RF Characteristics)

조성재\*, 김경록\*\*, 박병국\*\*, 강인만\*\*\*\*

(Seongjae Cho, Kyung Rok Kim, Byung-Gook Park, and In Man Kang)

## 요약

기존의 n-type metal-oxide-semiconductor field effect transistor(NMOSFET)은  $n^+/p^{(+)}/n^+$  type의 이온 주입을 통하여 소스/채널/드레인 영역을 형성하게 된다. 30 nm 이하의 채널 길이를 갖는 초미세 소자를 제작함에 있어서 설계한 유효 채널 길이를 정확하게 얻기 위해서는 주입된 이온들을 완전히 activation하여 전류 수준을 향상시키면서도 diffusion을 최소화하기 위해 낮은 thermal budget을 갖도록 공정을 설계해야 한다. 실제 공정에서의 process margin을 완화할 수 있도록 오히려 p-type 채널을 형성하지 않으면서도 기존의 NMOSFET의 동작을 온전히 구현할 수 있는 junctionless(JL) MOSFET이 연구중이다. 본 논문에서는 3차원 소자 시뮬레이션을 통하여 silicon nanowire(SNW) 구조에 접목시킨 JL MOSFET을 최적 설계하고 그러한 조건의 소자에 대하여 conductance, maximum oscillation frequency( $f_{max}$ ), current gain cut-off frequency( $f_T$ ) 등의 기본적인 고주파 특성을 분석한다. 채널 길이는 30 nm이며 설계 변수는 채널 도핑 농도와 채널 SNW의 반지름이다. 최적 설계된 JL SNW NMOSFET에 대하여 동작 조건( $V_{GS} = V_{DS} = 1.0$  V)에서 각각 367.5 GHz, 602.5 GHz의  $f_T$ ,  $f_{max}$ 를 얻을 수 있었다.

## Abstract

The source/channel/drain regions are formed by ion implantation with different dopant types of  $n^+/p^{(+)}/n^+$  in the fabrication of the conventional n-type metal-oxide-semiconductor field effect transistor(NMOSFET). In implementing the ultra-small devices with channel length of sub-30 nm, in order to achieve the designed effective channel length accurately, low thermal budget should be considered in the fabrication processes for minimizing the lateral diffusion of dopants although the implanted ions should be activated as completely as possible for higher on-current level. Junctionless (JL) MOSFETs fully capable of the the conventional NMOSFET operations without p-type channel for enlarging the process margin are under researches. In this paper, the optimum design of the JL MOSFET based on silicon nanowire (SNW) structure is carried out by 3-D device simulation and the basic radio frequency (RF) characteristics such as conductance, maximum oscillation frequency( $f_{max}$ ), current gain cut-off frequency( $f_T$ ) for the optimized device. The channel length was 30 nm and the design variables were the channel doping concentration and SNW radius. For the optimally designed JL SNW NMOSFET,  $f_T$  and  $f_{max}$  high as 367.5 GHz and 602.5 GHz could be obtained, respectively, at the operating bias condition ( $V_{GS} = V_{DS} = 1.0$  V).

**Keywords:** thermal budget, junctionless MOSFET, process margin, silicon nanowire, 3-D device simulation

\* 평생회원-제1저자, \*\* 평생회원, 서울대학교 전기.컴퓨터공학부

(School of Electrical Engineering and Computer Science, Seoul National University)

\*\*\* 평생회원, 울산과학기술대학교 전기전자컴퓨터공학부

(School of Electrical and Computer Engineering, Ulsan National Institute of Science and Technology)

\*\*\*\* 정회원-교신저자, 경북대학교 전자공학부

(School of Electronics Engineering, Kyungpook National University)

※ 이 논문은 2010학년도 경북대학교 신입교수정착연구비로 지원된 연구 결과임.

접수일자: 2010년8월2일, 수정완료일: 2010년9월25일

## I. 서 론

전기적 특성 향상 및 경제성 제고를 위하여 반도체 소자의 채널 길이가 짧아짐에 따라 설계한 유효 채널 길이를 확보하기 위한 공정을 개발하는 데 어려움이 나타나고 있다. 특히 constant-field scaling rule에 의하여 소스/드레인 접합은 점차 알아지고 이에 따라 전류 전도에 참여하는 전자를 제공할 이온의 수가 적어짐으로 인해 완전한 activation을 통하여 원하는 수준의 전류 레벨을 얻기 위해서는 thermal budget에 잠정적인 하한을 두게 된다.<sup>[1]</sup> 하지만 유효 채널 길이의 확보를 위해서는 동시에 thermal budget의 상한을 고려하지 않으면 안된다. diffusion 효과를 정확하게 고려하지 않으면 30 nm 이하의 채널을 갖는 초미세 소자에서 원하는 특성과 신뢰성을 얻기가 어렵게 된다. 근래에는 이러한 process margin을 완화할 수 있도록 기존의 n+/p(+)/n+의 이온 주입으로 형성되는 소스/채널/드레인 구조에서 채널에 해당하는 p-type 영역 또한 n+ 이온 주입하여 소스와 드레인 구분을 제거한 Junctionless(JL) MOSFET에 관한 연구가 이루어지고 있다.<sup>[2~4]</sup> n-type JL MOSFET은 채널의 모든 영역이 동일한 종류와 농도로 n-type 이온 주입되며 accumulation 상태로 동작하게 된다. 축퇴 도핑된 p-type polysilicon 게이트를 사용함으로써 문턱 전압을 양의 값으로 상승시킬 수 있어 기존의 n-type MOSFET과 동일한 동작을 구현한다. 본 논문에서는 JL MOSFET을 Silicon Nanowire (SNW) 구조에 적용하여 초미세 소자의 제작을 위한 공정상의 장점과 SNW 구조의 MOSFET이 갖는 전기적 특성 면에서의 장점-채널에 대한 게이트의 높은 장악력, 향상된 subthreshold swing 특성, short channel effect의 효과적 억제, 높은 전류 구동 능력 등-을 동시에 기할 수 있는 JL SNW NMOSFET을 최적 설계한다.<sup>[5~7]</sup> Low Standby Power(LSTP), High Performance (HP), Low Operating Power (LOP)로 대표되는 특정 반도체 소자의 용도 중에서 JL MOSFET가 가장 효과적으로 사용될 수 있는 용도는 LSTP이다. 3차원 소자 시뮬레이션(ATLAS, Silvaco International)을 통하여 차세대 LSTP 소자로서의 요건을 충족하는 JL SNW NMOSFET을 최적 설계하고 Transconductance (gm), Drain-source Conductance(gds), Current Gain Cut-off Frequency(ft), Maximum Oscillation Frequency

(fmax) 등의 고주파 특성을 기술하는 주요 parameter 들을 추출하였다.<sup>[8]</sup> 동작 조건(VGS = VDS = 1.0 V)에서 ft와 fmax는 각각 367.5 GHz, 602.5 GHz의 높은 값을 가지는 것으로 확인하였고 임의의 전압 조건 하에서 fmax가 가질 수 있는 최대값은 904.8 GHz인 것으로 나타났다.

## II. 30 nm급 JL SNW MOSFET의 최적 설계

### 1. 채널 도핑 농도에 대한 DC 특성의 최적화

그림 1은 3차원 소자 시뮬레이션에서 사용한 30 nm JL SNW MOSFET의 구조와 수치 해석을 위한 mesh 구조를 나타내고 있다. polysilicon gate depletion 현상을 제거하기 위해 축퇴 도핑된 p-type 게이트를 사용하였고, 소스/드레인 전극의 콘택 물질은 aluminum이라고 가정하였다. International Technology Roadmap for Semiconductors(ITRS)가 제시하는 향후 10년 이내의 LSTP 소자가 갖는 산화막 두께인 1 nm로 정하여 구조적인 측면에서의 설계 조건은 채널 도핑 농도와 SNW 채널의 반지름의 두 가지로 압축하였다.<sup>[9]</sup> 안정적인 누설 전류 억제를 위해 EOT(equivalent oxide thickness)가 1 nm인 high-κ 물질을 사용할 수 있다. 그림 2는 채널 도핑에 따른 JL SNW NMOSFET의 전달 특성을 나타낸다. 채널 도핑은 arsenic  $1 \times 10^{17} \text{ cm}^{-3}$ 에서  $1 \times 10^{20} \text{ cm}^{-3}$ 까지 변화시켰으며 인가된 드레인 전압은 1.0 V이고 SNW 채널의 반지름은 5 nm이다.

그림 3은 채널 도핑 농도에 따른 문턱 전압의 변화를 살펴본 결과이다. 그림 2에서 얻은 raw data를 단위

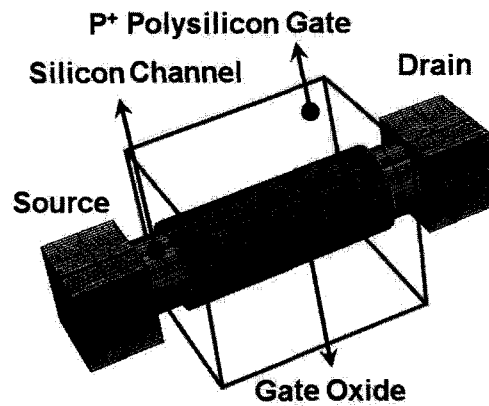


그림 1. 3차원 소자 시뮬레이션에 사용한 JL SNW NMOSFET과 mesh 구조의 조감도.

Fig. 1. Areal view of the JL SNW MOSFET structure and meshes used in the 3-D device simulation.

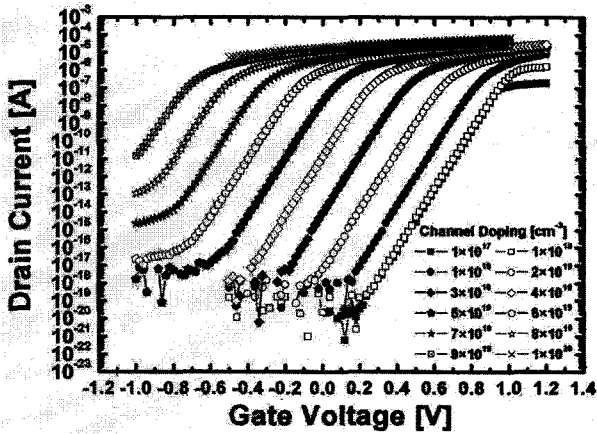


그림 2. 채널 도핑 농도에 따른 JL SNW NMOSFET의  $I_D$ - $V_{GS}$  곡선( $V_{DS} = 1.0$  V, 채널 반지름 = 5 nm)  
 Fig. 2.  $I_D$ - $V_{GS}$  curves for the JL SNW NMOSFETs with various channel doping concentrations ( $V_{DS} = 1.0$  V, channel radius = 5 nm).

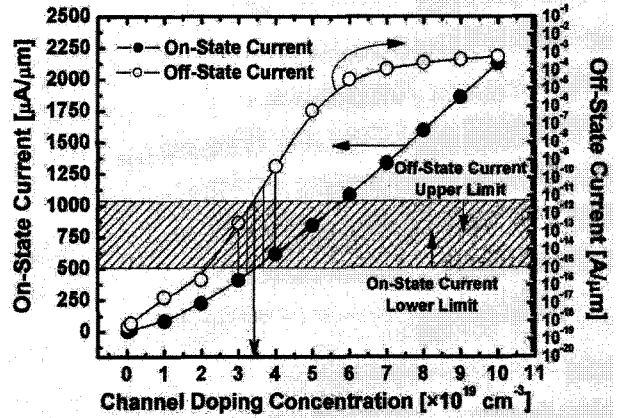


그림 4. 채널 도핑 농도에 따른 on-state 및 off-state current의 변화(채널 반지름 = 5 nm)  
 Fig. 4. On-state and off-state currents as functions of channel doping concentration (channel radius = 5 nm).

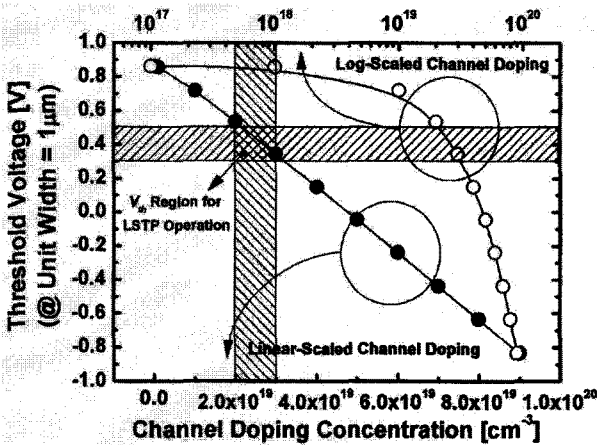


그림 3. 채널 도핑 농도에 따른 문턱 전압의 변화( $V_{DS} = 1.0$  V, 채널 반지름 = 5 nm)  
 Fig. 3. Threshold voltage change as a function of channel doping concentration ( $V_{DS} = 1.0$  V, channel radius = 5 nm).

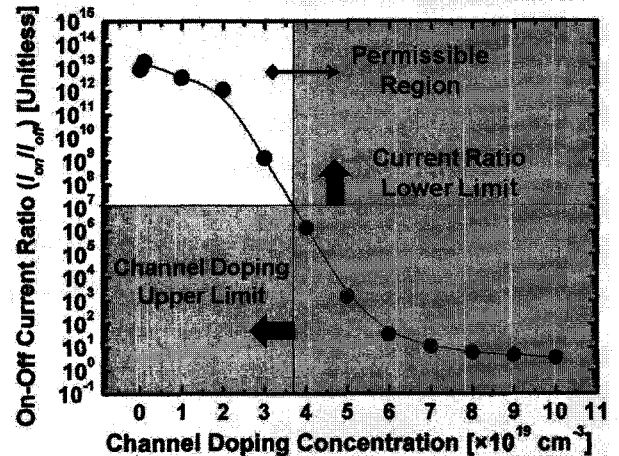


그림 5. 채널 도핑 농도에 따른  $I_{on}/I_{off}$  전류비( $V_{DS} = 1.0$  V, 채널 반지름 = 5 nm)  
 Fig. 5.  $I_{on}/I_{off}$  current ratio as a function of channel doping concentration ( $V_{DS} = 1.0$  V, channel radius = 5 nm).

width 당 전류로 환산한 후 constant current method를 통하여 문턱 전압을 추출하였다. 문턱 전압은 드레인 전류가 0.1  $\mu\text{A}/\mu\text{m}$ 일 때의 게이트 전압으로 정의하였다. 채널 도핑 농도에 대하여 linear scale, logarithm scale로 살펴보았을 때 모두 채널 도핑이 증가함에 따라 문턱 전압은 단조 감소하는 결과가 나타났다. 가로 방향의 빗금 영역은 roadmap이 제시하고 있는 LSTP 동작을 목표로 하는 소자의 문턱 전압인 0.4 V $\pm$ 0.1 V 근방을 나타내고 있으며 세로 방향의 빗금 영역은 해당 채널 도핑 농도를 나타낸다. 따라서 두 영역이 교차되는 영역에서 원하는 문턱 전압을 갖는 소자를 제작하기 위한 공정 조건을 모색할 수 있게 된다. 0.4 V $\pm$ 0.1 V 근

방의 문턱 전압을 갖도록 하는 해당 채널 도핑 농도의 범위는 2-3 $\times 10^{19}$   $\text{cm}^{-3}$  수준인 것으로 확인할 수 있다. 그림 4는 roadmap이 제시하고 있는 on-state current( $I_{on}$ )의 하한(500  $\mu\text{A}/\mu\text{m}$ ) 및 off-state current( $I_{off}$ )의 상한을 고려하여 최적 채널 도핑 농도를 구한 결과이다. 그림 2~3에서의 결과와 마찬가지로 드레인에 구동 전압( $V_{DD}$ )이 인가되어 있는 상태에서 파악하는 전류 수준이 의미를 갖는다는 점에서 드레인에는  $V_{DS} = V_{DD} = 1.0$  V를 인가하고 SNW의 반지름은 5 nm로 정하였다. 단위 width 당 전류로 환산하여 비교 분석을 수행하였다. 동일한 채널 도핑 농도에서의  $I_{on}$ ,  $I_{off}$ 가 동시에 빗금친 영역에 포함될 수 있도록 하는 채널 도핑

농도는  $3.4 \times 10^{19} \text{ cm}^{-3}$  부근인 것으로 확인하였다. 이 값은 채널 도핑 농도에 따른 문턱 전압의 변화를 보여주는 그림 3에서 적절한 채널 도핑 농도로 제시된  $2\text{--}3 \times 10^{19} \text{ cm}^{-3}$  수준과 거의 일치하는 결과를 나타낸다. 그림 5는 채널 도핑 농도에 따른  $I_{on}/I_{off}$  전류비를 나타낸 결과이다. 채널 도핑 농도가 증가함에 따라 전류비는 단조 감소하는 결과를 확인할 수 있다. 전류비에 관하여 정량적으로 제시된 기준은 존재하지 않지만  $I_{on}$ ,  $I_{off}$ 는 order만을 고려한다면 각각 단위 width당  $\mu\text{A}$ 와  $\text{pA}$  수준을 나타내므로 이들의 비를 상회하는 값인  $10^7$ 을 유의미한 하한으로 규정해볼 수 있다. 그림 5의 결과로부터  $10^7$  이상의 전류비를 얻기 위해서는 채널 도핑 농도가  $3.7 \times 10^{19} \text{ cm}^{-3}$  이하가 되어야 함을 확인할 수 있다. 이 부근에서는  $I_{on}$ 이 선형적으로 증가함에 반해  $I_{off}$ 는 지수적으로 변화하여(그림 4) 그 결과 전류비의 변화가 가장 급격한 영역으로 나타남을 알 수 있다.

그림 6은 채널 도핑 농도에 따른 최대 트랜스컨덕턴스( $g_{m,max}$ )의 변화를 보여준다.  $1 \times 10^{19} \text{ cm}^{-3}$  부근에서 극대값을 갖고 이후 단조 감소하지만 감소폭은 크지 않아 임의의 두 지점을 잡아 비교해보면 고농도 기준 18.1% 이하의 값을 나타내며 특히  $1\text{--}4 \times 10^{19} \text{ cm}^{-3}$  영역에서의 변화는 8% 미만이다. 그림 7은 채널 도핑 농도에 따른 Subthreshold Swing(SS)의 변화를 나타낸다. 게이트 장악력이 높은 SNW 구조의 장점으로 SS는 silicon MOSFET이 가질 수 있는 이론적 최소값인  $60 \text{ mV/dec}$

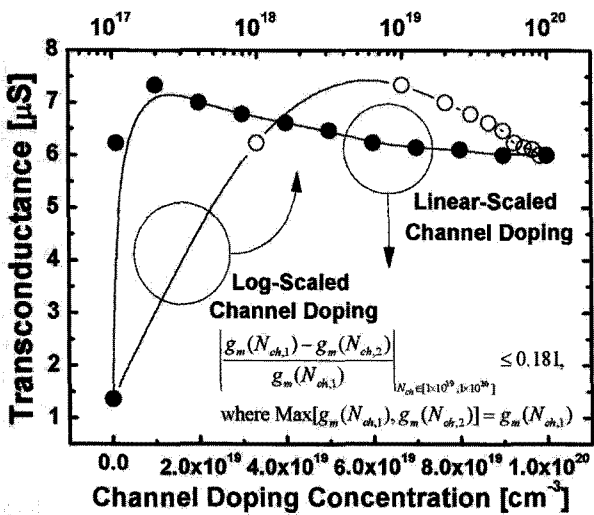


그림 6. 채널 도핑 농도에 따른 트랜스컨덕턴스( $g_m$ )( $V_{GS} = V_{DS} = 1.0 \text{ V}$ , 채널 반지름 =  $5 \text{ nm}$ )  
 Fig. 6. Transconductance ( $g_m$ ) as a function of channel doping concentration ( $V_{GS} = V_{DS} = 1.0 \text{ V}$ , channel radius =  $5 \text{ nm}$ ).

근방임을 알 수 있다.<sup>[9]</sup> 거의 전영역에서 우수한 SS 특성을 보이지만 변곡점에 해당하는  $3.47 \times 10^{19} \text{ cm}^{-3}$  이하의 값을 사용하는 것이 바람직하다. SS은 게이트 전압 의존성만을 갖는 영역( $V_{DS} = 1 \text{ V}$ )에서 추출하였다.<sup>[10]</sup>

그림 8은 JL SNW NMOSFET의 standby 상태에서 에너지 밴드 다이어그램을 도시하였다. standby 상태는 드레인에 구동 전압이 인가되고 게이트 신호를 대기하고 있는 상태로서 ( $V_{GS}, V_{DS}$ ) = (0 V, 1.0 V)로 정의된다. JL MOSFET은 축적 상태에서 동작하나 축적 도핑된 p형 polysilicon 게이트를 사용함으로써 반전 상태에서의 동작으로 기반으로 하는 기존의 NMOSFET과 같이 standby 상태에서 소스-채널 간에 에너지 장벽

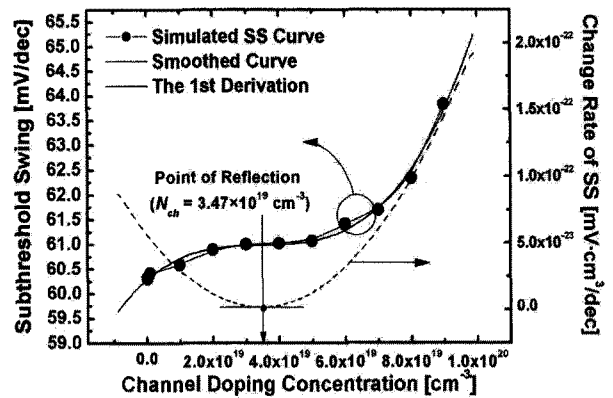


그림 7. 채널 도핑 농도에 따른 subthreshold swing(SS) ( $V_{DS} = 1.0 \text{ V}$ , 채널 반지름 =  $5 \text{ nm}$ )  
 Fig. 7. Subthreshold swing (SS) as a function of channel doping concentration ( $V_{DS} = 1.0 \text{ V}$ , channel radius =  $5 \text{ nm}$ ).

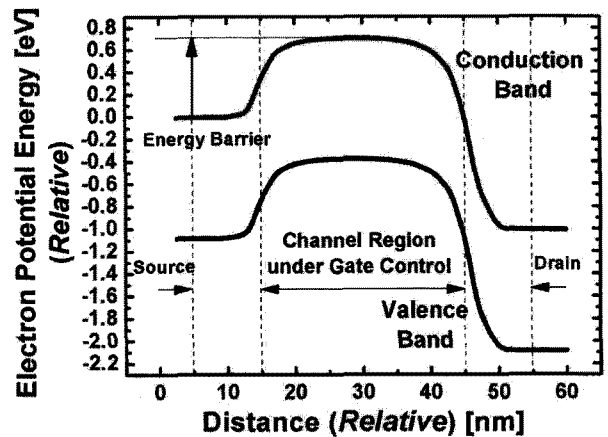


그림 8. standby 상태에서의 JL SNW NMOSFET의 에너지 밴드 다이어그램( $V_{GS} = 0 \text{ V}$ ,  $V_{DS} = 1.0 \text{ V}$ , 채널 반지름 =  $5 \text{ nm}$ )  
 Fig. 8. Energy band diagram of JL SNW MOSFET in the standby mode ( $V_{GS} = 0 \text{ V}$ ,  $V_{DS} = 1.0 \text{ V}$ , and channel radius =  $5 \text{ nm}$ ).

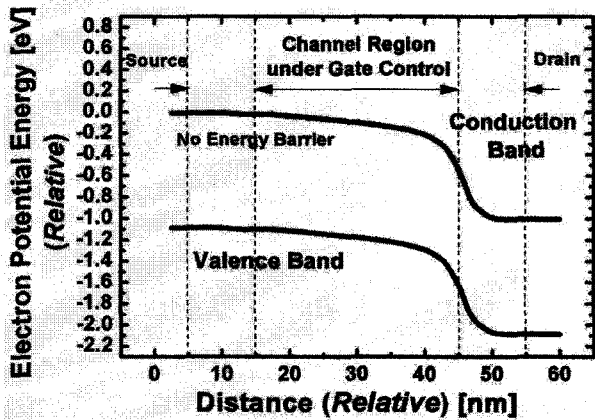


그림 9. 소자의 동작 상태에서의 에너지 밴드 다이어그램 ( $V_{GS} = V_{DS} = 1.0$  V, 채널 반지름 = 5 nm)

Fig. 9. Energy band diagram of the device in the operation mode ( $V_{GS} = V_{DS} = 1.0$  V, channel radius = 5 nm).

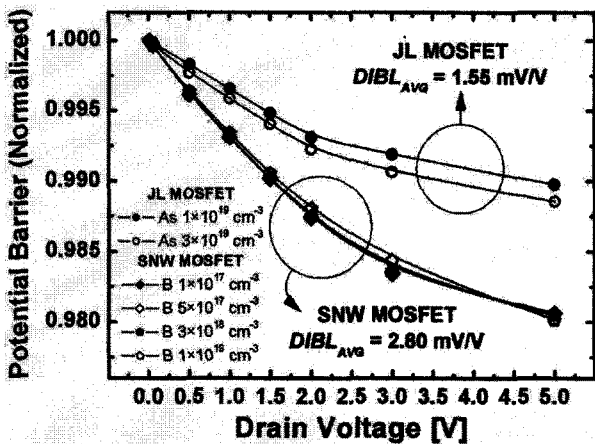


그림 10. 여러 가지 채널 도핑 조건에서 드레인 전압에 따른 전자의 포텐셜 에너지 장벽의 높이 변화

Fig. 10. Change of the electron potential energy barrier height as a function of drain voltage under various channel doping conditions.

을 형성한다. 이를 통해 문턱 전압을 원하는 수준으로 상향 조정이 가능하고 기존의 NMOSFET과 동일한 형태의  $I_D$ - $V_{GS}$  특성 곡선을 얻을 수 있게 된다. 그림 9의 그림은 동작 조건 ( $V_{GS} = V_{DS} = 1.0$  V)에서의 에너지 밴드로서 에너지 장벽이 소멸된 상태를 확인할 수 있다.

그림 10은 여러 가지 채널 도핑 조건하에서 드레인 전압에 따른 전자의 포텐셜 에너지 장벽이 갖는 높이의 변화를 살펴본 시뮬레이션 결과이다. 이를 통하여 JL SNW NMOSFET의 Drain-Induced Barrier Lowering (DIBL) 특성을 정확하게 파악할 수 있다. JL SNW NMOSFET과 기존의 SNW NMOSFET을 비교 분석하였다. 축적 상태에서 동작하는 JL SNW NMOSFET에

대해서는 arsenic의 농도를, 반전 상태에서 동작하는 SNW NMOSFET에 대해서는 채널 영역의 boron의 농도를 변화시키면서 소스 영역에서 채널 영역의 방향으로 형성되어 있는 에너지 장벽의 높이 변화를 살펴보았다. DIBL은 흔히 동일한 게이트 전압 조건에서 드레인 전압의 변화에 따른 드레인 전류의 변화를 드레인 전압의 변화에 대한 문턱 전압의 변동으로 정량화(V/V)한다. 그러나 드레인 전압의 변화에 따른 전류의 변화는 문턱 전압, 즉 전자의 포텐셜 에너지 장벽의 변화 외에도 표동 속도 오버슈트, 탄도 전송 등과 같은 경로 의존성에서도 기인한다.<sup>[11-13]</sup> 따라서 전류의 변화를 문턱 전압의 변화로 환산하기보다는 앞서 그림 8에서 명시한 바와 같이 순수하게 에너지 장벽의 절대값만을 고려하여 드레인 전압에 의한 에너지 장벽의 변화를 보다 엄밀하게 살펴보았다. 공정한 비교 분석을 위해 여타의 모든 농도 조건에서는 게이트 바이어싱을 하여  $V_{DS} = 0$  V일 때의 에너지 장벽이 arsenic  $3 \times 10^{19} \text{ cm}^{-3}$ 로 도핑된 채널을 갖는 JL SNW MOSFET이  $V_{GS} = V_{DS} = 0$  V일 때의 높이에 일치시켰다. 드레인 전압에 따른 에너지 장벽은 모두  $V_{DS} = 0$  V일 때의 값에 대해 정규화한 결과로 표현하여 신뢰성을 향상시켰다.

시뮬레이션 분석에 사용된 NMOSFET의 채널 길이와 반지름은 각각 30 nm, 5 nm로 고정하였다. SNW NMOSFET의 경우 채널 도핑을 boron  $1 \times 10^{17} \text{ cm}^{-3}$ 에서  $1 \times 10^{19} \text{ cm}^{-3}$ 까지 변화시켰으며 JL SNW NMOSFET에 대해서는 유의미한 도핑 영역인 arsenic  $1 \times 10^{19} \text{ cm}^{-3}$ 에서  $3 \times 10^{19} \text{ cm}^{-3}$ 까지 변화시켰다. 드레인 전압이 증가함에 따라 포텐셜 장벽의 높이가 낮아지는 현상은 공통적으로 확인할 수 있었다. 동일한 채널 길이를 갖는 소자에 대하여 드레인 전압을 증가시키는 것은 채널 길이를 줄이면서 동일한 드레인 전압을 인가하는 상황이므로 DIBL의 평가를 위한 동일한 실험으로 파악할 수 있다. SNW NMOSFET에서는 포텐셜 장벽의 변화가 채널 도핑 농도와는 거의 무관하게 나타났으며  $V_{DS} = 0$  V에서  $V_{DS} = 5$  V까지의 DIBL의 평균 변화율은 2.80 mV/V로 계산되었다. JL SNW NMOSFET에서는 arsenic  $1 \times 10^{19} \text{ cm}^{-3}$ 와  $3 \times 10^{19} \text{ cm}^{-3}$  두 가지 채널 도핑 농도 조건에 대하여 DIBL의 변화를 살펴보았는데 후자의 경우에 DIBL의 변화가 근소하게 커지는 결과를 확인하였다. 그러나 이전의 분석을 통해  $4 \times 10^{19} \text{ cm}^{-3}$  미만의 채널 도핑 농도를 갖도록 공정 설계를 해야 한다는 결과를 상기해볼 때,  $3 \times 10^{19} \text{ cm}^{-3}$ 에서의 DIBL 변화가

허용 가능한 도핑 조건에서의 DIBL 변화의 최대값 근방에서 나타나는 것으로 판단할 수 있다. 계산을 통해 JL SNW NMOSFET이 가질 수 있는 DIBL의 최대 평균 변화율은 1.55 mV/V로서 동일한 dimension을 갖는 기존의 SNW NMOSFET 대비 55.4% 수준에 해당한다. 이로써 최적의 DC 특성 확보를 위한  $1 \times 10^{19} \text{ cm}^{-3}$  이상의 채널 도핑 영역에서 JL SNW NMOSFET의 DIBL 특성 역시 SNW MOSFET보다 우수함을 검증하였다.

상기의 내용과 같이 채널 도핑 농도의 최적화를 위한 기준으로 문턱 전압,  $I_{on}$ 과  $I_{off}$  및 전류비,  $g_m$ , SS, DIBL 등의 여러 가지 항목을 총체적으로 고려하였다. SNW 구조가 갖는 장점으로 인해  $g_m$ , SS 특성은 전반적으로 우수하여 이들 항목이 허용하는 채널 도핑 농도의 범위 역시  $1\text{--}4 \times 10^{19} \text{ cm}^{-3}$ 로 여타의 항목이 제시하는 기준보다 넓은을 알 수 있다.  $I_{on}/I_{off}$  전류비와 문턱 전압 특성은 각각  $3.7 \times 10^{19} \text{ cm}^{-3}$  이하와  $2\text{--}3 \times 10^{19} \text{ cm}^{-3}$  수준의 채널 도핑으로 공정이 이루어져야 함을 보여준다. 가장 엄격한 조건인  $I_{on}$ ,  $I_{off}$  특성에서는  $3.4 \times 10^{19} \text{ cm}^{-3}$ 의 농도 조건을 제시하고 있다. 이 값은 상기 고려 항목들을 토대로 얻은 결과들과 거의 일치하며 향상된 DIBL 특성을 보이는 조건으로서 이후의 분석에서는  $3.4 \times 10^{19} \text{ cm}^{-3}$ 의 채널 도핑 농도를 최적화된 값으로 사용하였다.

2. 채널 반지름에 대한 DC 특성의 최적화

그림 11은 SNW 채널 반지름의 변화에 따른  $I_D$ - $V_{GS}$  특성 곡선을 나타낸다. 채널 도핑 농도는  $3.4 \times 10^{19} \text{ cm}^{-3}$

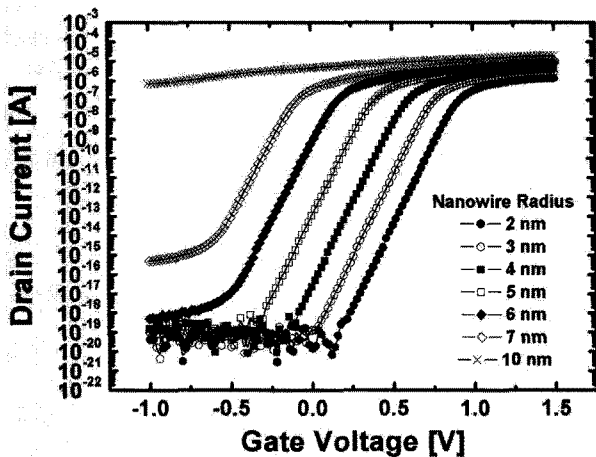


그림 11. 채널의 반지름에 따른  $I_D$ - $V_{GS}$  특성 곡선 ( $V_{DS} = 50 \text{ mV}$ , 채널 도핑 농도 = arsenic  $3.4 \times 10^{19} \text{ cm}^{-3}$ )  
 Fig. 11.  $I_D$ - $V_{GS}$  curves with variation on channel radius ( $V_{DS} = 50 \text{ mV}$ , channel doping concentration = arsenic  $3.4 \times 10^{19} \text{ cm}^{-3}$ ).

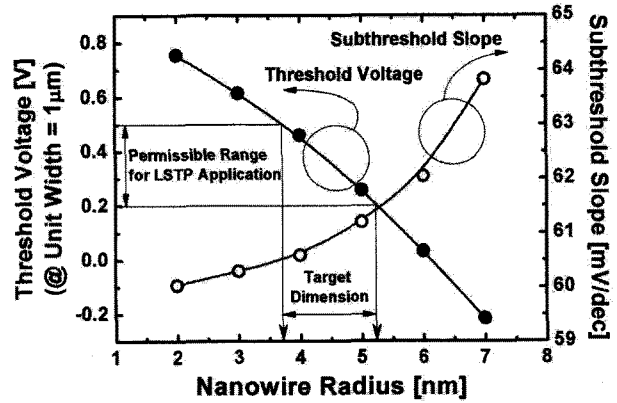


그림 12. 채널의 반지름에 따른 문턱 전압과 SS의 변화 ( $V_{DS} = 1.0 \text{ V}$ , 채널 도핑 농도 = arsenic  $3.4 \times 10^{19} \text{ cm}^{-3}$ )  
 Fig. 12. Threshold voltage and SS as functions of channel radius ( $V_{DS} = 1.0 \text{ V}$ , channel doping concentration = arsenic  $3.4 \times 10^{19} \text{ cm}^{-3}$ ).

으로 고정하였다. 반지름이 커짐에 따라 swing 특성이 열화되고  $I_{off}$ 가 증가하였다. 채널의 반지름이 7 nm 이하일 때 적절한 전달 특성을 얻을 수 있음을 알 수 있다. 그림 12는 채널 반지름에 대한 문턱 전압과 SS의 변화를 나타낸 그래프이다. 2-7 nm의 유의미한 범위에서 SS는 70 mV/dec 미만의 좋은 특성을 나타냈다. 각 경우 단위 width 당 전류로 환산한 후  $I_D = 0.1 \mu\text{A}/\mu\text{m}$ 에서의 게이트 전압을 추출하여 roadmap이 제시하는 LSTP 응용에 적합한 문턱 전압 범위와 비교하였을 때, 최적의 채널 반지름은 4-5 nm임을 확인할 수 있다.

III. 최적 설계된 소자의 RF parameter 추출

그림 13과 14는 동작 전압 조건에 따른 주요 컨덕턴스 특성, 즉 트랜스컨덕턴스( $g_m$ )와 드레인-소스 컨덕턴스( $g_{ds}$ )의 변화를 살펴보았다.  $g_m$ ,  $g_{ds}$ 는 다음의 식에서와 같이 각각 current gain cut-off frequency( $f_T$ ), maximum oscillation frequency( $f_{max}$ )를 결정한다.<sup>[14]</sup>

$$f_T = \frac{g_m}{2\pi C_g} \tag{1}$$

$$f_{max} \approx \frac{f_T}{\sqrt{4R_{g,eff}(g_{ds} + 2\pi f_T C_{gd})}}, R_{se} \ll R_g \tag{2}$$

( $R_{g,eff}$ : 유효 게이트 저항,  $C_{gd}$ : 게이트-드레인 간 커패시턴스,  $R_{se}$ : 외인성 소스 저항)

식(1)로부터  $f_T$ 를 향상시키기 위해서는 충분히 높은  $g_m$ 을 확보해야 함을 알 수 있다. 그림 13에서  $g_m$ ,  $g_{ds}$

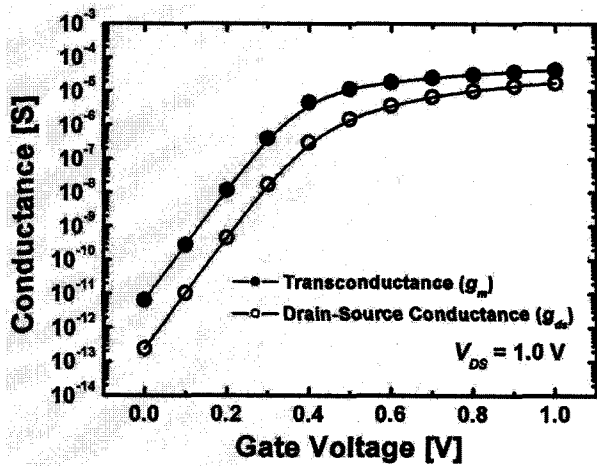


그림 13. 게이트 전압에 따른 컨덕턴스 특성의 변화( $V_{DS} = 1.0$  V, 채널 도핑 농도 =  $3.4 \times 10^{19}$   $\text{cm}^{-3}$ , 반지름 = 5 nm)

Fig. 13. Conductance characteristics as functions of gate voltage ( $V_{DS} = 1.0$  V, channel doping concentration =  $3.4 \times 10^{19}$   $\text{cm}^{-3}$ , radius = 5 nm).

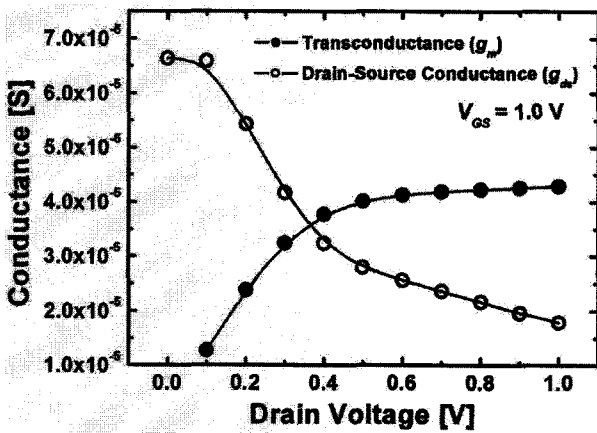


그림 14. 드레인 전압에 따른 컨덕턴스 특성의 변화( $V_{GS} = 1.0$  V, 채널 도핑 농도 =  $3.4 \times 10^{19}$   $\text{cm}^{-3}$ , 반지름 = 5 nm)

Fig. 14. Conductance characteristics as functions of gate voltage ( $V_{GS} = 1.0$  V, channel doping concentration =  $3.4 \times 10^{19}$   $\text{cm}^{-3}$ , radius = 5 nm).

모두 게이트 전압이 증가함에 따라 단조 증가하며  $V_{GS} = 0.5$  V 부근부터 포화되는 경향성을 보여준다. 따라서 높은  $g_m$ 을 얻기 위한 동작 조건은  $V_{GS} \geq 0.5$  V의 조건을 포함해야 한다. 그림 14에서  $g_m$ 은 드레인 전압이 증가함에 따라 단조 증가하지만  $g_{ds}$ 는 단조 감소하는 경향성을 보여준다. 식(2)로부터  $f_{max}$ 는  $g_{ds}$ 가 감소함에 따라 단조 증가하는  $g_{ds}$ 에 대한 함수이므로 전력 이득 관점에서는  $g_{ds}$ 를 충분히 낮은 수준으로 억제하는 것이 바람직하다.  $V_{DS} \geq 0.5$  V에서는  $g_m$ 과  $g_{ds}$ 의 변화가 모두 둔화되는 것을 확인할 수 있다. 즉, 충분히 높은  $g_m$

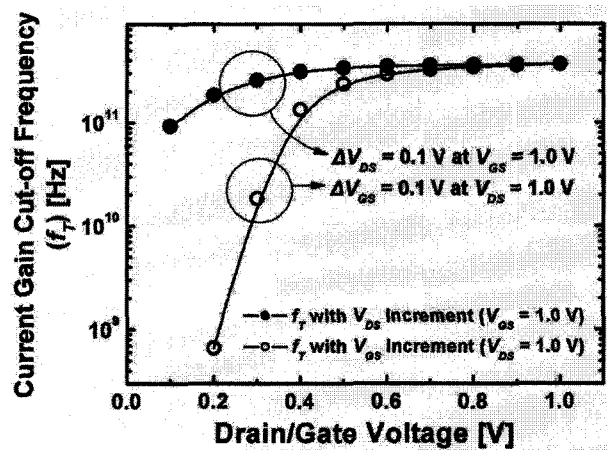


그림 15. 드레인/게이트 전압에 따른 current gain cut-off frequency( $f_T$ )의 변화(채널 도핑 농도 =  $3.4 \times 10^{19}$   $\text{cm}^{-3}$ , 반지름 = 5 nm)

Fig. 15. Current gain cut-off frequency ( $f_T$ ) as a function of drain/gate voltages. (channel doping concentration =  $3.4 \times 10^{19}$   $\text{cm}^{-3}$ , radius = 5 nm).

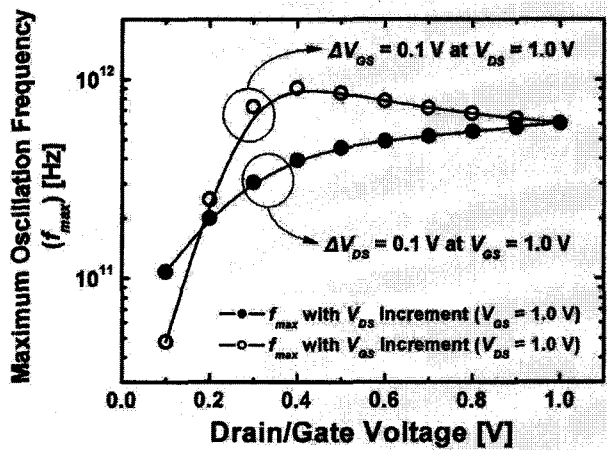


그림 16. 드레인/게이트 전압에 따른 maximum oscillation frequency( $f_{max}$ )의 변화(채널 도핑 농도 =  $3.4 \times 10^{19}$   $\text{cm}^{-3}$ , 반지름 = 5 nm)

Fig. 16. Maximum oscillation frequency( $f_{max}$ ) as a function of drain/gate voltages (channel doping concentration =  $3.4 \times 10^{19}$   $\text{cm}^{-3}$ , radius = 5 nm).

을 확보하면서도  $g_{ds}$ 를 효과적으로 억제할 수 있으므로 동작 조건은  $V_{DS} \geq 0.5$  V의 조건을 포함해야 한다.

그림 15는 드레인/게이트 전압에 따른  $f_T$ 의 변화를 나타낸 결과이다.  $f_T$ 의 드레인 전압에 대한 의존성을 확인하기 위하여 게이트 전압을 1.0 V으로 고정시킨 후 드레인 전압은 0.1 V씩 변화시켰다. 게이트 전압에 대한 의존성 분석에서는 반대의 조건을 적용하였다. 두 경우 모두 바이어스가 증가함에 따라  $f_T$ 가 단조 증가하는 결과를 나타냈다. 동작 전압인  $V_{GS} = V_{DS} = 1.0$  V에서는  $f_T = 367.5$  GHz를 얻을 수 있었다. 그림 16은 그림

15에서의 동일한 실험 방식으로 드레인/게이트 전압 조건에 따른  $f_{max}$ 의 변화를 살펴본 결과를 보여준다.  $V_{DS}$ 에 대한 의존성 실험에서는  $V_{DS}$ 가 증가함에 따라  $f_{max}$ 가 단조 증가하였다. 반면  $V_{GS}$ 의 변화에 대해서는  $V_{GS} = 0.4$  V에서 극대값을 갖고 이후 단조 감소하는 결과를 나타냈다. 동작 전압 조건에서의  $f_{max}$ 는 602.5 GHz, 임의의 조건에서 가질 수 있는 극대값은 904.8 GHz였다. 이러한 주파수 특성은 기존의 2차원 구조의 MOSFET이나 반전 동작 기반의 SNW MOSFET이 가질 수 있는  $f_T$ ,  $f_{max}$ 의 값을 크게 증가하는 결과를 보여준다.<sup>[15~16]</sup>

#### IV. 결 론

본 논문에서는 3차원 소자 시뮬레이션을 통하여 나노와이어 구조를 갖는 무접합 MOSFET을 최적 설계하고 해당 소자로부터 주요 RF parameter를 추출하였다. JL SNW MOSFET은 LSTP 응용에 매우 적합한 소자로서 roadmap이 제시하고 있는 향후 10년 이내 LSTP 소자가 충족해야 하는 여러 가지 동작 요건을 기준으로 채널 도핑 농도와 반지름을 변수로 최적 설계하였다. 문턱 전압,  $I_{on}$ 과  $I_{off}$  및 전류비,  $g_m$ , SS, DIBL를 고려하였고 NMOSFET의 구현을 목표로 했을 때, 본 기준들을 만족하는 채널 도핑 농도는 arsenic  $3.4 \times 10^{19} \text{ cm}^{-3}$ , 반지름은 4-5 nm으로 나타났다. 상기 조건에서 채널 길이 30 nm, 반지름 5 nm인 소자의 기본적인 RF 특성을 확인하였다. roadmap이 제시하는 LSTP 소자의 동작 조건인  $V_{GS} = V_{DS} = 1.0$  V에서  $f_T$ 와  $f_{max}$ 는 각각 367.5 GHz, 602.5 GHz이고  $f_{max}$ 의 최대값은 904.8 GHz인 것으로 나타났다. 무접합 구조로 열 공정 risk를 줄이고 SNW의 장점을 살린 JL SNW MOSFET은 탁월한 RF 특성을 갖는 차세대 LSTP 소자로서 기능할 것이다.

#### 참 고 문 헌

- [1] H. Xiao, *Introduction to Semiconductor Manufacturing Technology*, Prentice Hall, pp. 150-157, 2001.
- [2] C.-W. Lee, A. Borne, I. Ferain, A. Afzalain, R. Yan, N. D. Akhavan, P. Razavi, and J.-P. Colinge, "High-Temperature Performance of Silicon Junctionless MOSFETs," *IEEE Trans. Electron Devices*, vol. 57, no. 3, pp. 620-625, Mar. 2010.
- [3] C.-W. Lee, A. N. Nazarov, I. Ferain, N. D. Akhavan, R. Yan, P. Razavi, R. Yu, R. T. Doria, and J.-P. Colinge, "Low Subthreshold Slope in Junctionless Multigate Transistors," *Appl. Phys. Lett.*, vol. 96, no. 10, p. 102106, Mar. 2010.
- [4] J.-P. Colinge, C.-W. Lee, I. Ferain, N. D. Akhavan, R. Yan, P. Razavi, R. Yu, A. N. Nazarov, R. T. Doria, "Reduced Electric Field in Junctionless Transistors," *Appl. Phys. Lett.*, vol. 96, no. 7, p. 073510, Feb. 2010.
- [5] S. Hamedi-Hagh and A. Bindal, "Spice Modeling of Silicon Nanowire Field-Effect Transistors for High-Speed Analog Integrated Circuits," *IEEE Trans. Nanotechnol.*, vol. 7, no. 6, pp. 766-775, Nov. 2008.
- [6] J. Song, B. Yu, Y. Yuan, and Y. Taur, "A Review on Compact Modeling of Multiple-Gate MOSFETs," *IEEE Trans. Circuits Syst. Regul. Pap.*, vol. 56, no. 8, pp. 1858-1869, Aug. 2009.
- [7] 유윤섭, 김한정, "공핍모드 N형 나노선 전계효과 트랜지스터의 전류 전도 모델," 전자공학회논문지-SD, 제45권, 제4호, 49-56쪽, 2008년 4월
- [8] International Technology Roadmap for Semiconductors (ITRS), 2009 edition, available at <http://www.itrs.net/Links/2009ITRS/Home2009.htm>
- [9] Y. Taur and T. H. Ning, *Fundamentals of Modern VLSI Devices*, Cambridge University Press, pp. 158-159, 1998.
- [10] S. M. Sze and K. K. Ng, *Physics of Semiconductor Devices* (3rd edition), Wiley-Interscience, pp. 314-316, 2007.
- [11] Y. Taur and T. H. Ning, *Fundamentals of Modern VLSI Devices*, Cambridge University Press, pp. 153-154, 1998.
- [12] J. Kim, J. Lee, Y. Kwon, B.-G. Park, J. D. Lee, and H. Shin, "Extraction of Ballistic Parameters in 65 nm MOSFETs," *J. Semicond. Technol. Sci.*, vol. 9, no. 1, pp. 55-60, Mar. 2009.
- [13] 김지현, 손애리, 정나래, 신형순, "이차원 양자 효과를 고려한 극미세 Double-Gate MOSFET 특성 분석," 대한전자공학회논문지, 제45권 SD편, 제10호, 15-22쪽, 2008년 10월.
- [14] Y. Tsididis, *Operation and Modeling of the MOS Transistor* (2nd edition), Oxford University Press, pp. 501-503, 1999.
- [15] 차지용, 차준영, 정대현, 이성현, "MOSFET의 RF 성능 최적화를 위한 단위 게이트 Finger 폭에 대한  $f_T$  및  $f_{max}$ 의 종속데이터 분석," 대한전자공학회 논문지, 제45권 SD편, 제9호, 22-25쪽, 2008년 9월.



- [16] S. Cho, H.-S. Jhon, J. H. Lee, S. H. Park, H. Shin, and B.-G. Park, "Device and Circuit Codesign Strategy for Application to Low-Noise Amplifier Based on Silicon Nanowire Metal - Oxide - Semiconductor Field Effect Transistors," *Jpn. J. Appl. Phys., Part I*, vol. 49, no. 4, pp. 4031-4037, Apr. 2010.

---

 저 자 소 개
 

---



조 성 재(평생회원)-제 1저자  
 2004년 서울대학교 전기공학부  
 공학사  
 2009년 일본 산업기술종합연구소  
 (AIST) 교환연구원  
 2010년 서울대학교 전기.컴퓨터  
 공 학부 공학박사

2010년 3월~2010년 9월 서울대학교 전기컴퓨터  
 공학부 박사 후 연구원

2010년 10월~현재 Stanford University 박사 후  
 연구원

<주관심분야 : 나노스케일 CMOS 소자 및 비휘  
 발성 메모리의 설계 및 공정>



김 경 록(평생회원)  
 1999년 서울대학교 전기공학부  
 공학사  
 2001년 서울대학교 전기컴퓨터  
 공학부 공학석사  
 2004년 서울대학교 전기컴퓨터  
 공학부 공학박사

2004년~2006년 Stanford University 박사 후  
 연구원

2006년~2010년 삼성전자 반도체총괄  
 CAE/TCAD팀 책임연구원

2010년~현재 울산과학기술대학교 전기전자  
 컴퓨터공학부 조교수

<주관심분야 : 나노전자소자 개발 및 모델링>



박 병 국(평생회원)  
 1982년 서울대학교 전자공학과  
 공학사  
 1984년 서울대학교 전자공학과  
 공학석사  
 1990년 Stanford University  
 전기공학 공학박사

1990년~1993년 AT&T Bell Laboratories

1993년~1994년 Texas Instruments

1994년~현재 서울대학교 전기.컴퓨터공학부  
 교수

2008년~2010년 서울대학교 반도체공동연구소  
 소장

2010년~현재 Stanford University 방문교수

<주관심분야 : 나노스케일 CMOS, 비휘발성 메모  
 리, 실리콘 양자소자, 유기박막소자의 설계 및 공  
 정>



강 인 만(정회원)-교신저자  
 2001년 경북대학교 전자전기  
 공학부 공학사.  
 2003년 서울대학교 전기컴퓨터  
 공학부 공학석사  
 2007년 서울대학교 전기컴퓨터  
 공학부 공학박사

2007년~2010년 삼성전자 시스템LSI사업부  
 책임연구원

2010년~현재 경북대학교 전자공학부 전임강사

<주관심분야 : CMOS 소자 및 수동 소자 RF 모  
 델링>