Journal of the Korean Institute of Electrical and Electronic Material Engineers, Vol. 23, No. 4, p. 298, April 2010.

논 문 23-4-7

SABiT 공법적용 인쇄회로기판의 은 페이스트 범프 크기 및 제작 조건에 따른 전기 저항 특성

Characterization of Electrical Resistance for SABiT Technology-Applied PCB : Dependence of Bump Size and Fabrication Condition

송철호[1], 김영훈[1], 이상민[1], 목지수[2], 양용석[1,a]
(Chul-Ho Song[1], Young-Hun Kim[1], Sang-Min Lee[1], Jee-Soo Mok[2], and Yong-Suk Yang[1,a])

Abstract

We investigated the resistance change behavior of SABiT (Samsung Advanced Bump interconnection Technology) technology-applied PCB (Printed Circuit Board) with the various bump sizes and fabrication conditions. Many testing samples with different bump size, prepreg thickness, number of print on the formation of Ag paste bump, were made. The resistance of Ag paste bump itself was calculated from the Ag paste resistivity and bump size, measured by using 4-point probe method and FE-SEM (Field Emission Scanning Electron Microscope), respectively. The contact resistance between Ag paste bump and conducting Cu line were obtained by subtracting the Cu line and bump resistances from the measured total resistance. It was found that the contact resistance drastically changed with the variation of Ag paste bump size and the contact resistance had the largest influence on total resistance. We found that the bump size and contact resistance obeyed the power law relationship. The resistance of a circuit in PCB can be estimated from this kind of relationship as the bump size and fabrication technique vary.

Key Words : Ag paste bump, PCB, Contact resistance

1. 서 론

최근 전자업계에서는 제품의 소형화 및 경량화 문제가 대두되고, 소비자들은 갈수록 다 기능성 첨단 제품을 요구하고 있다. 이러한 시장의 요구를 만족시키기 위해서는 회로의 고집적 설계, 층간 전기적 도통의 신뢰성 확보 및 미세회로 배선이 적용된 고밀도 및 다기능화가 적용 가능한 인쇄회로기판 (printed circuit board, PCB)에 대한 요구가 어느 때 보다 절실해 졌다[1-3]. 또한, 환경 친화적이며 가격 경쟁력이 뛰어난 인쇄회로기판의 공정 기술이 동시에 요구되는 실정이다.

종래의 도금 (Cu plating)기술에 따른 다층 인쇄회로기판의 제조공정은 드릴링, 화학동 및/또는 전기 동 도금으로 도금 층을 형성하고 회로 층을 형성한 후 적층 공정을 통하여 원하는 수만큼의 회로패턴 층을 형성한다. 그러나 이와 같은 종래의 다층 인쇄회로기판 제조공정은 핸드폰 등의 적용 제품의 가격 하락에 따른 저비용에 대한 요청, 양산성을 높이기 위한 리드 타임 (lead-time) 단축에 대한 요청 등을 만족시키지 못하는 문제가 있으며, 이러한 문제를 해결할 수 있는 새로운 PCB 제조 공정이 요구되고 있다.

종래 기술의 위와 같은 문제점을 해결하기 위하여 전도성 페이스트를 이용하여 층간 연결을 하는 B^2it (buried bump interconnection technology)

1. 부산대학교 나노융합기술학과
(경남 밀양시 삼랑진읍)
2. 삼성전기 기판사업부 기판선행개발팀
a. Corresponding Author : ysyang@pusan.ac.kr
접수일자 : 2009. 10. 21
1차 심사 : 2010. 2. 26
심사완료 : 2010. 2. 22

[1-3] 및 ALIVH (any via interstitial via hole) 공법[4-6]이 이미 상용화 되어 있다. 이와 함께, SABiT 공법은 원추모양의 마이크로 범프 (bump)를 한쪽 면에 형성하고 열경화하여 프리프레그 (prepreg)를 관통시킨 후 동박과 적층하여 다른 층을 도통시키는 방법으로 설계상의 라우팅 한계를 극복하고, 공정을 단축시켜 원가를 절감할 수 있는 획기적인 방법이다. 그러나 이미 상용화된 전도성 페이스트를 이용한 층간연결 공법에 있어서도 전도성 페이스트의 높은 비저항, 고주파 영역대에서의 노이즈 발생 및 큰 신호 손실, 페이스트와 동박과의 낮은 접착력 등의 문제점이 도출되어 있다.

본 연구에서는 SABiT 공법을 적용한 인쇄회로기판을 은 범프 크기 및 범프 형성 인쇄 횟수에 따라 제작하고, 동박과의 낮은 접착력으로 야기되는 접촉저항의 변화를 측정함으로써 이 공법으로 소형화 시킬 때의 한계를 예측하고 현 공정의 개선책 및 비용절감의 바탕을 마련하며 은 범프의 활용성 및 신뢰성을 확장시키는 계기를 마련하고자 한다.

2. 시료 준비 및 실험 방법

그림 1에 나타낸 바와 같이 SABiT 공법으로 은 페이스트 범프를 이용한 인쇄회로기판을 제작하였다. 왼쪽 그림에서 상하층은 동박이고 두 개의 실린더형 층간 연결재는 은 페이스트 범프이며 오른쪽 그림은 동박의 규격을 표시한다. 층간 절연체인 프리프레그 (PPG, prepreg)의 두께는 0.04 t (40 μm)와 0.06 t였다. 인쇄 기준으로 한 은 범프 (본 논문에서는 범프^{P}로 표기함)의 크기는 그림에서 상층 기준으로 직경이 100, 130, 150, 180, 200 μm이며 두께는 프리프레그 높이와 유사하다. 또한 범프 형성 시 인쇄 횟수를 각각 4, 5, 6으로 하여 총 30가지의 서로 다른 종류의 PCB 기판을 제작하였다.

제작된 은 페이스트 범프의 실제 단면적 크기, 높이, 접촉상태를 측정하기 위해 전계 방사형 주사전자현미경 (FE-SEM)을 사용하였다. 이 때 가속전압은 15 kV, 배율은 300 ~ 500 이었다. 은 페이스트의 비저항, 기판의 총저항, 구리 도선의 저항은 반도체 분석 시스템을 사용하여 4 단자 측정법을 이용하였다. SABiT 공법과 동일한 열처리를 한 은 페이스트의 비저항 값은 $\rho = \frac{\pi}{\ln 2} \times \frac{V}{I} \times t$의 관계식[7,8]을 이용하여 구하였으며, 그 값은 5.5×10^{-5} Ωm였다. 이 식에서, t는 은 페이스트의 두께, V는 측정 전압, I는 입력 전류이다. 그림 1의 구리 동박 긴 쪽 양 끝 단의 저항은 2 mΩ이었으며, 30 가지의 기판 각각에 대한 총저항은 같은 종류의 12 개 샘플을 측정하여 평균값을 취하였다.

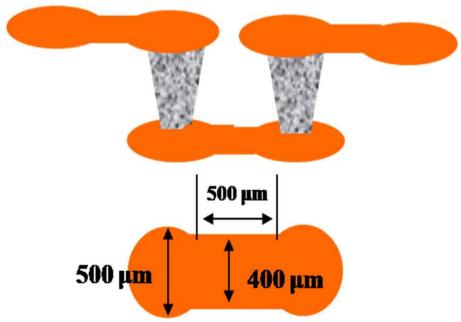

그림 1. SABiT 공법을 적용한 인쇄회로기판의 제작 모식도.

Fig. 1. Schematic view and dimension of SABiT technology applied-PCB.

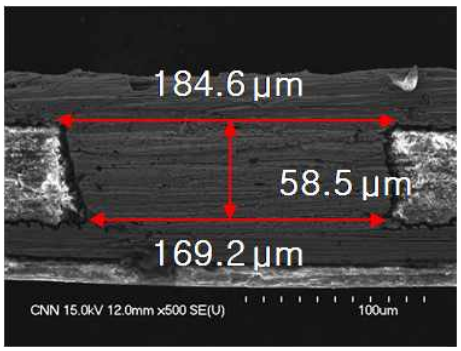

그림 2. SEM 사진: PPG 0.04 t/180 μm/ 4회 인쇄 기판.

Fig. 2. Cross section view of SEM morphology for Cu line-Ag paste bump-Cu line region in PCB : PPG 0.04 t/180 μm/4 printing cycles.

3. 결과 및 논의

그림 2는 PPG 두께 0.04 t, 범프^{P} 크기 180 μm, 4회 인쇄를 한 은 페이스트 범프에 동박이 입혀진 인쇄회로기판을 SEM으로 측정한 단면적 사진이다. 그림에 나타나 있듯이 실제 측정한 은 범프 (본 논

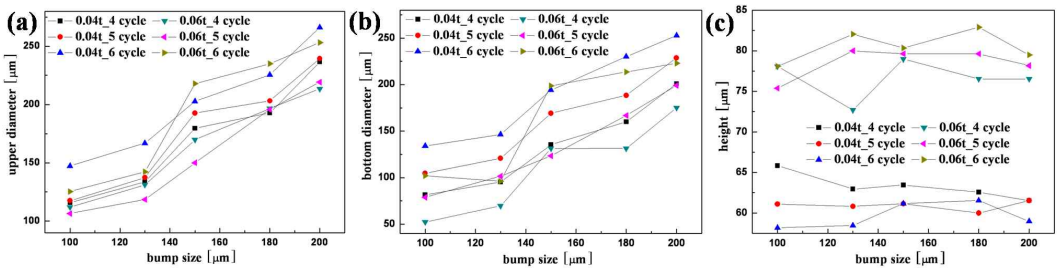

그림 3. PPG 두께, 범프 형성 인쇄 횟수, 범프^{P} 크기에 따른 범프의 (a) 윗면, (b) 아랫면, (c) 높이의 측정치.

Fig. 3. Measured values of bump^{M} dimension (a) upper and (b) bottom parts (diameter), (c) height, as PPG thickness, printing cycle and bump^{P} size change.

문에서는 범프^{M}으로 표기함)의 크기는 윗면, 아랫면, 높이 순으로 각각 184, 169.2, 58.5 μm였다. 이 그림에서는 범프가 프리프레그를 관통해서 동박과 접합되는 부분이 아랫면이며 인쇄 횟수가 증가할수록 범프의 규격은 나중 인쇄 부분의 면적이 약간 작아지는 비대칭형 실린더 모양임을 알 수 있다.

그림 2에서 나타낸 이외의 샘플들을 조사한 결과, 프리프레그의 두께에 따라서 범프^{M}의 높이가 정해지는 것을 알 수 있었으며, 범프^{P} 크기와 인쇄 횟수에 관계없이 프리프레그 두께 0.04 t 기판의 경우 실제 범프^{M} 높이가 약 60 (61.3) μm, 0.06 t인 경우 약 80 (78.6) μm였다. 또한, 범프^{M} 윗면과 아랫면의 크기는 프리프레그의 두께가 얇을수록, 인쇄 횟수가 늘어날수록 커진다.

그림 3은 PPG 두께, 범프^{P} 크기, 범프 형성 인쇄 횟수에 따른 실제 범프^{M}의 위, 아래 크기 및 높이를 그림 2에서 보인 방법과 같이 SEM을 이용하여 측정한 결과를 종합적으로 나타낸 것으로써 제작 조건에 따른 범프^{P} 크기와 측정치 사이의 관계를 잘 보여줌을 알 수 있다.

SEM 단면사진을 통해 구한 각 범프^{M}의 크기와 은 페이스트의 비저항 (5.5x10^{-5} Ωcm)을 이용하여 범프^{M}의 자체저항을 구하였다. 자체저항을 구하는 식은 $R_{bump} = \rho \times \frac{L}{A}$을 이용하였다. 여기서 R_{bump}는 범프^{M}의 자체저항, ρ는 비저항, L은 범프^{M}의 높이, A는 범프^{M}의 면적을 나타낸다.

표 1은 프리프레그 두께, 범프^{P} 크기, 인쇄 횟수에 대하여 SEM으로 측정한 범프^{M} 크기를 고려한 범프^{M} 자체저항을 종합하여 나타낸 것이다. 표에서 알 수 있듯이, 범프^{M}의 자체저항은 인쇄 횟수가 많을수록, 범프^{P} 크기가 클수록, 프리프레그 두께가 작을수록 낮으며, 0.62 ~ 8.2 mΩ 값을 가진다.

SABiT 공법으로 제작 된 인쇄회로기판의 총저항은 은 범프^{M}의 자체저항, 구리 도선 저항, 그리고 구리 도선과 범프 사이에 공정상 생성되는 접촉저항으로 이루어진다. 따라서, 우리는 4 단자 저항 측정법을 이용해 기판의 총저항을 구하고, 범프^{M} 자체저항 및 구리 도선 저항을 고려한 후, 기판의 저항 변화의 핵심인 구리 도선과 범프 사이의

표 1. PPG 두께, 범프^{P} 크기, 인쇄 횟수에 따른 범프 자체저항.

Table 1. Bump only resistance as a function of PPG thickness, bump^{P} size and printing cycle.

은 페이스트 범프 자체 저항 (mΩ)						
PPG 두께	0.04 t			0.06 t		
범프^{P} 크기 [μm]	인쇄 횟수			인쇄 횟수		
	4회	5회	6회	4회	5회	6회
100	4.468866	3.204574	2.095652	8.184108	6.091201	3.531654
130	3.392022	2.509171	1.65519	4.768681	5.357339	4.111216
150	1.802858	1.319608	1.028764	2.449132	3.084519	1.287999
180	1.465001	1.030288	0.82357	2.000898	1.557476	1.175556
200	0.905249	0.780186	0.614668	1.324427	1.180418	1.045138

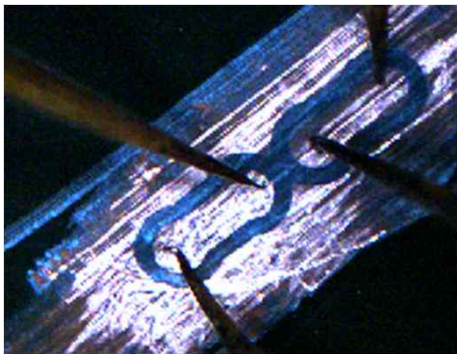

그림 4. 기판의 총저항을 측정하는 모습.

Fig. 4. Measuring view with 4-point probe resistance measurement system.

접촉저항 변화를 알아보았다.

그림 4는 기판의 총저항을 구하는 4 단자 측정 사진이다.

그림 5는 범프^P 크기에 따른 총저항과 접촉저항의 변화를 나타낸다.

총저항은 PPG 0.06 t, 4회 인쇄, 범프^P 크기 100 μm 일 때, 289 mΩ으로 가장 크며, PPG 0.04 t, 6회 인쇄, 범프^P 크기 200 μm 일 때, 3.332 mΩ으로 가장 작았다. 즉, 프리프레그의 두께가 얇을수록, 인쇄 횟수가 많을수록, 범프^{P}의 크기가 커질수록 측정된 총 저항의 크기는 아주 큰 폭으로 줄어드는 것을 알 수 있다. 또한 프리프레그의 두께와 범프 인쇄 횟수에 따른 총저항 변화의 폭이 범프^P 크기가 커짐에 따라 줄어든다. 즉, 범프^{P}의 크기가 작아질수록 총저항에 미치는 영향 (프리프레그 두께, 인쇄 횟수)이 커지는 것을 알 수 있다. 또한, 앞에서 언급하였지만 범프^M 자체저항의 가장 큰 값과 작은 값의 차이가 7.5 mΩ인데 반해 총저항의 차이는 285 mΩ이기 때문에 범프^P 크기에 따른 총저항의 변화는 범프^{M}의 자체저항보다 접촉저항의 영향이 크다는 것을 알 수 있다. 따라서, 그림 5의 (b)에서 보면 알 수 있듯이 접촉저항이 범프^{P}의 크기에 따라 큰 폭 (135.132 mΩ에서 0.0675 mΩ)으로 변한다.

그림 6은 그림 5의 (b)를 log-log 스케일로 나타낸 것이다. 그림에서 보면, PPG 두께와 인쇄횟수에 관계없이, 범프^P 크기와 접촉저항의 관계는 보편 법칙을 따른다는 것을 알 수 있다. 즉, 범프^P 크기와 접촉저항의 관계는 $R_{contact} = ad^n$의 관계식으로 표현할 수 있으며, a는 상수, d는 범프^P 크기를

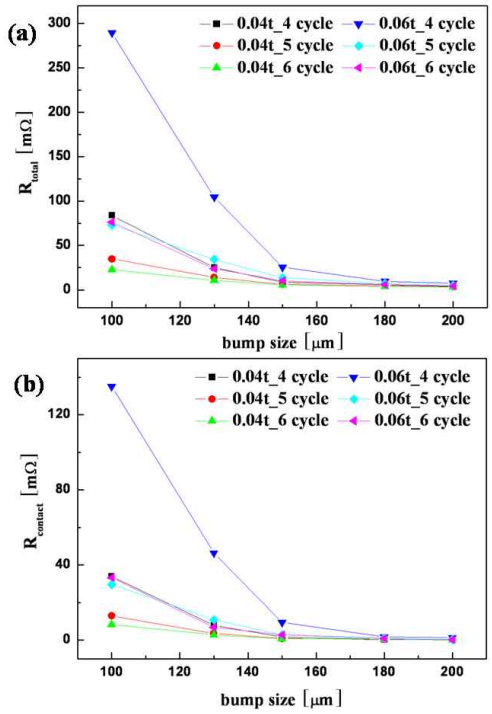

그림 5. 범프^P 크기에 따른 (a) 총저항 및 (b) 접촉저항.

Fig. 5. (a) total and (b) contact resistances as a function of bump^P size.

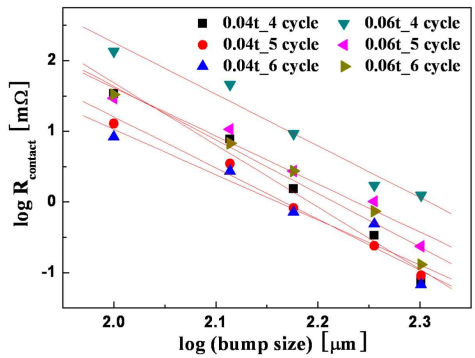

그림 6. 범프^P 크기에 따른 접촉저항 변화 (log-log 스케일).

Fig. 6. Variation of contact resistance as a function of bump^P size in log-log scale.

나타낸다. 위의 그림에서 선형 맞춤 (linear fitting) 결과, 보편 법칙의 지수인 n 값은 -7.4 이다. 이 보

편법칙을 이용하면 범프^{P} 크기 변화에 따른 접촉저항을 알 수 있으며 특히 앞으로 고집적 미세회로 제작 시 범프^{P} 크기가 더욱 작아질 경우 범프^{M} 한 개 당 발생 할 수 있는 접촉저항의 크기가 예상 가능하게 되었다.

4. 결 론

SABiT 공법을 적용하여 PPG 두께 (0.04 t, 0.06 t)를 조절하고, 인쇄횟수 (4, 5, 6회), 범프^{P} 크기 (100, 130, 150, 180, 200 μm)가 다른 은 페이스트 범프를 이용한 인쇄회로기판을 제작하였으며 그에 따른 범프^{M} 자체저항, 총저항, 접촉저항의 변화를 관찰하였다. 범프^{M} 한개 당 가지는 자체저항, 접촉저항 및 기판의 총저항은 PPG 두께가 얇을수록, 인쇄횟수가 많을수록 그리고 범프^{P} 크기가 클수록 낮을 값을 가졌다. 저항에 영향을 미치는 인자(PPG 두께, 인쇄횟수, 범프^{P} 크기)들에 따른 자체저항의 변화가 총저항의 변화폭에 비해 매우 작은 것으로부터, 접촉저항이 총 저항에 미치는 영향이 아주 큰 것을 알 수 있었다. 범프^{P} 크기와 접촉저항의 관계가 보편법칙을 따르는 것을 알 수 있었으며, 보편법칙의 지수인 n 값은 선형 맞춤 결과 -7.4의 값을 가졌다. 이 보편법칙을 통해 앞으로 범프^{P} 크기를 줄여나갈 때 범프^{M} 한 개 당 생성되는 접촉저항 및 기판의 총저항 크기의 예상이 가능하게 되었다.

참고 문헌

[1] K. Goto, T. Oguma, and Y. Fukuoka, “High-density printed circuit board using B^{2}it^{TM} technology”, IEEE Transactions on Advanced Packaging, Vol. 23, No. 3, p. 447, 2000.

[2] O. Shimada, K. Hisano, H. Iwasaki, M. Ishizuka, and Y. Fukuoka, “Thermal management estimations for buried bump interconnection technology printed wiring boards with bump (filled via) interconnection”, Proceedings of InterSociety Conference on Thermal Phenomena, Seattle, p. 468, 1998.

[3] Y. Sato and Y. Fukuoka, “Buried bump interconnection technology printed circuit board”, Japan Institute of Electronics Packaging, Vol. 2, No. 6, p. 454, 1999.

[4] T. Suzuki, S. Tomekawa, T. Ogawa, D. Andoh, M. Tanahashi, and T. Ishida, “Interconnection technique of ALIVH substrate”, Proceedings of International Symposium on Advanced Packaging Materials, Georgia, p. 23, 2001.

[5] S. Ochi, F. Echigo, T. Nakamura, Y. Tomita and D. Andoh, "A study of advanced ALIVH(R) interconnection technology", Proceedings of International Symposium on Advanced Packaging Materials, Georgia, p. 356, 2002.

[6] H. Nakase, S. Oshima, T. Fujii, S. Kameda, Y. Isota, and K. Tsubouchi, "Balance type pair transmission line for 60-GHz band using multi-layer substrate", Electronics and Communications in Japan, Part 2, Vol. 89, p. 957, 2006.

[7] T. I. Shin, Y. C. Lin, J. G. Duh, T. Hsu, and W. S. Wu, “Electrical measurement of a lead-free solder assembly after environmental tests by SEM internal probing”, JOM, Vol. 59, No. 7, p. 32, 2007

[8] T. Mouthaan, “Semiconductor Deviced Explained using active simulation”, John Wiley & Sons Ltd, Chichester, England, p. 11, 1999.