

논문 2010-47SD-12-1

멀티레벨 셀을 가지는 PoRAM의 센싱 기법

(A Sensing Method of PoRAM with Multilevel Cell)

이 중 훈*, 김 정 하**, 이 상 선***

(Jonghoon Lee, Sangsun Lee, and Jungha Kim)

요 약

본 논문은 멀티레벨을 갖는 PoRAM 셀의 데이터를 센싱하는 기법에 관하여 제안하였다. PoRAM은 유기물질을 사용한 단위 셀의 상,하단 전극에 전압을 가했을 때 나타나는 저항 상태의 변화로 셀 데이터를 구분하는 메모리 소자이다. 특히 한 셀당 최대 4 레벨의 안정된 저항 값을 가지므로 멀티레벨 셀로 활용이 가능하다. 따라서 멀티레벨의 센싱을 위해 어드레스 디코딩 방법, 센스 앰플리파이어, 이를 위한 제어 신호 등을 새롭게 제안하였다. 센스 앰플리파이어는 셀에 흐르는 전류를 입력 값으로 받아 설정된 기준 전류(I_{REF})와 비교하는 전류 비교기를 기본으로 구성되며, 전류를 증폭하기 위해 낮은 입력 임피던스를 갖도록 설계되었다. 제안된 기법에 의해 설계된 회로는 0.13 μ m CMOS 공정 라이브러리를 사용하여 설계되었고, 이를 사용함으로써 단위 셀에 흐르는 서로 다른 4 가지 전류 값이 각각 데이터 "00", "01", "10", "11" 으로 정확히 센싱 되는 것을 검증하였다.

Abstract

In this paper, we suggested a sensing method of PoRAM with the multilevel cell. When a specific voltage is applied between top and bottom electrodes of PoRAM unit cell, we can distinguish cell states by changing resistance values of the cell. Especially, we can use the PoRAM as the multilevel cell due to have four stable resistance values per cell. Therefore, we proposed an address decoding method, sense amplifier and control signal for sensing of a multilevel cell. The sense amplifier is designed based on a current comparator that compared a cell current the cell with a reference current, and have a low input impedance for a amplification of the current. The proposed circuit was designed in a 0.13 μ m CMOS technology, we verified to sense each data "00", "01", "10", "11" by four states of a cell current.

Keywords : PoRAM, organic memory, MLC(multi level cell), current comparator, sense amplifier

I. 서 론

최근 몇 년 전부터 고속 동작 및 고집적화가 가능한 DRAM과 비휘발성 데이터를 갖는 낸드 플래시 메모리의 특징을 모두 갖는 차세대 비휘발성 메모리들의 개발이 진행 중이다. 현재 이러한 차세대 비휘발성 메모리들의 종류에는 PRAM(phase change random access memory), STT-MRAM(spin transfer torque magnetic random access memory), ReRAM(resistive switching random access memory), PoRAM(polymer random access memory) 등이 존재한다^[1~4].

* 학생회원, 한양대학교 나노반도체공학과
(Department of Nanoscale Semiconductor Engineering, Hanyang University)

** 정회원, *** 정회원(교신저자), 한양대학교 전자컴퓨터통신공학과
(Department of Electronics Computer Engineering, Hanyang University)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음.(10029907, 테라비트급 고집적 차세대비휘발성메모리 기술 개발)

※ 본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음.
(NIPA-2010-(C1090-1011-0009))

접수일자: 2010년6월23일, 수정완료일: 2010년11월29일

특히 PoRAM은 상, 하 메탈 전극 사이에 유기물질을 삽입한 샌드위치 구조의 단위 셀을 갖고, 양 전극 사이에 인가되는 전압에 따라 셀의 저항 상태가 변하는 특성을 메모리 동작에 사용한다. 또한 쓰기 전압과 지우기 전압, 그리고 두 전압 사이의 특정한 전압을 양 전극 사이에 인가해 주면 셀의 저항 상태는 총 4가지 상태로 변하게 되고, 이 특성을 활용하면 4레벨의 셀로 동작하는 것이 가능하다.

멀티레벨 셀을 가진 메모리 중 가장 잘 알려진 메모리는 낸드 플래시이다. 낸드 플래시는 셀의 플로팅 게이트에 저장된 전자 개수에 따라 셀의 문턱전압 분포가 달라지는 특성을 사용하므로 데이터를 읽을 때 셀의 게이트에 인가되는 읽기 전압을 변화하여 읽기 동작을 수행한다^[5].

반면 PoRAM은 동일한 읽기 전압이 인가된 상태에서 각 저항 상태에 따라 셀에 다른 전류가 흐르는 특성을 이용하므로 낸드 플래시 메모리의 읽기 동작 방식을 사용할 수가 없다. PoRAM의 센싱 방법은 개선을 통해 현재는 셀에 흐르는 전류와 기준 전류를 비교하여 데이터 "0"과 "1"을 구분하는 방식이다^[6]. 하지만 이 방법 또한 0과 1 데이터를 갖는 싱글레벨 셀만을 위한 방법이므로, 기존의 센싱 방법과는 다른 방법의 필요성이 대두되었다.

본 논문에서는 총 4레벨을 갖는 멀티레벨 셀을 센싱하기 위한 기법을 제안하였다. II장에서는 PoRAM의 소자 구조와 동작에 대해 설명하고, III장에서는 PoRAM 셀 어레이와 각 블록의 주요 회로에 대해 설명한다. IV장에서는 각 회로들을 결합하여 측정된 결과에 대해 설명하고, V장에서 결론을 맺는다.

II. 멀티레벨을 갖는 PoRAM 단위 셀

1. PoRAM의 단위 셀 구조

<그림 1>은 PoRAM의 소자의 단위 셀 구조를 보여 주며 상, 하단 메탈 알루미늄(Al) 전극 사이에 유기물질이 삽입된 샌드위치 구조이다. 알루미늄 전극 사이의 유기물질은 니켈 산화물(NiO)로 둘러싸인 니켈 나노크리스탈(Ni nanocrystals)이다^[7]. 양단 전극 사이에 특정 전압이 인가되어 이 층에 전자들이 트랩 되면 이에 의한 전류 패스가 생성됨으로써 셀의 저항 특성이 변화하게 된다. 이때 양단 전극에 읽기 전압을 인가하면 셀의 저항상태에 따라 변화하는 전류를 측정하여 셀의 상태

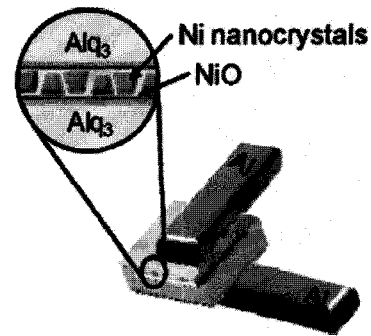


그림 1. PoRAM 단위(Unit) 셀 구조
Fig. 1. PoRAM unit cell structure.

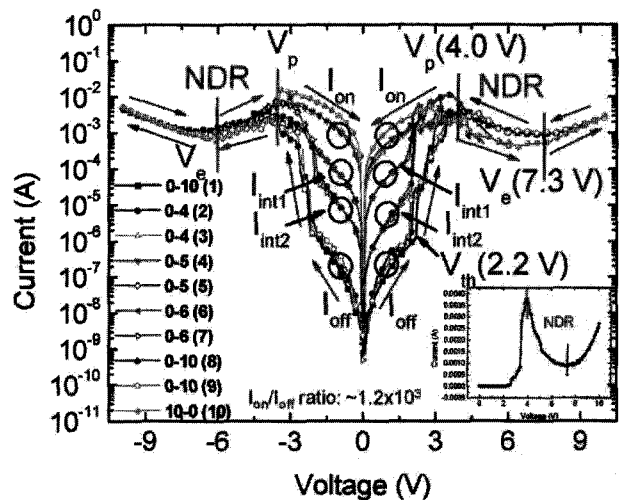


그림 2. PoRAM 셀의 전기적 특성 곡선
Fig. 2. Electrical characteristics of the PoRAM.

를 파악할 수 있다.

<그림 2>는 PoRAM 단위 셀의 상, 하단 전극 사이에 전압을 인가하였을 때, 각 전압 차에 따른 PoRAM 단위 셀의 전류 변화를 보여준다.

그림의 X-축은 상, 하단 전극 사이에 인가되는 전압 차, Y-축은 그 전압 차에 따라 셀에 흐르는 전류를 나타낸다. 단위 셀의 구조가 상하 대칭 구조이고, 0V 를 기준으로 셀 전류가 대칭적으로 흐르기 때문에 [+전압만 셀의 동작에 사용하게 된다. 셀의 저항상태는 쓰기 전압 4V와 지우기 전압 7.3V, 그리고 쓰기 전압과 지우기 전압 사이의 특정 전압에 따라 안정적으로 변화하게 된다. 이때의 저항 상태는 읽기 전압 1V 에서 셀에 흐르는 전류를 측정하여 결정하게 되며 각각의 저항 상태에 따른 총 4 가지 전류가 흐르게 된다. 쓰기 전압을 인가한 후 저저항 상태의 셀 전류(I_{on})와 지우기 전압을 인가한 후 고저항 상태일 때의 셀 전류(I_{off})의 비율은 현재 약 10^3 이고, 그 사이의 전류들(I_{int1} , I_{int2})은 각각

약 10배의 비율을 가지고 있다.

셀의 쓰기 동작과 지우기 동작을 간단하게 설명하면 셀이 초기에 고저항 상태 일 때 양 전극 사이에 약 4V의 전압을 인가하면 셀에 전류 패스가 생성되어 저저항 상태로 변화하게 된다. 이때 읽기 전압 1V를 인가하면 셀에는 약 500 μ A의 전류가 흐르게 되며, 이렇게 셀이 저저항 상태로 변화하는 동작을 쓰기(program)동작이라고 정의한다. 그 후 양 전극 사이에 약 7.3V의 전압을 인가하면 생성된 전류 패스가 양 전극의 전계에 의해 사라지게 되어 저항 값은 증가하게 된다. 이 때 다시 읽기 전압을 인가하면 약 0.5 μ A의 전류가 흐르게 되며, 셀이 다시 고저항 상태로 변화하는 동작을 지우기(erase)동작이라고 정의한다.

그리고 셀에 쓰기 전압과 지우기 전압 사이의 NDR(negative differential resistance) 구간의 정해진 전압 값을 인가하면 셀의 저항 값이 총 4 레벨로 변하게 된다. 각 저항 상태에 따른 상, 하단 전극 사이의 전압 차, 그리고 읽기 전압을 인가하였을 때 흐르는 셀 전류 값을 <표 1>에 정리하였다. 표를 참조하면 저저항 상태일 때를 "On" 셀과 데이터 "1", 고저항 상태일 때를 "Off" 셀과 데이터 "0"로 각각 정의하였다.

기존의 PoRAM 회로에서는 셀의 상태가 2 가지 상태이므로 셀 데이터를 0 또는 1로 구분하면 되었다. 하지만 <그림 2>의 셀은 하나의 셀이 총 4 가지 상태로 구분되므로 셀 데이터도 기존의 0 과 1 의 1비트로 구분하는 것이 아니라, MSB(most significant Bit)와 LSB(least significant bit)의 2 비트로 구분하도록 하였다^[8]. 셀의 각 상태에 따라 2 비트로 정의된 데이터 값은 <표 1>에 기술하였다.

하나의 셀을 2 비트로 표현하기 때문에 기존에 사용되던 센싱 방법과 회로들은 호환되지 않으므로 새로운 센싱 방법이 필요하게 된다.

표 1. 셀의 각 상태에 따른 특징 설명
Table 1. Feature description of the each cell.

셀 상태	인가 전압	Cell current @1V	셀 데이터	
			MSB	LSB
On	4.0 V	500 uA	1	1
Int1	5.0 V	50 uA	1	0
Int2	6.0 V	5 uA	0	1
Off	7.3 V	0.5 uA	0	0

III. 각 블록 회로의 설계

1. 어드레스 디코딩 방법

앞장에서 언급한 것처럼, 멀티레벨 셀은 하나의 셀을 2 비트로 표현하므로 기존의 어드레스 디코딩 방법과는 다른 방법이 필요하다. 본 논문에서는 로우 어드레스 1 비트를 추가하여 이를 제어신호에 할당함으로써 MSB 데이터와 LSB 데이터를 구분하도록 하였다.

<그림 3>은 기존에 제안된 1D-1R 구조의 PoRAM 셀 어레이 이다^[9]. 셀 하단에 다이오드를 장착하여 읽기 동작 시 발생하는 셀 간의 간섭을 최소화한 구조이다.

RPE(Read/Program/Erase) 전압 드라이버는 각 동작에 맞는 전압을 생성하여 로우 라인에 공급해 준다. 로우 라인 스위치(Row_N)는 PMOS 스위치로 외부에서 입력 받은 로우 라인 어드레스를 디코딩하여 원하는 셀이 위치한 로우 라인에 동작 전압을 인가한다. 컬럼 라인 스위치(Col_N)는 NMOS 스위치로 로우 라인 스위치와 마찬가지로 디코딩된 결과에 따라 선택된 센스앰플리파이어(S/A)의 입력으로 셀 전류를 흐르게 한다.

읽기 동작을 위한 어드레스 디코딩 방법을 설명하기 위해 로우와 컬럼이 각각 4x4 인 셀 어레이를 예로 들면, 싱글레벨 셀의 경우에는 <표 2>와 같이 2 비트(RA0, RA1)의 로우 어드레스를 외부에서 입력 받아 4개의 로우 라인 스위치 중에 하나를 선택하여 로우 라인에 읽기 전압이 인가된다.

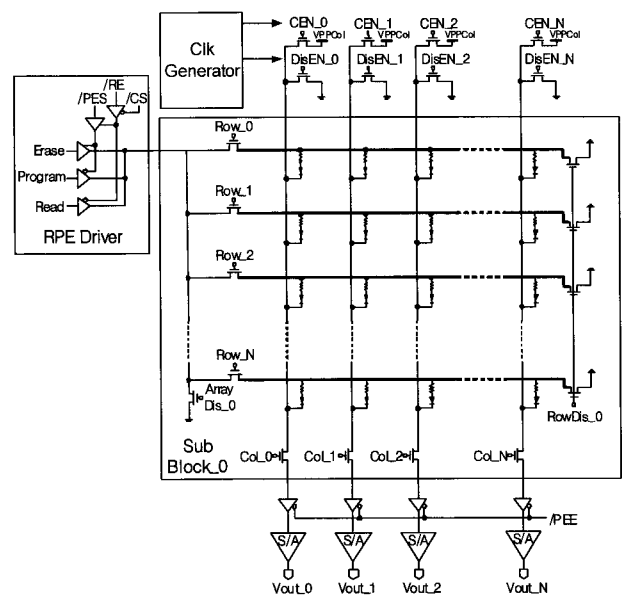


그림 3. 1D-1R 구조의 PoRAM 셀 어레이
Fig. 3. PoRAM cell array of 1D-1R structure.

표 2. 싱글레벨 셀의 로우 어드레스 디코딩 (4x4 어레이)

Table 2. Row address decoding of single level cell.

RA ₁	RA ₀	Row ₀	Row ₁	Row ₂	Row ₃
0	0	L	H	H	H
0	1	H	L	H	H
1	0	H	H	L	H
1	1	H	H	H	L

표 3. 멀티레벨 셀의 로우 어드레스 디코딩 (4x4 어레이)

Table 3. Row address decoding of multi level cell.

RA ₂	RA ₁	RA ₀	셀 비트	RSW ₀	RSW ₁	RSW ₂	RSW ₃
0	0	0	MSB	L	H	H	H
0	0	1	LSB	L	H	H	H
0	1	0	MSB	H	L	H	H
0	1	1	LSB	H	L	H	H
1	0	0	MSB	H	H	L	H
1	0	1	LSB	H	H	L	H
1	1	0	MSB	H	H	H	L
1	1	1	LSB	H	H	H	L

반면 동일한 4x4 셀 어레이의 멀티레벨 셀의 경우에는 하나의 셀 데이터가 2 비트로 표현되므로 기존의 2 비트의 어드레스 입력으로는 셀 데이터를 모두 나타낼 수 없기 때문에 로우 또는 컬럼 어드레스를 1 비트 더 추가해야 한다.

본 논문에서는 로우 어드레스를 1 비트 추가하였고, <표 3>에서 보는 것처럼 싱글레벨 셀과는 다르게 3 비트의 로우 어드레스를 입력으로 사용한다.

2 비트의 로우 어드레스(RA1, RA2)는 싱글레벨 셀과 똑같이 로우 라인 스위치를 디코딩 하는 데 사용된다. 하지만 RA0 어드레스는 디코딩에 사용되지 않고 BitSel 이라는 내부 신호를 생성하게 된다. 이 BitSel 신호는 센스 앰플리파이어로 입력되어 제어신호로 사용하게 되며, 동일한 셀의 MSB 또는 LSB를 출력하도록 제어하게 된다.

<표 3>을 참조하면 동일한 로우 라인 스위치 (Row_N)가 두 번 On 상태가 되지만, RA0 비트에 의해 각각 다른 비트가 출력되는 것을 볼 수 있다. RA0 가 0 이면, BitSel 신호도 Low 상태가 되어 동일한 셀의

MSB를 출력하고 RA0가 1 이면 LSB를 출력하게 된다.

이처럼 멀티레벨 셀을 갖는 PoRAM에서는 NxM 의 셀 어레이 일 때 로우 어드레스는 $(\log_2 N) + 1$ 개의 어드레스가 입력되어야 하며, 이것은 사용자의 입장에서 봤을 때 실제 NxM 셀 어레이의 사이즈가 두 배 증가한 2NxM 어레이처럼 동작하게 된다.

2. 센스 앰플리파이어 설계

가. 전류 비교기(current comparator) 설계

PoRAM 단위 셀은 각 상태를 구분하기 위해 저장 상태에 따라 달라지는 전류 값으로 셀 데이터를 구분하게 된다.

<그림 4>는 전류 비교기의 회로도를 보여준다. 전류 비교기는 고속 동작과 전류를 증폭하기 위해 낮은 입력 임피던스를 갖도록 설계되었다^[10]. M₁-M₄는 윌슨 전류 미러의 형태로 기준전류(I_{REF})와 입력되는 셀 전류(I_{in})를 비교하고, M_{n1}-M_{n2} 와 M_{p1}-M_{p2}는 노드 c의 비교된 신호를 증폭하는 역할을 수행한다.

출력 전류(I_{out})는 기준 전류와 입력 전류를 뺀 값이 되고, 만약 입력 전류 I_{in} 이 기준 전류 I_{REF} 보다 크다면 출력 전류 I_{out} 은 감소하고 노드 d의 전압은 증가하게 된다. 반대로 입력 전류 I_{in} 이 기준 전류 I_{REF} 보다 작다면 출력 전류 I_{out} 은 증가하고 노드 d의 전압은 감소하게 된다. 그 뒤의 2 개의 CMOS 인버터는 노드 d의 전압을 증폭하는 레일-투-레일(rail-to-rail) 동작을 수행한다.

또한 전류 비교기는 윌슨 전류 미러 내의 부귀환(negative feedback) 때문에 매우 낮은 입력임피던스를 갖도록 설계되었다. 입력전류가 노드 c로 흘러서 전압이 증가하면, M₁의 공통 소스(source) 모드 증폭에 의

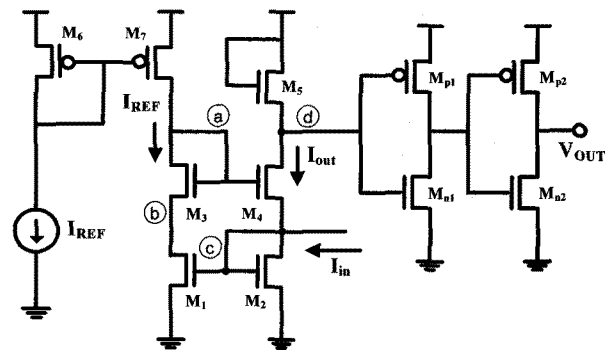


그림 4. 전류 비교기 회로도
Fig. 4. Current comparator schematics.

해 노드 b의 전압이 감소하고, 또한 노드 a의 전압도 감소하게 된다. 따라서 M_4 의 소스 전압이 감소하게 되는 것으로 부귀환을 증명할 수 있으며, 비교기의 입력 임피던스는 다음 수식과 같이 나타낼 수 있다^[10].

$$R_{IN} \cong \frac{1}{g_{m2} + g_{m4} + g_{m1}g_{m4}r_{o1}} \quad (1)$$

g_m 은 MOS 트랜지스터의 트랜스컨덕턴스, r_o 은 MOS 트랜지스터의 내부 저항을 나타낸다. 만약 M_1 - M_4 의 g_m 이 모두 같다고 가정하면, 입력 임피던스는 다음 수식과 같이 간단히 나타낼 수 있다.

$$R_{IN} \cong \frac{1}{g_m^2 r_{o1}} \quad (2)$$

나. 멀티레벨 센스 앰플리파이어 설계

앞장에서 언급된 전류 비교기를 기반으로 <그림 5>의 멀티레벨 셀을 읽기 위한 센스 앰플리파이어의 회로를 설계하였다. 외부에서 입력된 어드레스를 디코딩하여 읽고자 하는 셀의 로우 라인 스위치와 컬럼 라인 스위치를 선택하면 센스 앰플리파이어의 입력으로 셀 전류(I_{cell})가 흐르게 된다.

센스 앰플리파이어 회로는 셀 전류를 복사하는 전류 미러부분, 상단의 MSB 데이터를 센싱하는 비교기(Com. MSB), MSB 비교기 출력 값을 저장하는 래치(Latch), 그리고 하단의 LSB 비교기(Com. LSB)로 구성된다. LSB 비교기는 래치에 저장된 값에 따라 각각 다른 기준 전류를 비교기에 인가한다. 각 비교기는 <그림 4>의 전류 비교기와 입력되는 기준 전류만 다를 뿐 동

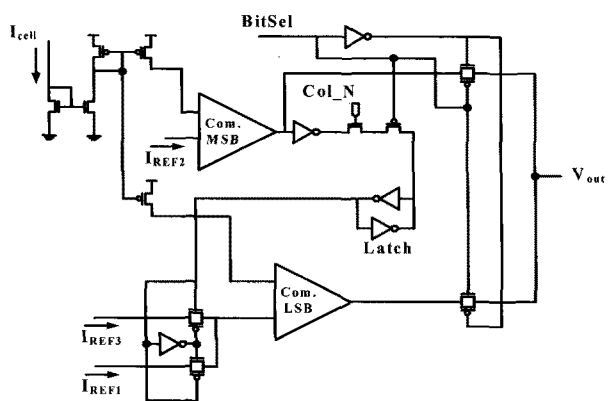


그림 5. 멀티레벨 셀의 센스 앰플리파이어 회로도
Fig. 5. Sense amplifier schematics for multi level cell.

일한 회로로 구성된다. 또한 센스 앰플리파이어의 제어를 위해 입력되는 BitSel 신호는 Low 일 때 MSB 비교기의 출력 값, High 일 때는 LSB 비교기 출력 값을 V_{out} 으로 전송한다.

MSB 비교기에 입력되는 기준 전류 $2(I_{REF2})$ 는 Int2 셀과 Int1 셀의 중간 전류 값이 되고 <표 1>을 참조하면 비교기의 출력 값은 Off 셀과 Int2 셀의 경우에 0이고, Int1과 On 셀의 경우는 1이 된다. 이 값은 BitSel 신호가 Low 일 때, V_{out} 으로 출력 된다. 그 후 BitSel 신호가 High 로 바뀌게 되면 MSB 데이터는 래치에 저장되고, 래치에 저장된 값에 따라 LSB 비교기에 입력되는 2개의 기준 전류 중 하나를 선택하게 된다. 즉, 래치에 저장된 값이 1 이라면, Int1 과 On 셀을 구분하기 위해 LSB 비교기에 기준 전류 $3(I_{REF3})$ 이 입력되며, 반대로 래치에 저장된 값이 0 이면 Off 와 Int2 셀을 구분하기 위해 LSB 비교기에 기준 전류 $1(I_{REF1})$ 이 입력되게 된다. 이 값은 BitSel 신호가 High 이므로 V_{out} 으로 출력 된다.

IV. 실험 결과

제안된 센스 앰플리파이어는 cadence 툴을 사용하여 $0.13\mu m$ CMOS 공정 라이브러리로 시뮬레이션 검증 완료하였다. 현재 PoRAM 단위 셀은 개발 중이므로, 각 상태에 맞는 전류 값을 바탕으로 계산된 저항으로 대체하여 검증하였다.

<그림 6>은 4×4 멀티레벨 셀 어레이의 센싱 동작 시뮬레이션 결과를 보여준다. 4×4 셀 어레이지만, 멀티레벨 셀이므로 총 32 비트의 데이터를 읽어내는 것을 확인할 수 있다.

Row_N 이 Low 상태이고 Col_N 이 High 상태 일 때, 원하는 하나의 셀이 선택되어 셀 전류가 센스 앰플리파이어로 입력되게 된다. 같은 셀의 MSB 와 LSB 데이터를 순차적으로 읽어 내기 위해 Col_N 은 High 로 유지하고, BitSel 신호를 Low 에서 High 로 바꾸어가며 인가하였다.

Row_0 라인이 On, Int1, Int2, Off 셀 순서로, Row_1 라인이 Int1, Int2, Off, On 셀 순서로 배치되어 있는 셀 어레이에서 그에 따른 셀 데이터가 각각 MSB와 LSB로 센싱 되는 것을 <그림 6>에서 확인할 수 있다.

시뮬레이션 검증 완료된 어드레스 디코더와 센스 앰플리파이어를 포함하는 주변회로에 대해 현재 동부

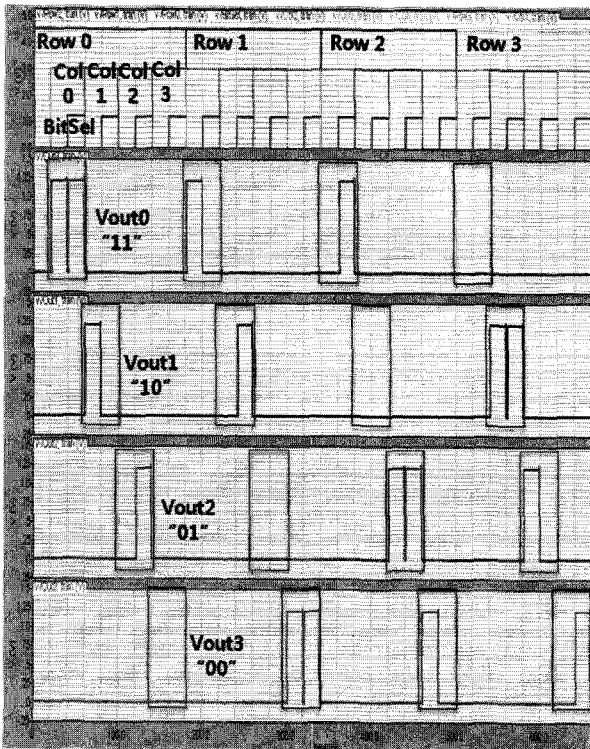


그림 6. 4x4 멀티레벨 셀 어레이의 시뮬레이션 결과
Fig. 6. Simulation result of 4x4 multi level cell array.

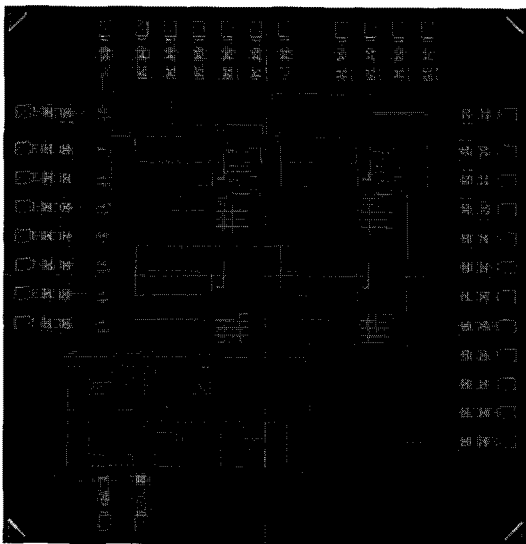


그림 7. 전체 블록을 설계한 레이아웃 그림
Fig. 7. The layout of overall block.

0.13 μ m 공정으로 MPW 데모칩을 제작 진행 중이다. <그림 7>은 2.35mm x 2.35mm 칩 사이즈의 셀 어레이와 그 주변회로의 레이아웃을 보여준다. PoRAM 셀은 아직 개발 중이므로 계산된 rhpoly 저항으로 대체하고, 셀 스위치 역할의 다이오드는 N⁺/Pwell 로 구성된 nio 타입으로 제작하였다. 서브블록이 4x4 셀 어레이로 구성된 64 비트 메모리 어레이를 갖고 셀 배치는 각 데이

터가 교차하는 체커보드(checker board) 타입으로 배치하였다.

V. 결 론

본 논문에서는 기존 싱글레벨에서 멀티레벨로 소자 특성이 향상된 PoRAM 셀의 새로운 센싱 기법에 대해 제안하였다. 멀티레벨 셀의 센싱을 위해 로우 어드레스 디코딩 방식을 변경하고, 셀 당 2비트의 데이터를 구분하기 위한 제어신호를 추가하였으며, 새로운 구조의 센스 앰플리파이어를 설계하였다. 제안된 기법에 의해 설계된 회로들을 cadence 툴을 사용하여 0.13 μ m CMOS 공정 라이브러리로 시뮬레이션 한 결과, 총 4가지의 저항 상태를 갖는 셀에 대해서 각 데이터가 정확히 센싱되는 것을 검증하였다.

참 고 문 헌

- [1] Byung Do Yang, "A Low Power Phase-Change Random Access Memory Using A Selective Data Write Scheme", Journal of the Institute of Electronics Engineers of Korea, vol. 44 no. 1, pp. 45-50, 2007.
- [2] Fuchs, G.D., Emley, N.C., Krivorotov, I.N., Braganca, P.M., Ryan, E.M., Kiselev, S.I., Sankey, J.C., (...), Katine, J.A., "Spin-transfer effects in nanoscale magnetic tunnel junctions", *Applied Physics Letters*, vol. 85, no. 7, pp. 1205-1207, August 2004.
- [3] Young Ho Do, June Sik Kwak, and Jin Pyo Hong, "Resistive Switching Characteristics of TiO₂ Films with Embedded Co Ultra Thin Layer", Journal of Semiconductor Technology and Science Vol. 8 No. 1, pp.80-84, March 2008.
- [4] Liping Ma, Qianfei Xu, and Yang yang, "Organic nonvolatile memory by controlling the dynamic copper-ion concentration within organic layer", *Appl. Phys. Letters*, vol. 84, no. 24, pp. 4908 - 4910, June 2004.
- [5] K.T Park, M Kang, D Kim, S.W Hwang, B.Y Choi, Y.T Lee, C Kim, K Kim, "A zeroing cell-to-cell interference page architecture with temporary LSB storing and parallel MSB program scheme for MLC NAND flash memories", *IEEE Journal of Solid-State Circuits* vol.43, no. 4, pp. 919-927, January 2008.
- [6] Jung Ha Kim, Sang Sun Lee, "The 4bit Cell Array

Structure of PoRAM and A Sensing Method for Drive this Structure”, Journal of the Institute of Electronics Engineers of Korea, vol. 44 no. 6, pp. 45-50, 2007.

- [7] J.G Park, W.S. Nam, S.H. Seo, Y.G. Kim, Y.H. oh, G.S. Lee, and U.G. Paik, “Multilevel Nonvolatile Small-Molecule Memory Cell Embedded with Ni Nanocrystals Surrounded by a NiO Tunneling Barrier”, *Nano Letters*, vol. 9, no. 4, pp. 1713-1719, April 2009.
- [8] Kang, D.-H., Lee, J.-H., Kong, J.H., Ha, D., Yu, J., Um, C.Y., Park, J.H., Jeong, H.S., “Two-bit Cell Operation in Diode-Switch Phase Change Memory Cells with 90nm Technology”. VLSI Tech, 2008 Symposium on, pp. 98-99, June 2008.
- [9] C.Y. Ahn, J.H. Kim, J.H. Lee, S.S. Lee, “Read/Program/Erase operation and verify-algorithm for 1DIR polymer RAM”, ITC-CSCC 2009, pp. 306-309, May 2009.
- [10] Kasemsuwan, V., Khucharoensin, S., “High-speed low input impedance CMOS current comparator”, IEEE International Symposium on Circuits and Systems 1, pp. I141-I144, May 2003.

저 자 소 개



이 종 훈(학생회원)
2006년 명지대학교 전자공학과
학사 졸업
2009년~현재 한양대학교 대학원
나노반도체공학과
석사과정

<주관심분야 : 비휘발성 메모리 회로 설계>



김 정 하(정회원)
2000년 초당대학교 정보통신
공학과 학사 졸업
2002년 초당대학교 전자정보
공학부 석사 졸업
2003년~2008년 한양대학교
전자전기컴퓨터공학과
박사 졸업

2009년~현재 한양대학교 전자컴퓨터통신공학과
박사 후 연구원

<주관심분야 : 비휘발성 메모리 회로 설계>



이 상 선(정회원)-교신저자
1978년 한양대학교 전자공학과
학사 졸업
1983년 한양대학교 전자공학과
석사 졸업
1990년 Univ. of Florida 공학박사

1991년~1993년 생산기술연구소 전자부품종합
기술연구소

1993년~현재 한양대학교 전자컴퓨터통신공학과
교수

<주관심분야 : 비휘발성 메모리, 텔레매틱스통신>