

논문 2010-47SD-12-9

극저전력 무선통신을 위한 Sub- μ W 22-kHz CMOS 발진기

(A Sub- μ W 22-kHz CMOS Oscillator for Ultra Low Power Radio)

나영호*, 김종식*, 김현*, 신현철**

(Youngho Na, Jongsik Kim, Hyun Kim, and Hyunchol Shin)

요약

본 논문은 Ultra-Low-Power (ULP) Radio를 위한 Sub- μ W 급 저전력 발진기 회로에 관한 것이다. 저전력 발진기의 구조로서 Relaxation 구조와 Wien-Bridge 구조의 시뮬레이션 비교를 통하여, 소모 전류의 최소화 및 저전력 동작에 최적인 Wien-Bridge 구조를 선택하였다. Wien-Bridge 발진기 회로는 폐쇄 루프 이득이 $(1+R_2/R_1)$ 인 비반전 OPAMP 증폭회로에 부귀환 경로로 RC 회로망이 접속되어 있다. 이 회로망의 RC값과 증폭기의 폐쇄 루프 이득에 의해 발진 주파수가 정해지게 된다. 본 연구에서는 루프 이득 조절을 위해 일반적으로 사용하는 가변저항대신, MIM 커패시터와 MOS 버랙터를 조합한 가변 커패시터를 사용하여, 발진기의 폐쇄 루프 이득을 적절히 조절하는 방식을 제안하고 이를 구현하였다. 폐쇄 루프 이득을 안정적으로 조절할 수 있음에 따라 발진기 출력의 안정화를 얻을 수 있으며, 출력신호의 비선형성도 개선할 수 있다. 0.18 μ m CMOS 공정을 이용해 구현된 발진기는 22 kHz 출력주파수에서 560 nA의 전류를 소모한다.

Abstract

A sub- μ W CMOS Wien-Bridge oscillator for ultra low power (ULP) radio applications is presented. The Wien-Bridge oscillator is based on a non-inverting opamp amplifier with a closed-loop gain $1+R_2/R_1$ as a means of providing necessary loop gain. An additional RC network provides appropriate phase shift for satisfying the Barkhausen oscillation condition at the given frequency of $1/(2\pi RC)$. In this design, we propose a novel loop gain control method based on a variable capacitor network instead of a rather conventional variable resistor network. Implemented in 0.18 μ m CMOS, the oscillator consumes only 560 nA at the oscillation frequency of 22 kHz.

Keywords : ULP, Wien-Bridge, Wake-up, Oscillator

I. 서론

무선센서네트워크 (Wireless Sensor Network: WSN)는 매우 작은 크기의 독립된 무선센서노드들을 분산된 여러 공간에 배치하여 주변 정보들을 무선으로 감지하여 관리할 수 있는 기술이다. 무선센서노드는 소형 배터리를 사용해 에너지를 공급받는데 일반적으로 배터리 교환

이 용이하지 않은 위치에 설치되기 때문에 센서 노드의 평균 소모 전력을 최소화할 필요가 있다. 따라서 이러한 저전력 WSN을 위한 Radio System에는 Wake-up 기능을 이용한 ULP Radio System이 필요하다 (그림 1).

ULP Radio System에서 일반적으로 Main Radio는 전체 전력소비를 줄이기 위해 off(Sleep Mode) 상태에 있다. Wake-up Radio는 일정한 주기로 Wake-up Signal의 수신을 체크(Listening Mode)한다. 이때 Wake-up signal이 수신되면 Wake-up Radio는 Main Radio를 off 상태에서 on(Communication Mode)시킨다. 따라서 ULP Radio System에서는 Wake-up signal을 일정한 주기로 센싱하기 위한 기준 클럭 발생(Clock Reference)가 필요하게 된다.^[1]

* 학생회원, ** 평생회원, 광운대학교 전파공학과
(Department of Wireless Communications
Engineering, Kwangwoon University)

※ 본 연구는 지식경제부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업의 연구 결과로 수행되었음
(NITA-2010-(C1090-1011-0006))

접수일자: 2010년9월30일, 수정완료일: 2010년11월4일

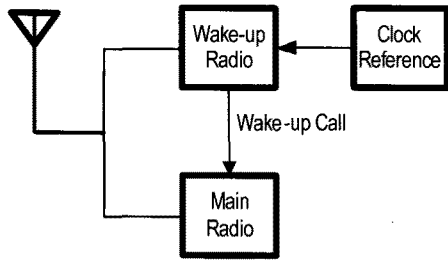


그림 1. ULP Radio System
Fig. 1. ULP Radio System.

그 밖에도 현대의 복잡한 무선통신 시스템 구현을 위해 아날로그 및 디지털 시스템이 모두 통합된 System-on-a-Chip (SoC) 에 대한 요구가 지속적으로 증가하고 있다. 예를 들어 PLL 또는 Time-based 기반의 무선센서노드는 RF 송수신기와 저 전력 디지털 회로까지 모든 블록이 하나의 칩에 내장되어 있다. 따라서 모든 off-chip 소자들은 최대한 사용하지 말아야 하는데 이러한 이유로 인해 온도 변화에 안정적이며 정확하고, 집적이 가능한 저 전력 Clock Reference의 필요성이 발생하게 된다.^[2]

Deep-submicron 공정에서, 능동소자는 공정변화, 온도변화 또는 다른 외부의 환경 변수에 의해 특성이 많이 변하게 된다. 반면 수동소자의 경우 능동소자에 비해 예측과 컨트롤이 쉽고 이러한 장점은 수동소자를 이용한 발진기 설계에 좋은 동기가 될 수 있다. 본 논문에서 사용된 설계 방법은 발진 주파수가 수동소자 (R, L, C)에 의해서만 결정이 되고 능동소자에 의한 발진 주파수의 영향은 최소화 하도록 하였다. 일반적으로 CMOS 공정에서 발진기를 설계는 위상잡음 특성과 주파수 정확성이 좋은 Negative-gm 발진기, 콜피츠 발진기와 같은 LC 발진기가 주로 이용된다. 하지만 베이스밴드와 같은 낮은 주파수에서 이러한 발진기를 설계하려면 L,C 값의 증가로 인한 전체 칩 사이즈 면적의 증가 때문에 사실상 설계하기가 불가능하다. 그러므로 이러한 어플리케이션에 적절한 솔루션은 하모닉 발진기중 하나인 윈브릿지 구조가 된다.^[3]

본 논문에서는 먼저 일반적인 RC 발진기에 대해서 설명하고, 일반적인 구조의 윈브릿지 발진기에 대한 설명과 CMOS공정에서 윈브릿지 발진기 설계 이슈에 대해 설명한 후, Capacitive Feedback을 이용한 새로 제안된 구조에 대해 설명한다. 마지막으로 측정결과를 제시하고 결론을 맺는다.

II. 발진기 구조 비교

일반적으로 많이 사용되는 RC 기반의 발진기로는 Relaxation 발진기와 Wien-Bridge 발진기가 있다. 우선 두가지 구조중 저전력 동작에 유리한 구조를 선정하기 위해 회로 시뮬레이션을 통하여 전류에 따른 동작 성능을 조사하였다.

일반적인 Relaxation 발진기 그림 2(a)는 쌍안정 멀티바이브레이터 형태로서 주기적으로 회로의 정상 상태가 바뀌게끔 귀환 루프에 RC 회로를 연결하여 구성된다. 커패시터 C는 저항 R을 통해 쌍안정 멀티 바이브레이터의 출력이 가능한 레벨까지 $\tau=RC$ 의 시정수로 충전 또는 방전을 하게 되고, 이러한 충전방전이 주기적으로 순환하며 되풀이 되면서 발진 하게 된다. 발진 주파수는 귀환율(feedback factor) β 식 (1)과 식 (2)로 주어진다.

$$\beta = \frac{R_1}{R_1 + R_2} \tag{1}$$

$$f_{osc} = \frac{1}{2\tau \ln \frac{1+\beta}{1-\beta}} \tag{2}$$

윈브릿지 발진기는 폐쇄 루프 이득(closed loop gain)이 $(1+R_2/R_1)$ 인 비반전 증폭기와 RC 회로로 구성된다. 루프 이득은 귀환 회로망의 전달함수에 증폭기 이득을 곱함으로 구해진다. 따라서 루프이득은 식 (3)과 같게 되고, Barkhausen 기준에 따라 증폭기의 이득이 3이 되고 위상 변화가 0인 곳에서 발진 주파수가 식 (4)와 같이 결정된다.

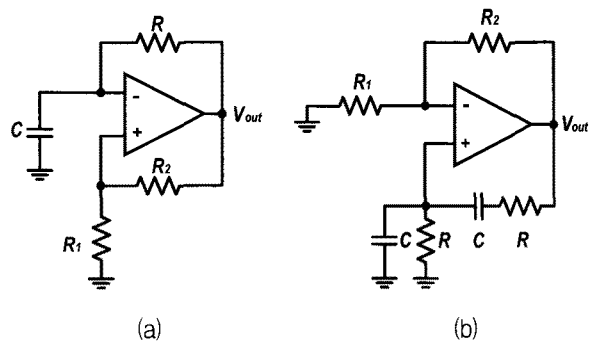


그림 2. RC-Based 발진기
(a) Relaxation 구조, (b) Wien-Bridge 구조

Fig. 2. RC-Based Oscillator.
(a) Relaxation Topology,
(b) Wien-Bridge Topology

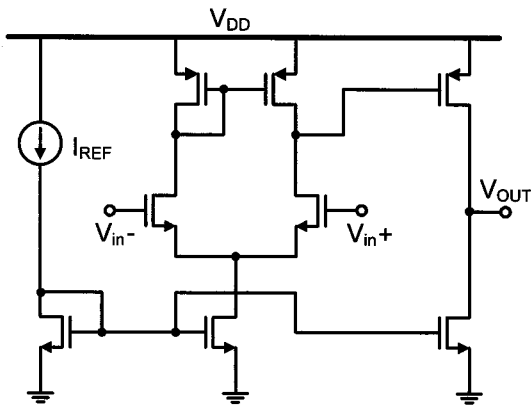


그림 3. 일반적인 Two-Stage OPAMP의 회로
Fig. 3. Circuit schematic of conventional OPAMP.

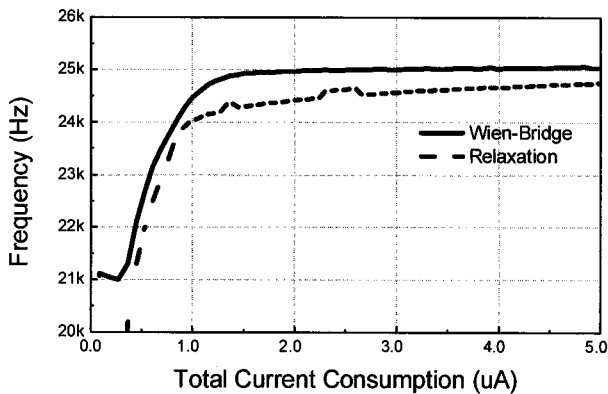


그림 4. 전체 전류 변화에 따른 발진 주파수 변화
Fig. 4. Frequency variation with varying total current consumption.

$$L(j\omega) = \frac{1 + R_2/R_1}{3 + j(\omega CR - 1/\omega CR)} \quad (3)$$

$$f_{osc} = \frac{1}{2\pi \cdot R \cdot C} \quad (4)$$

어떠한 구조의 발진기가 저 전력 설계에 더 유리한지 확인하기 위해 위의 두 가지 발진기를 식(2), (4)을 이용하여 25 KHz에서 발진하도록 R, C 값을 선택하였다. 이때 사용한 RC 값은 다음과 같다. Relaxation 발진기: R=4.92 M Ω , C=6 pF, Wien-Bridge 발진기: R=1 M Ω , 5.99 pF. 발진기의 주 증폭회로인 OPAMP를 그림 3 과 같이 설계하였다. 여기서, Iref를 변화시킴으로 발진기의 전류소모를 조정하여, 전류 변화에 따른 출력 주파수의 변화를 조사하였다. 그림 4 는 Relaxation과 Wien-Bridge 구조의 전류 변화에 따른 주파수 변화 시뮬레이션 결과이다. 전류를 줄이면서 시뮬레이션 해본 결과 Wien-Bridge 구조의 경우 전체 소비 전류가 대략 1.5 uA 일때까지도 안정적으로 25 kHz에서 발진하는 것을

알 수 있다. 그러나 Relaxation 구조의 경우는 전체 소비 전류가 줄어들수록 발진 주파수가 떨어지는 것을 알 수 있다. 이는 Relaxation 구조의 귀환 경로에 있는 커패시터가 공급전류가 줄어들수록 충전되는 시간이 더 많이 필요해 쌍안정멀티바이브레이터의 출력레벨이 바뀌는데 더 많은 시간이 소모되기 때문이다. 또한 동일한 주파수에서 전체 소모 전류도 Relaxation 구조가 Wien-Bridge 구조보다 더 많은 것을 알 수 있다. 따라서, Sub- μ W급의 발진회로를 위해서는 Relaxation 구조보다 Wien-Bridge구조가 더 적절함을 알 수 있다.

III. 저 전력 윈브릿지 발진기 설계

가. 윈브릿지(Wien-Bridge) 발진기 설계 이슈

앞서 살펴본 윈브릿지 구조와 같은 하모닉 발진기의 경우 증폭기(OPAMP)의 일정한 전압이득이 중요한데, 식 (1)을 참고하면 증폭기의 전압이득은 항상 3을 유지해야 한다. 만약 전압이득이 3보다 크면 발진기의 출력 전압 파형의 왜곡이 발생하여 발진주파수가 감소하고 RC 시정수에 의한 주파수 값과 달라지게 된다. 또 전압이득이 3보다 작다면 전압 신호가 충분히 발생하지 않아 발진하지 않게 된다. 따라서 Wien-Bridge 구조에서는 전압이득을 최대한 정확히 3 으로 유지하는 것이 매우 중요하다. 또한, 회로내 바이어싱을 위해 몇가지 기준전압이 필요하게 되는데, 저 전력 설계시, 작은 전류로 큰 기준 전압을 얻기 위해서는 저항과 같은 수동 소자의 크기가 매우 커야 하는 문제가 발생한다. 그러므로 기존의 발진기의 경우에서처럼 귀환 경로에 저항을 사용하면 실제 칩 제작시 레이아웃 면적의 증가를

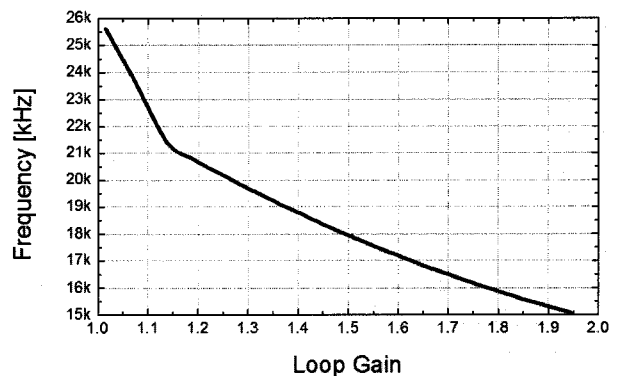


그림 5. 루프 이득 변화에 따른 발진 주파수 변화
Fig. 5. Oscillation frequency variation with loop gain variation.

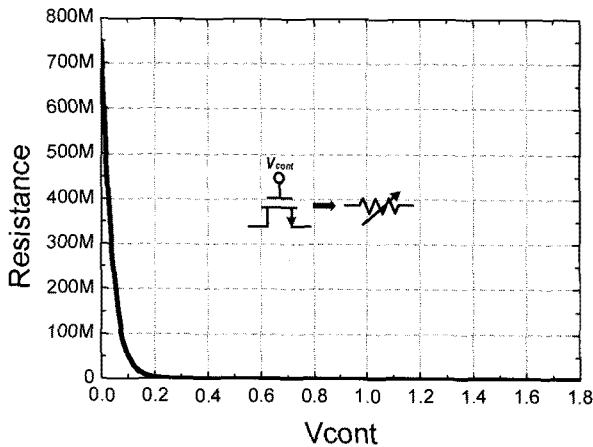


그림 6. 트랜지스터 저항
Fig. 6. NMOS Resistor.

가져오고, 공정변화에 취약한 모습을 보인다. 공정변화나 부정합등으로 인해 저항의 크기가 변하면 전압이득이 변하게 되고 발진기의 선형성을 보장 할 수 없게 된다. 그림 5 는 발진기 전체 루프 이득 변화에 따른 발진 주파수의 변화를 보여준다. 루프 이득이 증가함에 따라 발진 주파수가 감소하게 되고, 출력 파형에 왜곡이 발생하기 시작한다. 따라서, 전체 루프 이득을 1로 유지하는 것이 중요하다. 일반적으로 가변저항을 이용하여 저항의 크기를 조절해 전체 루프 이득을 조절 하는 방법이 사용된다. 그림 6 은 MOS 트랜지스터의 게이트 전압 변화에 따른 저항 값의 변화를 보여 준다. 트랜지스터가 가변 저항으로써 동작은 하지만 게이트 문턱전압 근처에서 저항 값의 변화가 너무 급격하고, 실제 회로 동작시 사용 할 수 있는 범위가 매우 좁기 때문에 설계에 많은 어려움이 있다. 따라서 본 발진기 구조에서 MOSFET을 이용한 가변저항을 사용하는 것이 바람직하지 않다.

나. 제안된 윈브릿지(Wien-Bridge) 발진기

기존의 Wien-Bridge 발진기 구조와 달리 새로 제안된 윈브릿지 발진기 구조는 폐쇄 루프 이득이 $1+R_2/R_1$ 인 비반전 증폭기의 피드백 루프에 가변 저항 대신 MIM 커패시터와 MOS 버랙터를 사용하여 가변 커패시터를 구현 하였다. 그림 7은 이의 구현 방법이다. 식 5는 제안된 가변 커패시터를 이용한 Wien-Bridge 발진기의 루프이득을 나타낸다.

$$L(j\omega) = \frac{1 + C_2 / (C_1 + C_{VAR})}{3 + j(\omega CR - 1/\omega CR)} \quad (5)$$

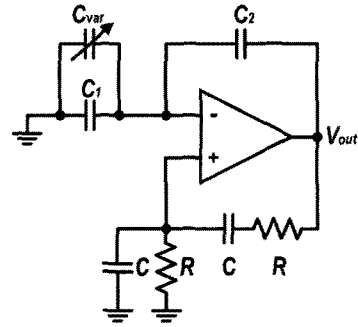


그림 7. 제안된 커패시터 레환 윈브릿지 발진기
Fig. 7. Proposed capacitive feedback wien-bridge oscillator.

여기서 C_1 은 고정 커패시터이고 C_{VAR} 은 가변 커패시터이다. 따라서 비반전 증폭기의 폐쇄 루프 이득이 3보다 크거나 작은 경우 제어 전압(V_{CONT})을 조절하여 비반전 증폭기의 폐쇄 루프 이득을 정확히 3으로 조절할 수 있다.

(1) DC 바이어싱 이슈

OPAMP ‘-’ 입력 단자에 DC 바이어싱을 위해 NMOS 트랜지스터를 이용하여 Sub-threshold voltage divider를 이용한 기준전압(Voltage reference generator)생성기를 설계 하였다. Body-effect의 최소화를 위해 deep n-well 트랜지스터를 사용 하였고, 또한 각각의 6개의 Stack을 diode connection으로 쌓고 NMOS 트랜지스터의 W/L를 모두 같게 설정하여 1.8 V 전원에서 300 mV씩 전압이 분배되게 설계 하였다. 이러한 Sub-threshold voltage divider는 V_{DD} 가 변하면 바이어싱하는 기준전압 또한 같은 비율로 변하여 기준전압을 제공한다. 이러한 기준전압 생성기는 시뮬레이션을 통해 28 nA의 매우 적은 전류를 소모하는 것을 확인하였고, 따라서 저 전력 설계에 적합한 것으로 생각된다. 또한 기준전압이 충분한 AC ground로 동작할 수 있도록 기준 전압 노드에 충분히 큰 크기의 MOS 커패시터를 이용한 Bypass 커패시터를 추가하였다. 비반전 증폭기의 폐쇄 루프 이득을 조절하기 위해 MIM 커패시터와 MOS 버랙터를 OPAMP의 ‘-’ 입력 단자에 연결하면 OPAMP의 ‘-’ 입력 단자에 DC 바이어싱 문제가 발생한다. 따라서 그림 8 에서처럼 MIM커패시터 양단에 접지 시켜싱하 또n-off된 트랜지스터를 병렬로 연결하여 DC 바이어싱 문제를 해결하였다. 이 설계방법은 트랜지스터의 누설전류(leakage 압 또한 같은)를

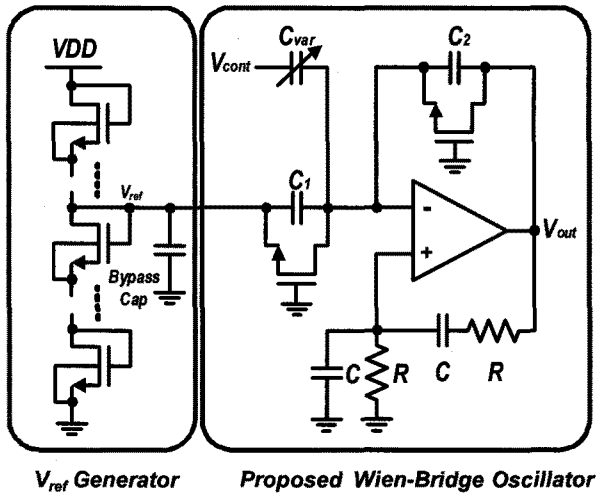


그림 8. 설계된 윈브릿지 발진기 회로도
Fig. 8. Circuit schematic of the wien-bridge oscillator.

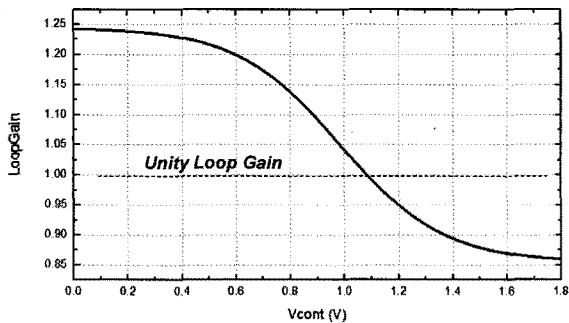


그림 9. 버랙터 전압에 따른 루프 이득 변화
Fig. 9. Loopgain variation with varactor voltage.

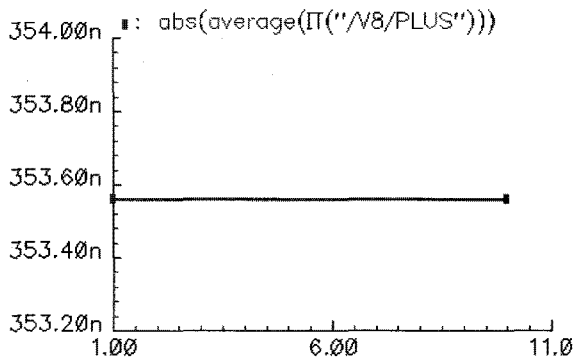


그림 10. 평균전류 시뮬레이션
Fig. 10. Average current simulation.

이용하여 OPAMP의 '-' 입력 단자를 DC 바이어싱하게 된다. 또한 시뮬레이션을 통해 MIM 커패시터 양단에 연결된 트랜지스터에 수십 fA의 누설전류가 흐르는 것을 확인하였고 전압강하도 1~2 mV로 미세한 것을 확인하였다. 따라서 하 오프된 트랜지스터가 MIM 커패시터에 비해 매우 큰 임피던스를 가지기 때문에

MIM 커패시터와 MOS 버랙터만을 이용하여 비반전 증폭기의 폐쇄 루프 이득을 조절 할 수 있다. 그림 9는 MOS 버랙터의 전압 변화에 따른 발진기 루프 이득의 변화이다. 루프 이득은 0.85 ~ 1.25 범위에서 조절이 가능하고, 실제 칩을 제작하여 공정변화에 의해 발진기가 발진하지 않으면 컨트롤 전압을 조절하여 루프 이득을 높이거나 줄여서 발진 시킬 수가 있다. 또한 루프 이득이 1인 컨트롤 전압에서의 출력 파형 왜곡이 가장 적게 된다. 따라서 발진기의 비선형성 또한 향상 시킬 수 있다. 그림 10은 Wien-Bridge 발진기의 평균 소비 전류 시뮬레이션 결과이다. 1.8 V 전원에서 350 nA의 매우 적은 전류를 소비하는 것을 확인 할 수 있다.

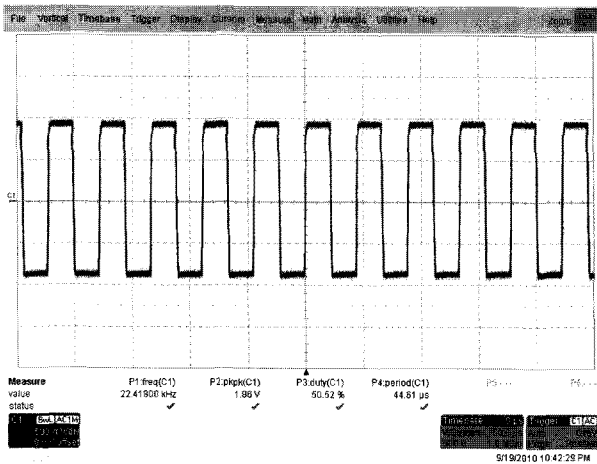
IV. 제작 및 측정 결과

설계된 윈브릿지 발진기는 TSMC 0.18 μ m RF CMOS 공정을 이용하여 그림 11 과 같이 제작되었다. 제작된 칩의 전체 면적은 $540 \times 350 \mu\text{m}^2$ 이다. 그림 12(a) 는 윈브릿지 발진기의 출력파형의 측정결과이다. 측정파형의 크기는 V_{DD} 와 같은 1.8 V이고 발진주파수는 22 kHz이다. 실제 측정결과 발진주파수가 시뮬레이션 결과와 조금 차이가 발생했는데 이는 공정변화에 의해 발진기의 주파수를 결정하는 귀환 RC회로의 RC값이 변하여 주파수가 변한 것이라 생각된다. 그림 12(b) 는 발진기의 전류 소모 측정결과 이다. Agilent 3458A Multimeter를 이용하여 측정하였고 560 nA의 매우 적은 전류를 소비 하는 것을 확인 할 수 있다. 전류 소비는 시뮬레이션 결과와 200 nA 정도 차이가 보였는데 이는 공정변화와 저 전력 설계시 시뮬레이션의 부정확성 때문이라 생각된다. 측정된 칩은 0.6~1.8 V 범위에서 22 kHz 주파수를 유지 하며 동작하는 것을 확인하였다.

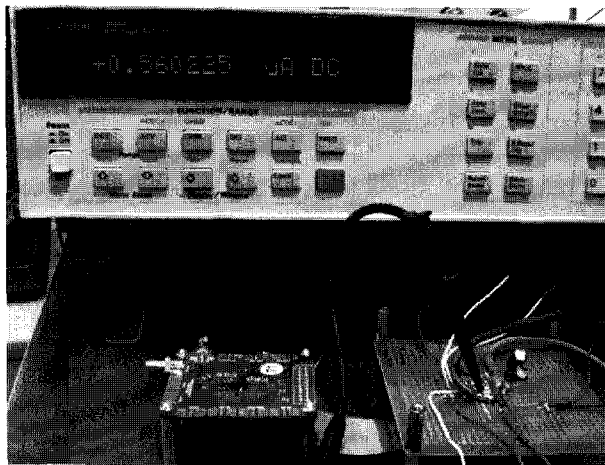
표 1에 제안된 윈브릿지 발진기의 성능을 요약하였



그림 11. 칩 현미경 사진
Fig. 11. Chip micrograph.



(a)



(b)

그림 12. (a) 출력 전압 파형과 (b) 8 1/2 Digit Multimeter를 이용한 전류 측정 결과

Fig. 12. Measured (a) output waveform and (b) average current.

표 1. 제작된 발진기의 성능 요약 및 비교

Table 1. Performance summary and comparison of oscillator

| | This work | [3] JSSC'09 | [4] JSSC'09 |
|------------|---------------|-------------|-------------|
| Technology | 0.18μm CMOS | 65nm CMOS | 65nm CMOS |
| Type | Wien-Bridge | Wien-Bridge | Relaxation |
| Frequency | 22 kHz | 6 MHz | 100 kHz |
| Power | 1 μW (560 nA) | 66 μW | 41.2 μW |

고, 기존에 발표된 RC기반의 발진기와의 결과와 성능을 비교하고 있다.

IV. 결 론

본 논문에서는 0.18 μm CMOS공정을 이용하여 ULP

Radio를 위한 CMOS On-chip Wien-Bridge 발진기를 설계 하였다. 제안된 커패시터 귀환 회로를 사용하여 루프 이득을 조절 할 수 있고, 이에 따라 Wien-Bridge 발진기의 비선형성을 향상 시킬 수 있었다. 제안된 Wien-Bridge 발진기는 1.8 V 전원에서 560 nA의 매우 저 전력을 소비하며, 0.6 ~1.8 V 범위에서 동작한다. 기존에 발표된 논문과 비교하였을 때 동작하는 주파수가 달라 직접적인 비교는 힘들지만 ULP 발진기중에서 최고 수준의 저 전력 소비를 보여준다.

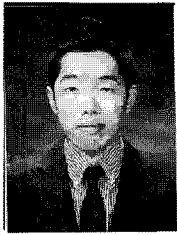
감사의 글

본 연구는 지식경제부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업의 연구 결과로 수행되었음 (NITA-2010-(C1090-1011-0006))

참 고 문 헌

- [1] S. Drago et al., "Impulse-based scheme for crystal-less ULP radios," IEEE Tran. Circuits and Systems-I, pp. 1041-1052, May 2009.
- [2] K. Choe et al., "A precision relaxation oscillator with a self-clocked offset-cancellation scheme for implantable biomedical SoCs," in IEEE ISSCC, Dig. Tec. Papers, pp. 402-403, Feb. 2009.
- [3] V. De Smedt et al., "A 66 μW 86 ppm/°C fully-integrated 6 MHz Wienbridge oscillator with a 172 dB phase noise FOM," IEEE Journal of Solid-State Circuits, vol. 44, no.7, pp.1990-2001, Jul. 2009.
- [4] F. Sebastiano et al, "A low-voltage mobility-based frequency reference for crystalless ULP radios," IEEE Journal of Solid-State Circuits, vol. 44, no.7, Jul. 2009.

저 자 소 개



나 영 호(학생회원)
 2009년 2월 광운대학교
 전파공학과 공학사
 2009년 3월~현재 광운대학교
 전파공학과 석사과정
 <주관심분야 : Ultra-Low-
 Power CMOS Transceiver>



김 증 식(학생회원)
 2005년 2월 광운대학교
 전파공학과 공학사
 2007년 2월 광운대학교
 전파공학과 공학석사
 2007년 3월~현재 광운대학교
 전파공학과 박사과정
 <주관심분야 : Wideband CMOS Transceiver /
 Linearization Method>



김 현(학생회원)
 2004년 2월 중부대학교
 정보통신공학과 공학사
 2006년 8월 광운대학교
 전파공학과 공학석사
 2007년 9월~현재 광운대학교
 전파공학과 박사과정
 <주관심분야 : RF/Analog Integrated Circuits>



신 현 철(평생회원)
 1991년 2월 KAIST 전기 및
 전자공학과 공학사
 1993년 2월 KAIST 전기 및
 전자공학과 공학석사
 1998년 2월 KAIST 전기 및
 전자공학과 공학박사
 1997년 4월~1997년 10월 독일 DaimlerBenz
 Research Center 연구원
 1998년 1월~2000년 3월 삼성전자 System LSI
 선임연구원
 2000년 4월~2002년 4월 미국 UCLA
 박사후 연구원
 2002년 5월~2003년 8월 미국 Qualcomm
 RF/Analog IC Design 선임연구원
 2003년 9월~현재 광운대학교 전파공학과 부교수
 <주관심분야 : RF/Analog/Microwave Integrated
 Circuits and Systems>