

논문 2010-47SD-12-10

T-DMB/DAB/FM 수신기를 위한 광대역 델타시그마 분수분주형 주파수합성기

(A Wideband $\Delta\Sigma$ Frequency Synthesizer for T-DMB/DAB/FM
Applications in 0.13 μm CMOS)

신재욱*, 신현철**

(Jaewook Shin and Hyunchol Shin)

요약

본 논문은 다중대역 송수신기 CMOS RFIC 단일 칩을 위한 광대역 델타시그마 분수분주형 주파수합성기에 관한 것이다. 광대역 VCO의 LC Tank에 6-bit Switched Capacitor Array Bank를 적용하여 2340 ~ 3940 MHz의 출력주파수 범위를 가지도록 하였으며, 위상동기 전 Capacitor Bank Code를 선택하기 위한 VCO Frequency Calibration 회로는 전체 주파수대역에서 2 μs 이하로 보정을 마치는 뛰어난 성능을 보여준다. 광대역 VCO로부터 T-DMB/DAB/FM Radio의 LO 신호를 생성하기 위해 선택 가능한 다중분주비 $\div 2$, $\div 16$, $\div 32$ 를 가지는 LO 신호 발생기는 L-Band (1173 ~ 1973 MHz), VHF-III (147 ~ 246 MHz), VFH-II (74 ~ 123 MHz)에서 I/Q신호를 생성한다. Integrated Phase Noise는 전체 대역에서 0.8 degree RMS이하로 측정되어 매우 낮은 위상잡음을 보여주었다. 또한, VCO Frequency Calibration 시간을 포함하는 주파수합성기의 전체 동기시간은 50 μs 이하로 측정되었다. 이 광대역 델타시그마 분수분주형 주파수합성기는 0.13 μm CMOS 공정으로 제작되었으며, 1.2 V 전원전압에서 15.8 mA의 전류를 소모한다.

Abstract

This paper presents a wideband $\Delta\Sigma$ fractional-N frequency synthesizer for a multi-band single chip CMOS RFIC transceivers. A wideband VCO utilizes a 6-bit switched capacitor array bank for 2340 ~ 3940 MHz frequency range. VCO frequency calibration circuit is designed for optimal capacitor bank code selection before phase locking process. It finishes the calibration process in 2 μs over the whole frequency band. The LO generation block has selectable multiple division ratios of $\div 2$, $\div 16$, and $\div 32$ to generate LO I/Q signals for T-DMB/DAB/FM Radio systems in L-Band (1173 ~ 1973 MHz), VHF-III (147 ~ 246 MHz), VFH-II (74 ~ 123 MHz), respectively. The measured integrated phase noise is quite low as it is lower than 0.8 degree RMS over the whole frequency band. Total locking time of the $\Delta\Sigma$ frequency synthesizer including VCO frequency calibration time is less than 50 μs . The wideband $\Delta\Sigma$ fractional-N frequency synthesizer is fabricated in 0.13 μm CMOS technology, and it consumes 15.8 mA from 1.2 V DC supply.

Keywords: Wideband, multi-band, frequency synthesizer, phase-locked loop, VCO frequency calibration.

I. 서론

* 학생회원, ** 평생회원, 광운대학교 전자공학과
(Department of Wireless Communications
Engineering, Kwangwoon University)

※ 본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음
(NIPA-2010-(C1090-1011-0006)).

접수일자: 2010년9월30일, 수정완료일: 2010년10월29일

광대역, 저 잡음, 고속동기 PLL (Phase Locked Loop) 기반 주파수합성기는 최근의 무선통신 및 방송용 RF 송수신기에 반드시 필요한 구성요소회로이다. 또한 CMOS RF 무선송수신회로의 SoC화가 발전되면서 다중대역을

지원 할 수 있는 주파수합성기의 설계가 필수적인 요소로 부각되고 있다. 이러한 주파수합성기에서는 전체 목표 주파수 영역의 신호를 생성하는 광대역 전압조정발진기(VCO: Voltage Controlled Oscillator)가 필요하다. 이때 VCO는 매우 큰 VCO 이득(K_{VCO})을 가지도록 설계해야 최근의 CMOS RF 무선송수신기가 동작하는 1~2 V의 낮은 동작 전압에서 전체 목표 주파수대역을 지원할 수 있다. 하지만, 큰 K_{VCO} 는 곧 주파수합성기의 위상잡음 및 Spur 성능을 심각하게 악화시킨다. 이러한 문제를 해결하기 위해서, K_{VCO} 가 작은 여러 개의 주파수특성곡선들을 서로 겹치도록 일정한 주파수 간격으로 배치하여 광대역 주파수 신호를 생성하는 것이 일반적이다. 이의 가장 대표적인 방식은 Switched Capacitor Bank Array를 VCO LC Tank에 적용한 것이다^[1]. 이러한 VCO를 적용한 주파수합성기에서는 위상동기화가 이루어지기 전에 여러 개의 근접한 주파수특성곡선들 중에서 목표주파수와 가장 근접한 주파수를 생성하는 주파수특성곡선을 선택하는 회로인 VCO Frequency Calibration 회로가 반드시 필요하다^[2].

하나의 광대역 주파수합성기로 다중대역에서 동작하는 CMOS 수신기 칩을 만들기 위해서는 VCO 신호를 입력 받아 다중대역 LO (Local Oscillator) 신호를 생성하는 회로가 반드시 필요하다^[3]. 최근의 CMOS RF 무선송수신기에서 LO 주파수의 I/Q신호는 보통 CML (Current Mode Logic) 회로 또는 Mixer 회로를 적용한 주파수분주기를 사용하여 발생 시킨다^[4]. 일반적으로 하나의 D Flip-Flop을 사용하면 분주비 2를 가지는 분주기를 구성할 수 있다. 그러므로 여러 개의 D Flip-Flop을 사용하여 분주기를 구성하면 다중분주 주파수분주기를 구성하여 I/Q신호를 다중대역에서 발생시킬 수 있다.

본 논문에서는 T-DMB, DAB 및 FM Radio 용 CMOS RF 수신기에 적용할 수 있는 광대역 $\Delta\Sigma$ Fractional-N 주파수합성기와 다중대역 LO신호 생성기를 0.13 μm CMOS공정으로 제작하고 측정하였다.

II. 회로 설계

그림 1은 본 논문에서 제안하는 광대역 $\Delta\Sigma$ Fractional-N 주파수합성기와 다중대역 LO 신호 발생기가 포함된 구조도이다. 이 주파수합성기와 LO 신호 발생기는 T-DMB와 DAB 대역 및 FM Radio 대역의 LO I/Q 신호를 생성할 수 있다.

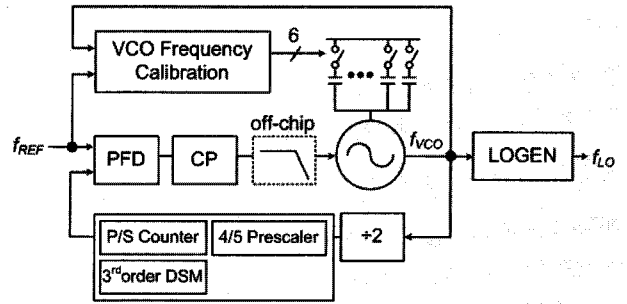


그림 1. 주파수 합성기 구조
Fig. 1. Frequency synthesizer architecture.

VCO는 광대역 동작을 위해서 6-bit Capacitor Array Bank가 있는 LC Tank를 포함한다. VCO의 Capacitor Array Bank를 제어하는 VCO Frequency Calibration 회로는 위상동기화 전에 목표주파수와 가장 근접한 주파수 신호를 생성하는 최근접코드(Optimal Code)를 선택한다. PLL Feedback Loop의 분주기는 20-bit 3차 DSM ($\Delta\Sigma$ Modulator)인 MASH-111을 적용하여 분수분주기를 구성하였다. 그리고 고속 분주기로 동작하는 $\div 2$ 와 4/5 Dual-Modulus Prescaler는 고속분주기에 일반적으로 사용하는 CML구조 대신 TSPC (True Single Phase Clock) 회로를 적용하여 회로의 면적과 전력소모를 줄였다^[5]. Dead Zone을 제거한 Tri-State PFD (Phase Frequency Detector)를 적용하여, PLL의 Locking Range를 넓히고 PFD의 비선형성으로 인한 성능저하를 제거하였다. 또한, 전하펌프(CP: Charge Pump)로는 차동구조 및 Replica-Bias를 이용한 UP/DOWN Current 정합을

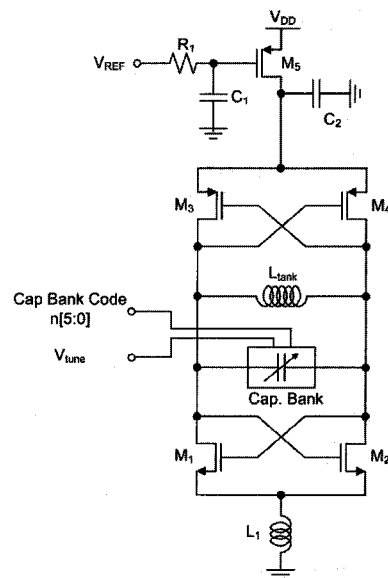


그림 2. 전압조정발진기 회로도
Fig. 2. VCO circuit schematic.

통해 주파수합성기의 위상잡음 및 Spur를 최소화하였다^[6]. 최종적으로, 위상동기 시 VCO는 Off-Chip에 구현된 Loop Filter의 출력으로 제어된다.

그림 2는 광대역 Cross Coupled Complementary MOS LC VCO의 회로도이다^[7]. 설계된 VCO는 2340 ~ 3940 MHz의 출력주파수 범위를 가진다. LC Tank의 L_{tank} 는 하나의 Inductor로 구성되어 있고 그 값은 1.09 nH이다. Cap Bank는 6-bit Binary Weighted Capacitor Array Bank와 Varactor로 구성되어있다. 따라서 VCO 주파수는 Cap Bank를 제어하는 6-bit Control Code n[5:0]와 Loop Filter 출력인 V_{tune} 으로 제어된다. R_1 과 C_1 은 Low Pass Filter를 구성하여 Current Mirror로 유입되는 Flicker Noise를 감소시키는 역할을 한다. $R_1 = 300 \text{ k}\Omega$, $C_1 = 100 \text{ pF}$ 으로 설계되었다. C_2 는 추가적인 잡음제거를 위해 사용하였다. 설계된 광대역 VCO는 전체 출력주파수대역의 저 주파수 대역에서 Cap Bank 기생성분으로 인해 발진조건이 충족되지 않을 수 있다. 따라서 L_1 (2.2 nH)을 삽입하여 발진조건이 전체 주파수 대역에서 유지되도록 하였다.

그림 3은 PLL 위상동기화 전에 VCO Cap Bank Code를 선택하기 위한 VCO Frequency Calibration 회로의 구조도이다. 제안하는 주파수합성기에 적용된 VCO Frequency Calibration 회로는 주파수비교에 산술 계산 방식을 적용하여서 기존 구조들 보다 훨씬 빠르게 동작하며, 매우 정교한 주파수해상도를 가진다. 이 회로는 크게 세 개의 요소회로로 구성된다. 우선, FDC (Frequency-to-digital Converter)는 VCO 출력신호를 카운트하여 현재 VCO의 출력주파수 f_{VCO} 의 디지털 값을 계산한다. 두 번째로 FSM (Finite State Machine)은 FDC에서 출력되는 현재 주파수의 디지털 값과 PLL 분주비 $N \cdot F_{\text{PLL}}$ 로부터 계산된 주파수보정 목표 값과의 차이를 이용하여 목표주파수에 가장 가까운 주파수를 가지는 Cap Bank Code를 Binary Search Algorithm으로 검색한다. Binary

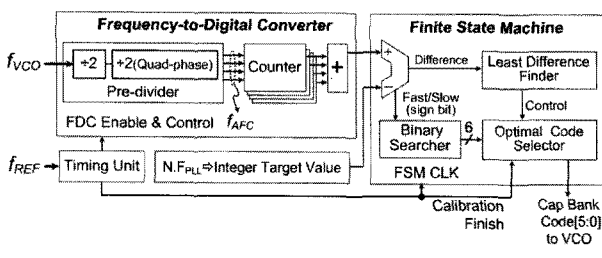


그림 3. VCO frequency calibration 회로의 구조도
Fig. 3. Block diagram for VCO frequency calibration circuit.

Search와 함께 동작하는 Least Difference Finder는 검색된 코드들의 주파수 차이 중에서 가장 작은 값을 저장한다. 또한, Optimal Code Selector는 Least Difference Finder와 연동되어 가장 작은 주파수차이를 가지는 Optimal Cap Bank Code를 저장한다. Binary Search를 마친 후, Optimal Code Selector는 Optimal Code를 Cap Bank Code로 설정한다. 마지막으로 Timing Unit은 FDC 및 FSM의 동작을 제어하고, VCO Frequency Calibration 동작의 시작과 끝을 알려준다.

VCO Frequency Calibration의 설계에 있어서 가장 중요한 설계 이슈는 주파수해상도($f_{\text{resolution}}$)이다. 주파수해상도는 VCO의 근접한 주파수특성곡선 간의 간격(f_{spacing})의 1/2인 $f_{\text{spacing}}/2$ 이하가 되어야 목표주파수에 가장 근접한 Optimal Code를 선택할 수 있다. 또한, 일반적으로 광대역 VCO에서 주파수 간격 f_{spacing} 은 f_{REF} 보다 매우 작게 설계된다. 따라서 VCO Frequency Calibration의 정확한 동작을 위해서는 주파수해상도를 f_{REF} 보다 충분히 작게 하여야 한다.

일반적으로 많이 쓰이는 VCO Frequency Calibration 회로는 펄스카운트 방식인데, 이 방식은 f_{REF} 근처의 주파수에서 PLL 분주기 출력 신호를 카운트하여 상대적인 주파수 비교를 한다. 따라서 주파수해상도는 $N \cdot F_{\text{PLL}} \cdot f_{\text{REF}} / k$ 로 주어진다. 여기서 k 는 분주기 출력 신호를 카운트하는 f_{REF} 신호의 주기 개수이다. 그러므로 f_{REF} 보다 충분히 작은 주파수해상도를 얻기 위해서는 동작 시간이 수십 마이크로 초 정도로 매우 길다^[8~9].

최근에 발표된 가장 빠른 방식의 VCO Frequency Calibration 회로는 TVC (Time-to-Voltage Converter)를 적용하여 주파수비교성능을 높이고 동작 시간을 수백 nsec로 줄였다. 하지만, 이 방식은 Integer-N 방식에서만

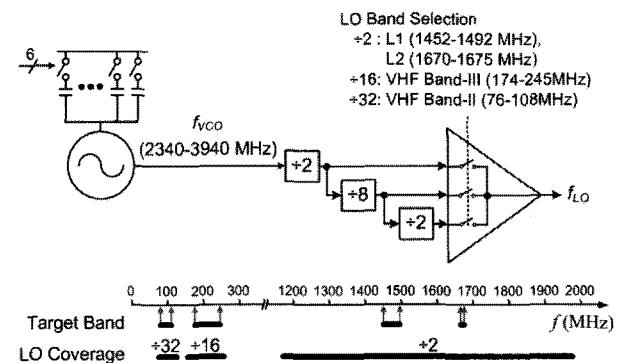


그림 4. LO I/Q 신호 발생기 구조
Fig. 4. LO I/Q signal generator structure.

제작된 VCO의 위상잡음을 전체대역에서 측정하여 만족할만한 성능을 확인하였다. 그림 6은 VCO 위상잡음 측정결과이다. 그림 6 (a)는 3941 MHz에서의 측정결과인데, 100 kHz와 1 MHz의 오프셋주파수에서 각각 -96.5와 -120.9 dBc/Hz를 측정하였다. 그림 6 (b)는 Cap Bank의 최상위, 최하위 Code에서 V_{tune} 을 0 V 에서 1.2 V 까지 바꾸어 가면서 100 kHz와 1 MHz 오프셋주파수에서 측정된 위상잡음을 보여준다. 일반적으로 주파수가 낮아질수록 위상잡음은 더 좋아지는데, 측정결과에서 보이는 것처럼 주파수가 낮은 최하위 Code에서 더 좋은 위상잡음 성능을 보여준다.

그림 7은 PLL 주파수합성기의 스펙트럼 측정결과를 보여준다. 1492 MHz에서 측정되었으며, Reference Spur와 Fractional Spur는 각각 -63 dBc와 -69 dBc로 측정되었다. 또한, Reference Spur는 19.2 MHz 오프셋주파수에서 측정되었다. 그림 8은 PLL의 위상잡음 측정결과를 보여준다. 그림 8 (a), (b)는 각각 L Band의 1939 MHz와 1492 MHz에서 측정되었으며, (c)와 (d)는 VHF Band-III 254 MHz와 Band-II 108 MHz에서 측정되었다. PLL 위상잡음은 전체 주파수대역에서 1 kHz 오프셋주파수에서 -80 dBc/Hz 이하, 1 MHz 오프셋주파수에서 -120 dBc/Hz이하의 성능이 측정되었다. 또한, Integrated Phase Noise는 전체 대역에서 0.8 degree RMS이하의 성능을 확인하였다.

그림 9는 VCO Frequency Calibration 회로의 보정시간 측정결과이다. Agilent사의 E5052B Signal Source Analyzer로 측정하였다. 그림 9의 x 축은 시간을 나타내며, y 축은 주파수를 나타낸다. 보정시작 전에는 Cap Bank Code 32번을 선택하고 V_{tune} 은 $V_{DD}/2$ 에 고정한다.

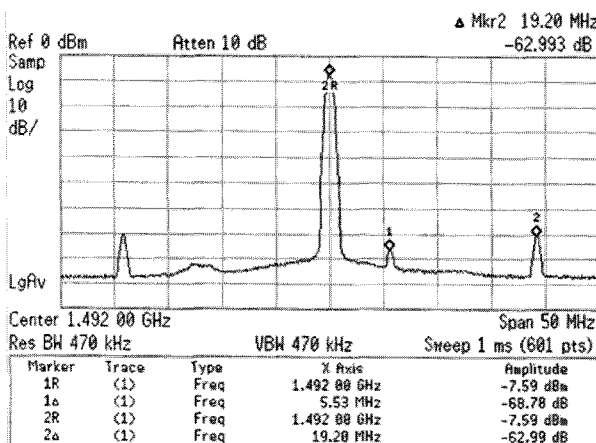
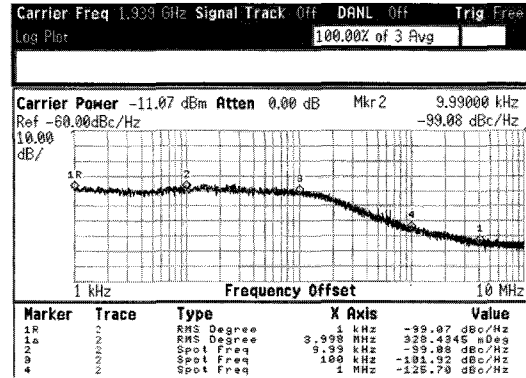
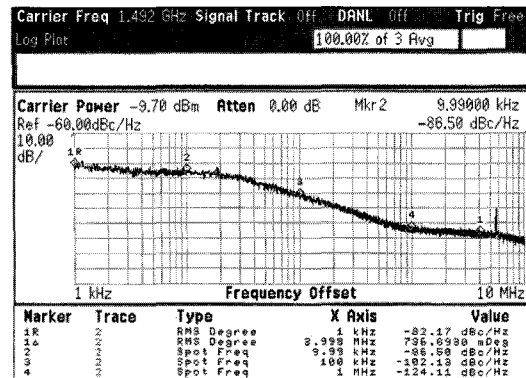


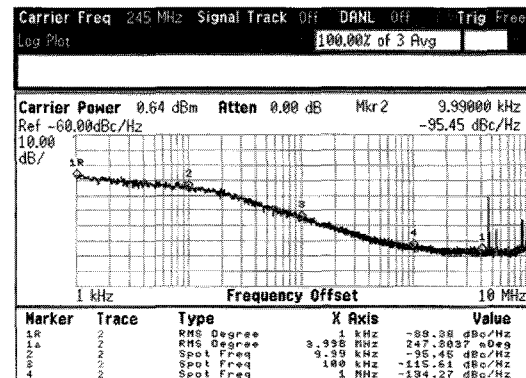
그림 7. PLL 출력 스펙트럼 측정결과
Fig. 7. PLL output spectrum measurement.



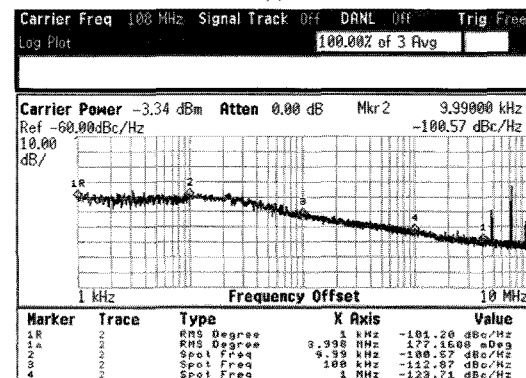
(a)



(b)



(c)



(d)

그림 8. PLL 위상잡음 측정결과. (a) 1939 MHz, (b) 1492 MHz, (c) 245 MHz, (d) 108 MHz
Fig. 8. PLL Phase noise measurement results. (a) 1939 MHz, (b) 1492 MHz, (c) 245 MHz, and (d) 108 MHz.

보정이 시작되면 32번 Code에서 첫 번째 검색을 마친 후 두 번째 Code를 선택하여 주파수가 전이된다. 따라서 그림 9에서는 첫 번째 주파수전이 전에 VCO Frequency Calibration이 시작된 것으로 전체동작시간을 봐야한다. 설계된 VCO Frequency Calibration 회로의 전체 보정시간은 제어시간을 포함하여 $\{6(k+2)+3\}T_{REF}$ 이다. 그림 9에서는 목표주파수를 $f_{VCO} = 2725$ MHz 로 하였을 때, 근접 주파수특성곡선들의 간격 $f_{spacing}$ 을 고려하여 $k = 2$ 로 설정하고 ($f_{resolution} = f_{REF}/2$) 보정시간을 측정할 것이다. 이때에 전체 VCO Frequency Calibration 시간은 $1.41 \mu s$ 가 소요되었다.

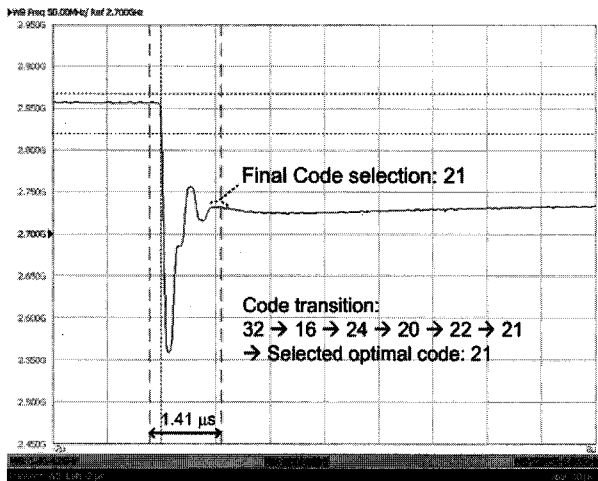


그림 9. (a) Line Regulation과 (b) Load Regulation 측정 결과

Fig. 9. Measured (a) line regulation and (b) load regulation.

표 1. 광대역 주파수합성기의 성능요약
Table 1. Performance summary for the proposed wideband frequency synthesizer.

Technology	0.13 μm CMOS
VCO frequency range	2340 – 3940 MHz
PLL frequency range	74 – 123 MHz (VHF-II) 147 – 246 MHz (VHF-III) 1173 – 1973 MHz (L-band)
In-band phase noise at 10kHz offset	-100.5 dBc/Hz (VHF-II) -95.4 dBc/Hz (VHF-III) -86.5 dBc/Hz (L-band)
Phase noise (L-band)	-102.1 dBc/Hz @ 100 kHz offset -124.1 dBc/Hz @ 1.0 MHz offset
Integrated phase noise (1kHz~4MHz)	0.177 degree (VHF-II) 0.247 degree (VHF-III) 0.736 degree (L-band)
Reference spur (L-band)	< -63.0 dBc
Fractional spur (L-band)	< -68.8 dBc
Lock time	< 50 μsec with about 2 μsec VCO calibration
Supply voltage	1.2 V
Current consumption	15.8 mA

표 2. 광대역 주파수합성기의 성능 비교표
Table 2. PLL Performance Comparison Table.

	This Work	[9]	[12]	[13]
PLL frequency band (MHz)	74 – 123 147 – 246 1173 – 1973	90 – 770	174 – 240 470 – 890 1450 – 1700	46 – 860
VCO frequency band (MHz)	2340 – 3940	1500 – 2480 2200 – 3780	1200 – 1800	1100 – 1500 1500 – 1900 1900 – 2200
LO I/Q signal generation method	$\div 2, \div 16, \div 32$	$\div 4, \div 14, \div 28$	Polyphase filter, $\div 2, \div 3, \div 6, \div 8$	$\div 2, \div 4, \div 8, \div 16, \div 32$
Phase noise @100 kHz	-102.1 dBc/Hz	-100 dBc/Hz	-95 dBc/Hz	-90 dBc/Hz
IPNF (1kHz~4MHz)	< 0.8° rms	N.A.	< 1.1° rms	< 0.8° rms
VCO cal. time	< 2 μs	< 50 μs	N.A.	N.A.
Total Lock time	< 50 μs	< 90 μs	120 μs	N.A.
Supply voltage	1.2 V	1.2 V	1.2 V	1.8 V
Current consumption	15.8 mA	16.9 mA	N.A.	N.A.
Technology	0.13 μm CMOS	0.11 μm CMOS	65 nm CMOS	0.18 μm CMOS

*IPN in this measurement is integrated phase noise over 1 kHz ~ 4 MHz frequency range.

표 1은 본 논문의 주파수합성기의 성능을 요약한 것이다. T-DMB, DAB 그리고 FM Radio 대역에서 만족할 만한 성능을 보여주는 것을 확인 할 수 있다. 또한 전체 주파수 대역에서 VCO Frequency Calibration 동작시간은 $2 \mu s$ 이하로 측정이 되었고, 이를 포함하는 주파수합성기의 전체 동기시간은 $50 \mu s$ 이하로 측정되었다.

표 2는 Digital TV 및 Mobile Broadcasting 용 주파수합성기와의 성능비교표이다. 본 논문의 주파수합성기는 다른 논문들과 비교할 때 하나의 VCO만을 사용하였고, 3개의 선택 가능한 LO 분주비로 원하는 LO 주파수 대역을 모두 지원 할 수 있는 장점이 있으며, 전체 대역에서 0.8 degree RMS의 매우 낮은 Integrated Phase Noise 성능과 가장 짧은 PLL 전체동기시간(Total Lock Time)을 보여주고 있다.

IV. 결 론

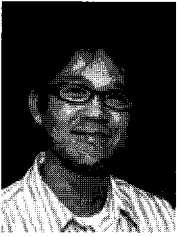
본 논문에서는 0.13 μm CMOS공정을 이용하여 T-DMB/DAB/FM Radio 통합 수신기에 적용할 수 있는 광대역 $\Delta\Sigma$ Fractional-N Frequency Synthesizer를 설계하였다. 설계된 광대역 VCO는 Binary Weighted Capacitor Bank를 적용하여 2340~3940 MHz의 출력주파수 대역을 가진다. PLL 위상동기화전 Cap Bank Code를 선택하기 위한 VCO Frequency Calibration회로는 전체 주파수대역에서 $2 \mu s$ 이하로 보정을 마치는 뛰어난 성능을 보여준다. 또한, 선택이 가능한 $\div 2, \div 16, \div 32$ 의 다중 분주비를 가지는 LO 신호 발생기를 이용하여 각각 L-Band (1173~1973 MHz), VHF-III (147~246 MHz), VHF-II (74~123 MHz)에서 I/Q신호를 생성하여 다중대

역을 위한 주파수합성기를 설계하고 만족할 만한 성능을 얻었다. 전체 대역에서 Integrated Phase Noise는 0.8 degree RMS이하로 측정되어 위상잡음 성능 또한 만족할 만한 성능을 보여주었다. 이 광대역 다중대역 주파수 합성기는 1.2 V 전원전압에서 15.8 mA의 전류를 소모하며, 주파수합성기의 전체 동기시간은 50 μ s 이하로 측정되었다.

참 고 문 헌

- [1] A. Kral, F. Behbahani, A. A. Abidi, "RF-CMOS Oscillators with Switched Tuning," in Proc. IEEE Custom Integr. Cir. Conf., May 1998, pp. 555-558
- [2] W. B. Wilson, U. -K. Moon, K. R. Lakshmikumar, and L. Dai, "A CMOS Self-Calibrating Frequency Synthesizer," IEEE J. Solid-State Circuits, vol. 35, no. 10, pp. 1437-1444, Oct. 2000.
- [3] Behzad Razavi, "Challenges in the Design of Cognitive Radios," in Proc. IEEE Custom Integrated Circuits Conference, San Jose, CA., Sep. 2009, pp. 391-398.
- [4] Seungsoo Kim and Hyunchol Shin, "A 0.6-2.7GHz Semidynamic Frequency Divide-by-3 Utilizing Wideband RC Polyphase Filter in 0.18 μ m CMOS," IEEE Microwave and Wireless Components Letters, vol. 18, no. 10, pp. 701~703, Oct. 2008.
- [5] Jaewook Shin, Jongsik Kim, Seungsoo Kim, and Hyunchol Shin, "A Delta-Sigma Fractional-N Frequency Synthesizer for Quad-Band Multi-Standard Mobile Broadcasting Tuners in 0.18 μ m CMOS," Journal of Semiconductor Technology and Science, vol. 7, no. 4, pp. 267~273, Dec. 2007.
- [6] Jae-Shin Lee, Min-Sun Keel, Shin-Il Lim, and Suki Kim, "Charge pump with perfect current matching characteristics in phase-locked loops," Electronics Letters, vol. 36, no. 23, pp. 1907~1908, Nov. 2000.
- [7] Jongsik Kim, Jaewook Shin, Seungsoo Kim, and Hyunchol Shin, "A Wideband CMOS LC VCO with Linearized Coarse Tuning Characteristics," IEEE Transactions on Circuits and Systems-II, vol. 55, no. 5, pp. 399~403, May 2008.
- [8] H. -I. Lee, J. -K. Cho, K. -S. Lee, I. -C. Hwang, T. -W. Ahn, K. -S. Nah, and B. -H. Park, "A SD Fractional-N Frequency Synthesizer Using a Wide-Band Integrated VCO and a Fast AFC Technique for GSM/GPRS/WCDMA Applications," IEEE J. Solid-State Circuits, vol. 39, no. 7, pp. 1164-1169, July 2004.
- [9] M., Marutani, H. Anbutsu, M. Kondo, N. Shirai, H. Yamazaki, and Y. Watanabe, "An 18mW 90 to 770MHz Synthesizer with Agile Auto-Tuning for Digital TV Tuners," in IEEE Int. Solid-State Cir. Conf. Dig. Tech. Papers, pp. 192-193, Feb. 2006.
- [10] T. -H. Lin, and Y. -J. Lai, "An Agile VCO Frequency Calibration Technique for a 10-GHz CMOS PLL," IEEE J. Solid-State Circuits, vol. 42, no. 2, pp. 340-349, Feb. 2007.
- [11] J. Lee, K. Kim, J. Lee, T. Jang, and S. Cho, "A 480-MHz to 1-GHz Sub-picosecond Clock Generator with a Fast and Accurate Automatic Frequency Calibration in 0.13- μ m CMOS," in Proc. IEEE Asian Solid-State Cir. Conf., Nov. 2007, pp. 67-70
- [12] I. Vassiliou, Kostis Vavelidis, Nikos Haralabidis, Aris Kyranas, Yiannis Kokolakis, Stamatis Bouras, George Kamoulakos, Charalambos Kapnistis, Spyros Kavadias, Nikos Kanakaris, Emmanouil Metaxakis, Christos Kokozidis, and Hamed Peyravi, "A 65 nm CMOS Multistandard, Multiband TV Tuner for Mobile and Multimedia Applications," IEEE Journal of Solid-State Circuits, vol. 43, no. 7, pp. 1522-1533, Jul. 2008.
- [13] Supisa Lerstaveesin, Manoj Gupta, David Kang, and Bang-Sup Song, "A 48-860 MHz CMOS Low-IF Direct-Conversion DTV Tuner," IEEE Journal of Solid-State Circuits, vol. 43, no. 9, pp. 2013-2024, Sep. 2008.

— 저 자 소 개 —



신 재 욱(학생회원)
 2005년 2월 광운대학교
 전자파공학과 공학사
 2007년 2월 광운대학교
 전자공학과 공학석사
 2007년~광운대학교 전자공학과
 박사과정.

<주관심분야 : RF PLL Frequency Synthesizer
 /High Speed Interface>



신 현 철(평생회원)
 1991년 2월 KAIST 전기 및
 전자공학과 공학사
 1993년 2월 KAIST 전기 및
 전자공학과 공학석사
 1998년 2월 KAIST 전기 및
 전자공학과 공학박사

1997년 4월~1997년 10월 독일 DaimlerBenz
 Research Center 연구원

1998년 1월~2000년 3월 삼성전자 System LSI
 선임연구원

2000년 4월~2002년 4월 미국 UCLA
 박사후 연구원

2002년 5월~2003년 8월 미국 Qualcomm
 RF/Analog IC Design 선임연구원

2003년 9월~현재 광운대학교 전자공학과 부교수
 <주관심분야: RF/Analog/Microwave Integrated
 Circuits and Systems>