

고효율 공진형 비대칭 하프브리지 플라이백컨버터

(High Efficiency Resonant Asymmetrical Half-Bridge Flyback Converter)

정강률* · 유두희

(Gang-Youl Jeong · Doo-Hee Yoo)

요 약

본 논문에서는 고효율 공진형 비대칭 하프브리지 플라이백컨버터가 제안된다. 컨버터의 1차측 하프브리지 회로는 공진커패시턴스와 변압기 누설인덕턴스를 이용하여 비대칭 펄스폭변조(PWM; Pulse-Width Modulation) 방식에 의한 소프트스위칭 형태로 동작한다. 그리고 컨버터 2차측의 플라이백 회로는 간단한 구동회로에 의해 새로운 전압구동방식으로 동작하는 동기정류기를 이용한다. 제안된 컨버터는 이렇게 하여 컨버터의 전체효율을 향상시킨다. 또한 본 논문에서는 제안된 컨버터의 동작원리를 모드별로 설명하고 컨버터 설계 시의 고려사항과 프로토타입 컨버터의 설계 예를 각각 제시한다. 그리고 본 논문에서 제안하는 전압구동방식으로 동작하는 동기정류기의 간단한 구동기법에 관하여 간략하게 설명한다. 설계된 프로토타입 컨버터는 광범위 입력전압(교류 $V_{in,rms}=75\sim 265[V]$)이 가능하며 5[V]의 직류 출력전압과 100[W]의 출력전력을 가진다. 제안된 컨버터의 우수한 성능을 입증하기 위하여 설계된 파라미터로써 프로토타입 컨버터를 제작하여 실험하였으며, 이를 통하여 제안된 컨버터의 우수한 성능을 보인다.

Abstract

This paper presents a high efficiency resonant asymmetrical half-bridge flyback converter. The primary half-bridge circuit of the converter operates by a soft-switching type using the asymmetrical pulse-width modulation (PWM) method with the resonant capacitance and transformer leakage inductance. The secondary flyback circuit of the proposed converter utilizes a synchronous rectifier, which operates by a new voltage-driven method with a simple drive circuit. Thus the proposed converter improves the total efficiency. This paper explains the operational principle of the proposed converter by each mode and shows the converter design consideration and a design example for the prototype converter, respectively. After that, the proposed simple driving technique of the synchronous rectifier by a voltage-driven method is explained, briefly. The designed prototype converter has wide input voltage (AC $V_{in,rms}=75\sim 265[V]$), 5[V] DC output voltage, and 100[W] output power. To verify the excellent performance of the proposed converter, the designed prototype is implemented and experimented. The good performance of the proposed converter is shown through the experimental results.

Key Words : Resonance, Asymmetrical PWM, Half-Bridge Flyback Converter, Synchronous Rectifier

* 주저자 : 순천향대학교 전자정보공학과 부교수

Tel : 041-530-1337, Fax : 041-530-1548, E-mail : gangyoul@sch.ac.kr

접수일자 : 2009년 12월 4일, 1차심사 : 2009년 12월 14일, 심사완료 : 2010년 1월 11일

1. 서 론

전력변환회로에서의 소프트스위칭 기법은 고주파스 위칭과 고효율을 동시에 달성하기 위하여 제안된 스위칭 기법이다. 이 스위칭 기법은 스위칭 순간에 스위치 양단전압과 스위치 전류가 동시에, 혹은 그 중 하나 만이라도 영(0)이 될 때 스위치를 턴온/턴오프 함으로써 스위칭 전력손실을 감소시켜 그 목적을 달성한다.

공진형 하프브리지 컨버터는 간단한 회로구조와 높은 유연성 때문에 소프트스위칭 기법을 이용하는 여러 토폴로지 중에서 특별히 많이 연구되는 토폴로지 중 하나이다. 이 컨버터에서는 두 개의 전력반도체 스위치로 1차측 하프브릿지가 구성된다. 여기에서 스위치의 기생커패시턴스와 변압기의 누설인덕턴스 간의 공진현상은 별도의 부가적인 부품이 없이도 스위치의 영전압스위칭(ZVS; Zero Voltage Switching)을 가능하게 하므로, 컨버터의 부품수가 감소되고 컨버터 제작비용이 저감된다. 따라서 이러한 장점 때문에 지금까지 하프브리지 토폴로지에 근거한 여러 형태의 소프트스위칭 컨버터들이 많이 개발되어 왔다[1]. 그 중의 대표적인 것에 비대칭 하프브리지 포워드컨버터와 비대칭 하프브리지 플라이백컨버터가 있다. 컨버터의 주변압기가 중간탭 변압기이면 컨버터는 포워드컨버터로 기능하고[2-3], 상보적(complementary) 극성의 변압기이면 플라이백컨버터로 기능하게 된다[4-6].

공진현상을 이용하는 비대칭 하프브리지 컨버터는 피크 공진전압과 피크 공진전류가 각각 입력전압과 출력전류 이상을 각각 넘지 않으므로, 각 스위치의 스트레스 수준이 매우 낮은 장점이 있다. 이러한 공진은 단지 두 스위치간의 과도기간 동안만 발생하며 두 스위치의 도통 손실을 낮게 유지하는 역할을 한다. 그리고 공진형 비대칭 하프브리지 컨버터의 또하나의 장점은 고정 주파수의 펄스폭변조(PWM; Pulse-Width Modulation) 제어 기법이 간단하게 구현되는 것이다.

공진형 비대칭 하프브리지 플라이백컨버터에서 두 개의 하프브리지 스위치들은 비대칭 방식으로 동작한다. 여기에서 비대칭 방식이란 두 개의 스위치의 듀티비가 D 와 $\bar{D}(=1-D)$ 로 각각 상보적으로 턴온/턴오프하는 것을 의미한다. 이 때 두 개의 하프브리지 스위

치들의 과도기간에는 두 스위치들의 암단락(arm short)을 피하기 위해 작은 데드타임이 삽입된다. 데드타임 기간 동안 부분 공진현상이 일어나게 되는데, 이것은 각 스위치를 영전압에서 턴온/턴오프하게 하는 역할을 한다. 또한 출력측 정류기는 영전류에서 턴온/턴오프 된다. 그러므로 비대칭 하프브리지 플라이백컨버터에서는 영전압스위칭과 영전류스위칭(ZCS; Zero Current Switching)이 동시에 달성된다. 이 결과로써 스위칭 전력손실은 최소화 되며, dv/dt 와 di/dt 의 크기가 빠른 스위칭 과도기간에도 제한된다.

이전의 연구결과에서는, 공진형 비대칭 하프브리지 플라이백컨버터의 정상상태 해석이 이루어졌고, 전압 전달비가 구해졌으며, ZVS의 구현과정이 설명되었다 [4-6]. ZVS가 구현되는 공진기간 동안 변압기 누설인덕턴스에 저장된 에너지는 각 스위치의 양단 전압이 영(0)이 되도록 방전시킬 수 있을 만큼 충분해야만 한다. 그리하여 스위치의 양단 전압이 영(0)이 될 때 스위치가 적절하게 턴온 되도록 한다. 그러나 그렇지 않으면 공진 과정은 계속되면서 다시 스위치 양단 전압을 영(0) 보다 크게 하는데, 이렇게 되면 스위치의 ZVS가 불가능하게 된다. 이 때 ZVS 구현에 영향을 미치는 파라미터들은 변압기 누설인덕턴스, 스위치의 기생커패시턴스, 하프브리지 스위치의 게이트 신호 간의 인터록(interlock) 지연시간, 부하전류 등이다. 그러므로 출력전류의 변화에도 불구하고 스위치의 안정적인 ZVS를 유지하려면, 변압기 누설인덕턴스와 하프브리지 스위치의 인터록 지연시간의 설계가 정확해야 한다.

최근 산업계의 전기전자장비가 점차로 고성능화, 고용량화 되면서, 컨버터 2차측 정류기의 도통손실 문제가 컨버터의 전체효율 측면에서 중요한 문제로 대두되었다. 컨버터 2차측 정류기로 기존의 전통적 다이오드정류기를 사용하게 되면 다이오드의 큰 도통저항($R_{DS(on)}$)으로 인해 정류기에서의 도통손실이 상대적으로 커지므로 컨버터 전체효율을 악화시키게 된다. 그러므로 다이오드정류기의 이러한 손실문제를 해결하기 위하여 최근의 컨버터 응용에서는 동기정류기를 많이 이용한다. 동기정류기는 컨버터 2차측 정류기로써 다이오드 대신에 도통손실이 적은 전력반도체스위

치 MOSFET을 이용하는 정류기이다. 일반적으로 이러한 동기정류기의 구동방식에는 전압구동방식, 전류구동방식 또는 전용 드라이브 IC에 의한 구동방식 등이 있다[7-10]. 그러나 이러한 기존의 구동방식은 그 회로구조가 복잡하여 설계가 어렵거나 제작비용이 많이 드는 등의 단점이 있다.

본 논문에서는 고효율 공진형 비대칭 하프브리지 플라이백컨버터가 제안된다. 제안된 컨버터의 1차측 하프브리지 회로는 비대칭 PWM 방식으로 동작하며 공진커패시터 및 변압기 누설인덕턴스와 더불어 소프트 스위칭 형태로 동작하여 컨버터 전체효율을 향상시킨다. 또한 컨버터 2차측 정류기로는 전압구동방식에 의한 간단한 구동회로에 의해 동작하는 플라이백 동기정류기를 이용한다. 이러한 동기정류기는 제작비용이 적게 들면서도 전력반도체스위치 MOSFET의 낮은 도통저항을 이용하여 정류기 도통손실을 저감함으로써 컨버터의 전체효율을 더욱 향상시킨다. 본 논문에서는 제안된 컨버터의 모드별 동작원리가 설명되고 컨버터 설계를 위한 설계 시의 고려사항과 이를 바탕으로 한 설계 예가 각각 제시된다. 그리고 새로운 형태의 간단한 전압구동방식으로 동작하는 동기정류기의 구동회로에 관하여 간략하게 설명한다. 설계된 프로토타입 컨버터는 광범위 입력전압(교류 $V_{in,rms}=75\sim 265[V]$)이 가능하며 5[V]의 직류 출력전압과 100[W]의 출력전력을 가진다. 제안된 컨버터의 우수한 성능을 입증하기 위하여, 설계된 파라미터로써 프로토타입 컨버터를 제작하여 실험하였으며, 이를 통하여 제안된 컨버터의 우수한 성능을 확인한다.

2. 고효율 공진형 비대칭 하프브리지 플라이백컨버터의 동작원리

그림 1은 본 논문에서 제안된 고효율 공진형 비대칭 하프브리지 플라이백컨버터의 회로도이다. 이 컨버터는 변압기 1차측의 하프브리지 회로와 변압기 2차측의 동기정류기 플라이백 회로로 구성된다. 변압기는 자화인덕턴스 L_m 과 누설인덕턴스 L_r , 그리고 권선비 $n(N_2/N_1)$ 을 가진 이상적 변압기로 모델링된다. 전력반도체스위치 MOSFET Q_1 과 Q_2 는 비대칭 PWM 방

식으로 동작되고 듀티비 D 는 스위치 Q_1 의 동작에 근거한다. 블로킹 커패시터 C_b 는 해석을 용이하게 하기 위하여 커패시터 전압 V_b 의 리플 성분을 무시할 수 있을 정도로 매우 크다고 가정한다. 그러면 블로킹 커패시터 C_b 의 평균전압은 DV_{in} 이 된다. 그림 2와 3은 각각 정상상태에서 하나의 스위칭 주기 동안에 제안된 컨버터의 일곱 개의 동작 모드를 보이고 그 이론적인 주요 파형을 보인다. 모드 1 전에, 1차측 전류 i_p 는 음(-)의 방향으로 흐르고, 변압기 2차측 전류 i_o 는 영(0)이라고 가정한다.

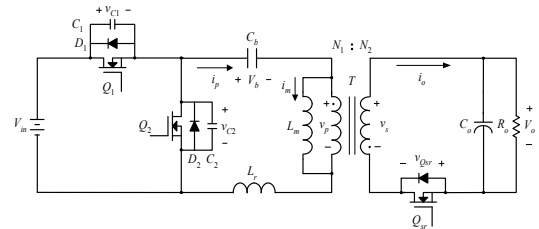


그림 1. 제안된 고효율 공진형 비대칭 하프브리지 플라이백컨버터

Fig. 1. The proposed high efficiency resonant asymmetrical half-bridge flyback converter

모드 1($t_0\sim t_1$): 시간 $t=t_0$ 에서 스위치 Q_2 가 턴오프 되면, 1차측 전류 i_p 가 스위치 Q_1 의 기생커패시턴스 C_1 을 방전시키고 스위치 Q_2 의 기생커패시턴스 C_2 를 충전시킨다. 이 모드는 데드타임(dead time) 기간으로, 하프브리지 스위치들 Q_1 과 Q_2 가 암단락(arm short)을 피하기 위해 동시에 턴오프 되는 기간이다. 스위치들의 기생커패시턴스 C_1 과 C_2 는 매우 작기 때문에 이 모드의 시간은 매우 짧아 무시 가능하다. 1차측 전류 i_p 와 자화인덕턴스 L_m 에 흐르는 자화전류 i_m 은 이 모드 동안 일정한 값을 가진다.

모드 2($t_1\sim t_2$): 시간 $t=t_1$ 에서 스위치 Q_1 의 전압 v_{c1} 이 영(0)이 되면, 스위치 Q_1 의 바디다이오드 D1이 턴온 되어 1차측 전류 i_p 를 흘린다. 1차측 전류 i_p 가 도통 방향을 바꾸기 전에 턴온 신호 $v_{Q1,gs}$ 가 스위치 Q_1 의 게이트에 인가되어 스위치 Q_1 은 ZVS로 턴온 된다. 블로킹 커패시터 C_b 가 1차측 인덕턴스(L_m+L_r)와 공진함에도 불구하고 공진 주기가 스위칭 주기에 비해 훨씬 크므로, 1차측 전류 i_p 는 다음과 같이 선형적으로 증가

고효율 공진형 비대칭 하프브리지 플라이백컨버터

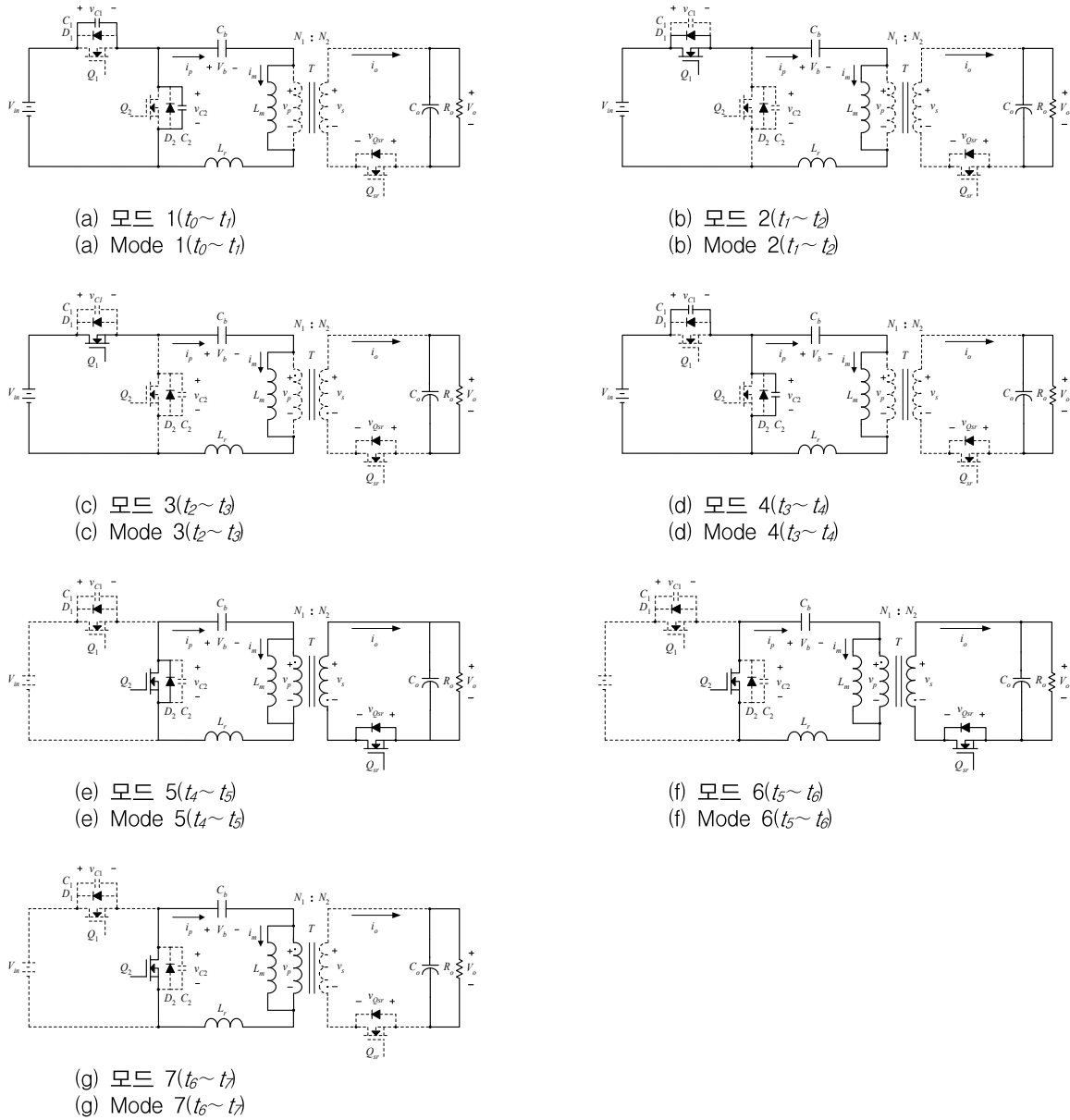


그림 2. 제안된 컨버터의 7개 동작모드
Fig. 2. The seven operation modes of the proposed converter

한다.

$$i_p = i_m(t_1) + \frac{V_{in} - V_b}{L_m + L_r}(t - t_1) \quad (1)$$

모드 3($t_2 \sim t_3$) : 스위치 Q_1 은 모드 2에서 이미 턴온 되어 있고, 스위치 Q_2 는 여전히 턴오프 되어 있는 상

태이다. 1차측 전류 i_p 는 시간 $t=t_2$ 에서 양(+)의 방향으로 흐르기 시작하면서, 모드 2에서처럼 입력전압 V_{in} 과 블로킹 커패시터 전압 V_b 의 전압차이에 의해서 선형적으로 증가한다. 이 모드에서 전기에너지는 자화 인덕턴스 L_m 에 저장된다.

모드 4($t_3 \sim t_4$) : 시간 $t=t_3$ 일 때 스위치 Q_1 이 턴오프

된다. 이 모드는 하프브리지 스위치들이 동시에 턴오프 되는 데드타임 기간이다. 1차측 전류 i_p 는 스위치 Q_1 의 기생커패시턴스 C_1 을 충전시키고 스위치 Q_2 의 기생커패시턴스 C_2 를 방전시킨다. 1차측 에너지는 2차측으로 전달되지 않고, 동기정류기 Q_{sr} 은 여전히 턴오프 상태이다. 모드 1과 유사하게 1차측 전류 i_p 와 자화전류 i_m 은 일정하다.

모드 5($t_4 \sim t_5$) : 스위치 Q_2 의 전압 v_{c2} 가 영전압이 되면 스위치 Q_2 의 바디다이오드 D_2 가 턴온 되어 1차측 전류 i_p 를 흘린다. 1차측 전류 i_p 의 방향이 바뀌기 전에 턴온 신호 $v_{Q2,gs}$ 가 스위치 Q_2 의 게이트에 인가되어 스위치 Q_2 는 ZVS로 턴온 된다. 자화인덕턴스 L_m 의 양단전압 v_p 는 변압기 1차측으로 반영된 출력전압에 의해 클램프 된다. 블로킹 커패시터 C_b 와 누설인덕턴스 L_r 이 공진을 일으키며 자화인덕턴스 L_m 에 저장된 에너지는 변압기 2차측으로 전달된다. 이 모드에서는 동기정류기 Q_{sr} 의 바디다이오드가 ZVS로 턴온되고 1차측 전류 i_p 와 자화전류 i_m 의 차가 권선비의 역수로 2차측으로 유도되어 변압기 2차측 전류 i_o 가 흐른다. 이 때 자화전류 i_m 과 1차측 전류 i_p 는 각각 다음과 같이 주어진다.

$$i_m(t) = i_p(t_4) - \frac{V_o}{nL_m}(t-t_4) \quad (2)$$

$$i_p(t) = i_p(t_4)\cos\omega_r(t-t_4) + \frac{V_o/n - DV_{in}}{Z_r}\sin\omega_r(t-t_4) \quad (3)$$

여기서, $\omega_r = 1/\sqrt{L_r C_b}$ 은 공진각주파수이고, $Z_r = \sqrt{L_r/C_b}$ 은 공진임피던스이다.

모드 6($t_5 \sim t_6$) : 스위치 Q_2 가 ZVS로 턴온 된다. 모드 5와 같이 블로킹 커패시터 C_b 와 누설인덕턴스 L_r 을 통해 1차측 전류 i_p 는 공진이 이루어지며, 자화전류 i_m 은 이 구간에서 방향이 바뀌어 흐른다. 동기정류기 Q_{sr} 은 아직 턴온 상태로 있고 변압기 2차측 전류 i_o 가 영(0)이 되면 이 모드는 종료된다.

모드 7($t_6 \sim t_7$) : 변압기 2차측 전류 i_o 가 영(0)이 되고 1차측 전류 i_p 와 자화전류 i_m 은 같은 값을 가진다.

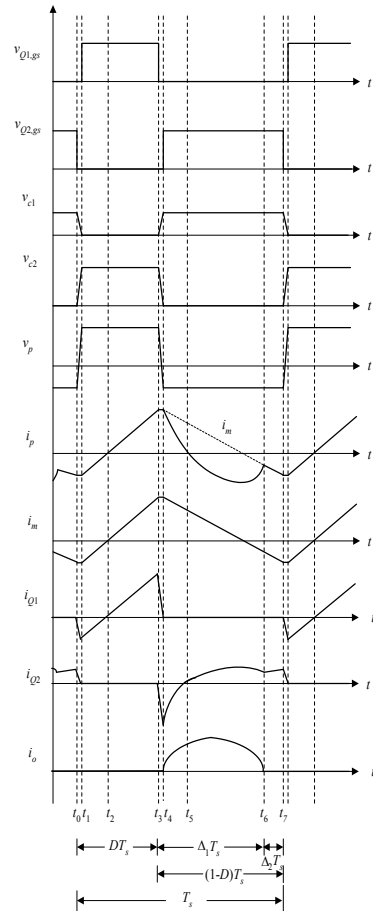


그림 3. 제안된 컨버터의 이론적 파형
Fig. 3. The theoretical key waveforms of the proposed converter

이 모드 끝에는 동기정류기 Q_{sr} 이 ZCS로 턴오프 된다. 제안된 컨버터는 이러한 ZCS 동작을 이용하여 동기정류기 스위치의 역회복 문제를 해결함으로써 컨버터의 전체 효율을 개선한다. 스위치 Q_2 가 턴오프 되면 한 주기의 동작모드는 종료되며, 이후 다시 다음 스위칭 주기의 동작모드가 시작된다.

3. 고효율 공진형 비대칭 하프브리지 플라이백컨버터의 설계

3.1 설계 시의 고려사항

$V_b = DV_{in}$ 과 그림 3으로부터 전압-시간평형 법칙에

의해 다음 식을 얻는다.

$$\frac{1}{n} V_o \Delta_1 T_s + \frac{L_m D V_{in}}{L_m + L_r} \Delta_2 T_s = \frac{L_m (1-D) V_{in}}{L_m + L_r} D T_s \quad (4)$$

이로부터 입력력전압의 전압전달비를 다음과 같이 구할 수 있다.

$$\frac{V_o}{V_{in}} = \frac{L_m}{L_m + L_r} n D \quad (5)$$

1차측 전류 i_p 의 평균값 I_p 는 스위칭 주기 T_s 동안 영(0)이기 때문에 자화인덕턴스 전류 i_m 의 평균값 I_m 은 변압기 턴비 n 과 변압기 2차측 전류의 실효값 I_o 로 부터 다음과 같이 계산된다.

$$I_m - I_p = I_m - \frac{1}{T_s} \int_0^{T_s} i_p(t) dt = I_m = n I_o \quad (6)$$

$$I_m = \frac{i_p(t_1) + i_p(t_3)}{2} = n I_o \quad (7)$$

여기서 $i_p(t_1)$ 과 $i_p(t_3)$ 는 식 (5)-(7)로부터 다음과 같이 각각 구할 수 있다.

$$i_p(t_1) = n I_o - \frac{(1-D) T_s}{2n L_m} V_o \quad (8)$$

$$i_p(t_3) = n I_o + \frac{(1-D) T_s}{2n L_m} V_o \quad (9)$$

그러면 모드 5의 1차측 전류 i_p 는 식 (5)-(9)를 이용해 다음과 같이 나타낼 수 있다.

$$i_p = \left(n I_o + \frac{(1-D) T_s}{2n L_m} V_o \right) \cos \omega_r (t - t_4) - \left(\frac{V_o}{n \omega_r L_m} \right) \cdot \sin \omega_r (t - t_4) \quad (10)$$

스위치 Q_1 의 ZVS를 보장하기 위해서는 자화인덕턴스에 저장된 에너지가 기생커패시턴스에 저장된 에너지보다 커야 한다. 이것은 자화인덕턴스 L_m 에 저장된 에너지가 스위치 Q_1, Q_2 의 기생커패시턴스를 효과적

으로 충분히 충·방전시킬 때 ZVS 동작이 유지될 수 있음을 의미한다. 그러므로 자화인덕턴스 L_m 은 다음의 조건을 만족해야 한다.

$$\frac{L_m}{R'_{o,\min}} < \frac{1}{2} (1 - D_{\max}) T_s \quad (11)$$

여기서 $R'_{o,\min} = R_{o,\min} / n^2$ 은 변압기 1차측으로 반영된 최소 출력부하저항이다.

모드 7의 존재는 동기정류기 스위치 Q_{sr} 의 ZCS 동작을 보장하며, 모드 7의 시간은 공진 각주파수 ω 에 의해 결정된다. 이 때 ZCS의 임계조건은 그림 5의 $\Delta_2 T_s = 0$ 이고 $D = D_{\max}$ 일 때 $i_p(T_s) = i_m(T_s)$ 이다. 그러므로 2차측 동기정류기 Q_{sr} 의 ZCS 동작을 위해서는 다음과 같은 조건을 만족해야 한다.

$$\frac{1}{\sqrt{L_r C_b}} > \omega_{cr} \quad (12)$$

이로부터 블로킹 커패시터 C_b 의 범위는 다음과 같이 주어진다.

$$C_b < \frac{1}{\omega_{cr}^2 L_r} \quad (13)$$

여기서 $\omega_{cr} = 2\pi f_{cr}$ 은 임계 공진각주파수이며, 다음에 의해서 계산된다.

$$\left(\frac{L_m}{R'_{o,\min}} + \frac{1}{2} t_{off,\min} \right) \cos \omega_{cr} t_{off,\min} - \frac{1}{\omega_{cr}} \sin \omega_{cr} t_{off,\min} \quad (14)$$

$$= \frac{L_m}{R'_{o,\min}} - \frac{1}{2} t_{off,\min}$$

여기서 $t_{off,\min} = (1 - D_{\max}) T_s$ 이다.

3.2 프로토타입 컨버터의 설계 예

표 1은 제안된 컨버터의 프로토타입 설계사양을 보이며, 표 2는 3.1절의 내용에 의해 결과적으로 선정된 각 회로파라미터를 보인다. 여기에서 각 회로파라미터의 선정과정은 다음과 같다.

표 1. 제안된 컨버터의 프로토타입 설계사양
Table 1. The prototype design specifications of the proposed converter

항 목	값
AC 입력전압 $V_{in,rms}$	75~265[V]
출력전압 V_o	5[V]
최대출력전력 $P_{o,max}$	100[W]
스위칭 주파수 f_s	50[kHz]
스위치 Q_1 의 최대듀티비	$V_{in,rms}=75[V]$ 일 때 $D_{max}=0.33$

자화인덕턴스 L_m 이 변압기 누설인덕턴스 L_r 보다 매우 크다고($L_m \gg L_r$) 가정하고, 입력전압이 최소일 때(교류 입력전압 $V_{in,rms}=75[V]$) 부하 변동을 고려하여 듀티비를 최대 듀티비 $D=D_{max}=0.33$ 으로 설정하면, 변압기의 권선비 n 은 다음과 같이 계산된다.

$$n \approx \frac{V_o}{DV_{in}} = 0.143 \quad (15)$$

자화인덕턴스 L_m 은 스위칭 주파수를 $f_s=50[kHz]$ 로 설정하면 식 (11)로부터 다음과 같이 결정된다.

$$L_m < \frac{1}{2} \cdot R'_{o,min} \cdot (1-D_{max}) \cdot T_s = 81.94[\mu H] \quad (16)$$

여기서 $R'_{o,min}$ 은 정의에 의해서 다음과 같이 구해진다.

$$R'_{o,min} = \frac{R_{o,min}}{n^2} = 12.23[\Omega] \quad (17)$$

표 2. 프로토타입 컨버터의 선정된 각 회로파라미터
Table 2. The selected circuit parameters of the prototype converter

회로 파라미터	값
N_2/N_1	3/20
L_m	50[μH]
L_r	3[μH]
C_b	1[μF]
f	92[kHz]

프로토타입 컨버터의 변압기는 식 (15)에 의하여 TDK사의 PC40 PQ3535 코어를 이용하여 20턴의 1차측 권선수와 3턴의 2차측 권선수($N_2/N_1=3/20$)로 구현되었다. 그리고 식 (16)의 조건을 만족하도록 하기 위하여 적당한 공극을 삽입하였는데, 이렇게 하여 측정된 자화인덕턴스 L_m 은 $L_m=50[\mu H]$ 이고 누설인덕턴스 L_r 은 $L_r=3[\mu H]$ 였다. 한편, 동기정류기 Q_{sr} 이 ZCS 조건으로 동작하려면 식 (12)를 만족해야한다. 식 (14)에 의해 계산된 임계 공진주파수는 $f_{cr}=55[kHz]$ 이고 블로킹 커패시터 C_b 는 $C_b=1[\mu F]$ 으로 설정하면 아래와 같이 계산되어 동기정류기 Q_{sr} 의 ZCS 조건을 만족하게 된다.

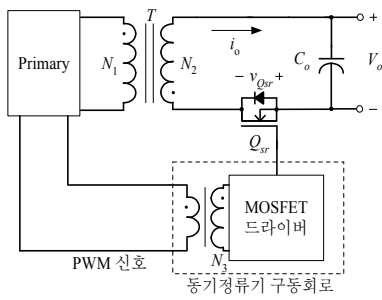
$$92[kHz] \approx \frac{1}{2\pi\sqrt{L_r C_b}} > f_{cr} \approx 55[kHz] \quad (18)$$

4. 전압구동형 동기정류기의 간단한 구동회로

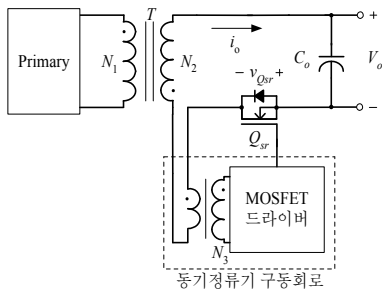
다이오드정류기를 적용한 파워서플라이 회로에서 다이오드정류기의 도통손실은 컨버터 전체효율에 큰 악영향을 미친다. 특히 저전압 출력 응용에서의 다이오드정류기는 큰 온저항으로 인한 도통손실이 상대적으로 커서, 전체효율을 저하시키는 주요 원인이 된다. 그러나 이에 비해 전력반도체스위치 MOSFET을 이용한 동기정류기는 온저항이 낮으므로, 향상된 효율을 얻을 수 있는 장점을 가진다.

그림 4는 기존의 동기정류기 구동회로가 적용된 플라이백컨버터의 2차측 동기정류기의 구동회로의 개념도를 보인다. 그림 4 (a)는 1차측의 PWM 신호를 이용한 동기정류기 구동회로인데, 이 방식에서는 신호의 데드타임이 필수적이며 1차측 스위치 게이트신호에 추가적인 지연시간을 필요로 한다. 그래서 여러 소자들이 추가적으로 필요할 뿐만 아니라, 데드타임이나 지연시간 설정 등도 필요한 단점이 있다. 그리고 그림 4 (b)는 컨버터 2차측에 전류변압기를 적용한 동기정류기 구동회로로써, 이 방식은 그림 4 (a)에서와 같은 변압기 1차측과 관련된 설정들이 없는 이점이 있지만, 변압기 2차측에 전류변압기를 추가적으로 필요

로 하는 단점이 있다. 이 방식은 변압기 1차측의 PWM에 따라 전력반도체스위치 MOSFET의 스위칭으로 입력전압이 1차측 권선에 인가되고 변압기를 통해 2차측 권선과 보조 권선에 전압이 유도되어 동기정류기를 턴온/턴오프시키는 방식이다. 그러나 그림 4의 기존의 동기정류기 구동방식들은 변압기의 추가적인 권선으로 구조가 복잡해지고 필요한 부품수도 많아지게 되어 제작비용이 증가하는 문제점이 있다.



(a) 1차측 PWM 신호를 이용한 동기정류기
(a) The synchronous rectifier using the primary PWM signal



(b) 전류변압기(CT)를 이용한 동기정류기
(b) The synchronous rectifier using the current transformer(CT)

그림 4. 기존의 플라이백컨버터 2차측 동기정류기 구동회로의 개념도

Fig. 4. The conceptual diagrams of the flyback converter secondary synchronous rectifier applied with the conventional driving method

그림 5는 제안된 동기정류기의 구동회로를 보인다. 여기서 동기화 펄스발생부의 저항 R_{sync} 와 다이오드 D_{sync} 는 변압기 2차측 권선에 인가되는 전압의 레벨을 검출하여 동기화 펄스를 발생하는 역할을 하며, 턴온

구동전압발생부의 포토커플러 U_{on} 과 턴오프 구동전압 발생부의 트랜지스터 TR_{off} 는 동기화 펄스발생부에서 발생된 동기화 펄스에 따라 동기정류기 Q_{sr} 의 턴온/턴오프를 제어하는 역할을 한다. 동기정류기 구동전압 V_{drv} 는 별도의 구동전원을 이용할 수도 있고, 출력전압 V_o 의 전압레벨이 구동전원으로써 충분할 경우 별도의 구동전원 없이 V_o 를 직접 동기정류기의 구동전원으로 이용할 수도 있다. 이렇게 V_o 를 동기정류기의 구동전원으로 이용할 경우 ($V_{drv}=V_o$)에는 동기정류기 구동회로를 더욱 간략화할 수도 있다.

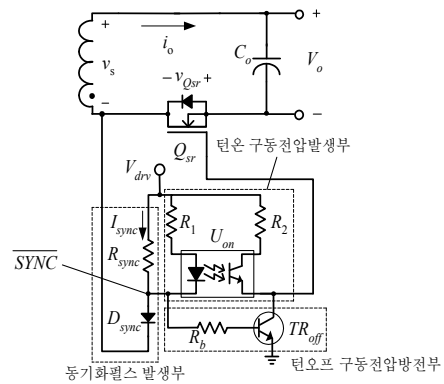
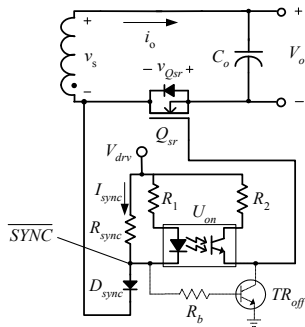


그림 5. 제안된 동기정류기 구동회로
Fig. 5. The proposed driving circuit of the synchronous rectifier

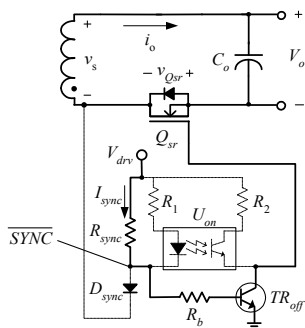
그림 6은 제안된 동기정류기 구동회로의 동작을 보인다. 그림 6 (a)는 턴온 모드로써, 플라이백컨버터 변압기 2차측 권선 전압레벨이 양(+)전압이 될 때, 저항 R_{sync} 와 다이오드 D_{sync} 의 직렬 접속점 SYNC에서 음(-) 논리의 동기화 펄스신호가 발생되어 다이오드 D_{sync} 가 턴온함으로써 U_{on} 의 1차측의 광다이오드가 턴온되므로, MOSFET Q_{sr} 의 게이트에 충전전류가 R_2 와 U_{on} 의 광트랜지스터를 통하여 흘러 MOSFET Q_{sr} 의 게이트 전압을 게이트 턴온 전압까지 충전하여 MOSFET Q_{sr} 을 턴온시킨다.

그림 6 (b)는 턴오프 모드로써 변압기 2차측 권선의 전압레벨이 음(-)전압이 될 때, 다이오드 D_{sync} 를 턴오프함으로써 저항 R_{sync} 와 다이오드 D_{sync} 의 직렬 접속점 SYNC에서 양(+) 논리의 동기펄스신호가 발생되고 트랜지스터 TR_{off} 를 턴온함으로써 동기정류기 Q_{sr} 의

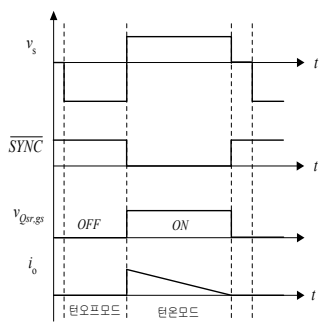
게이트에 충전된 전압을 접지로 방전시켜 동기정류기 Q_{sr} 을 턴오프 시킨다. 그림 6 (c)는 이론적인 동작파형을 보인다.



(a) 턴온 모드
(a) Turn-on mode



(b) 턴오프 모드
(b) Turn-off mode



(c) 이론적 동작파형
(c) Theoretical operation waveform

그림 6. 제안된 동기정류기 구동회로의 동작
Fig. 6. The operation of the proposed driving circuit of synchronous rectifier

기존의 동기정류기 구동회로는 변압기에 추가적인 권선으로 인해 구조가 복잡해지거나 소자수가 많아지는 단점이 있지만, 제안된 동기정류기 구동회로는 구조를 간략화하고 필요 부품수도 최소화하여 제작비용을 감소시키는 장점을 가진다.

5. 실험결과와 효율분석

5.1 실험결과

본 논문에서 제안된 고효율 공진형 비대칭 하프브리치 플라이백컨버터의 우수한 성능을 입증하기 위하여 3절에서 설계된 파라미터들로서 프로토타입 컨버터를 제작하여 실험하였다.

프로토타입 컨버터의 PWM 신호는 Fairchild사의 KA3844에 의해 발생되며, 이 신호로 동작하는 스위치 Q_1 , Q_2 는 STMicroelectronics사의 MOSFET STP12NM50FP를 사용하였고, 2차측 동기정류기 Q_{sr} 은 Fairchild사의 MOSFET HUF75545P3를 사용하였다. 변압기는 TDK사의 PC40 PQ3535 보빈과 코어를 이용하여 제작하였다.

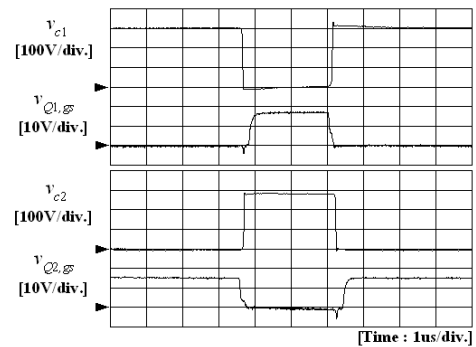


그림 7. 스위치 Q_1 , Q_2 의 드레인-소스 전압(V_{c1} , V_{c2})과 게이트-소스 전압($V_{Q1,gs}$, $V_{Q2,gs}$) 실험파형 ($V_{in,rms}=220[V]$, $P_{o,max}=100[W]$)

Fig. 7. The experimental waveforms of the drain-source voltage(V_{c1} , V_{c2}) and gate-source voltage($V_{Q1,gs}$, $V_{Q2,gs}$) of the switches Q_1 and Q_2 ($V_{in,rms}=220[V]$, $P_{o,max}=100[W]$)

그림 7은 부하가 전부하일 때 상용전원에서 스위치

Q_1 , Q_2 의 드레인-소스전압과 게이트-소스전압의 실험파형을 각각 보인다. 이로부터 스위치 Q_1 , Q_2 가 ZVS로 스위칭하고 있음을 알 수 있다.

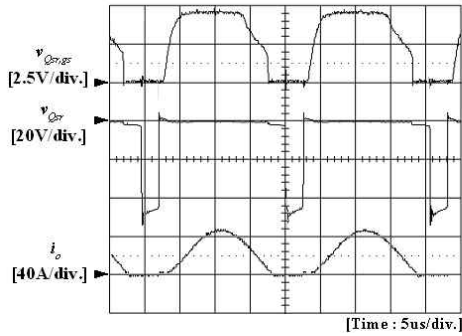


그림 8. 동기정류기 게이트-소스 전압 $V_{Qsr,gs}$ 와 동기정류기 전압 V_{Qsr} 과 변압기 2차측 전류 i_o 의 실험파형 ($V_{in,rms}=220[V]$, $P_{o,max}=100[W]$)

Fig. 8. The experimental waveforms of the synchronous rectifier gate-source voltage $V_{Qsr,gs}$, synchronous rectifier voltage V_{Qsr} and transformer secondary current i_o ($V_{in,rms}=220[V]$, $P_{o,max}=100[W]$)

그림 8은 컨버터가 전부하로 동작할 때 상용전원에서 동기정류기 게이트-소스 전압 $V_{Qsr,gs}$ 와 동기정류기 전압 V_{Qsr} 및 변압기 2차측 전류 i_o 의 실험파형을 각각 보인다. 변압기 2차측 전류 i_o 가 영(0)일 때 스위치가 턴온·턴오프되는 것으로 보아 동기정류기 Q_{sr} 이 ZCS로 동작함과 제안된 동기정류기의 구동회로가 양호하게 동작함을 알 수 있다.

그림 9는 전부하일 때 상용교류전원의 입력전압에서 프로토타입 컨버터의 각부 실험파형을 보인다. 이것은 제작된 프로토타입 컨버터의 파형이 그림 3의 이론적 파형과 거의 일치함을 보이는 것으로써 실험을 통하여 제안된 컨버터에 대한 본 논문에서의 이론적 해석이 타당함을 보이는 것이다.

그림 10은 프로토타입 컨버터가 전부하일 때 광범위 교류 입력전압범위($V_{in,rms}=75\sim 265[V]$)에서 동작함을 보이는 실험파형으로 으로 1차측 전압 v_b , 2차측 출력 전압 V_o 및 동기정류기 전압 V_{Qsr} 을 보인다. 이것으로부터 제안된 컨버터는 넓은 입력전압 범위에서 출력 전압이 양호하게 조정(regulation)되고 제안된 동기정

류기도 양호하게 동작함을 알 수 있다. 그림 11은 상용 교류 입력전압($V_{in,rms}=220[V]$)에서 각 부하조건에 따른 컨버터 1차측과 2차측의 전압과 전류의 실험파형을 나타내는 것으로, 제안된 컨버터가 다양한 부하 조건에서도 양호하게 동작함을 보인다.

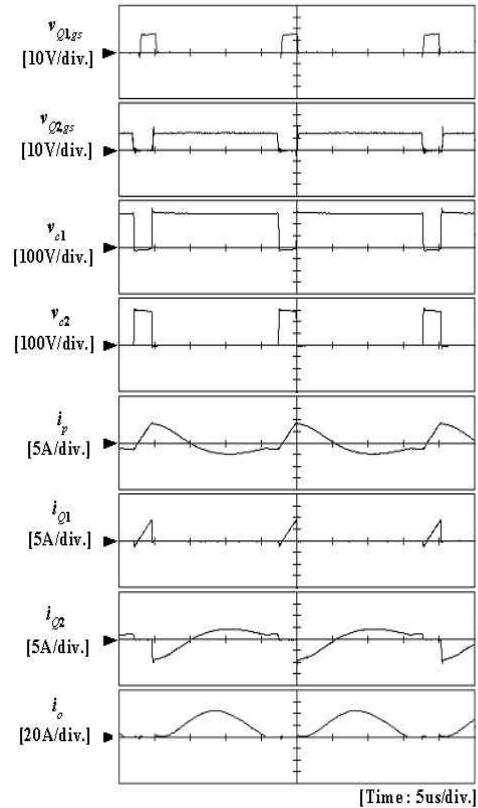
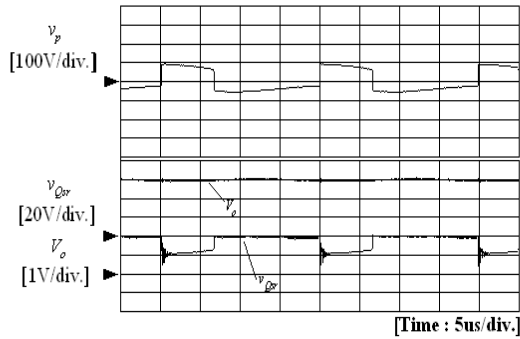


그림 9. 구현된 컨버터 주요 부분의 실험파형 ($V_{in,rms}=220[V]$, $P_{o,max}=100[W]$)

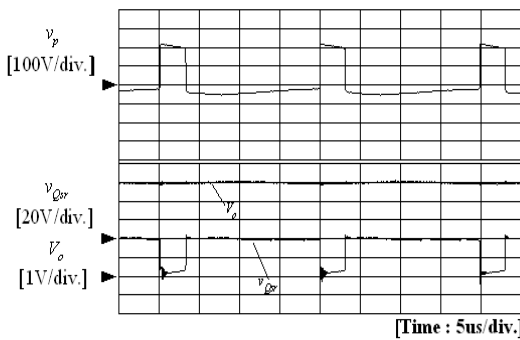
Fig. 9. The experimental waveforms of the key parts of the implemented converter ($V_{in,rms}=220[V]$, $P_{o,max}=100[W]$)

5.2 효율분석

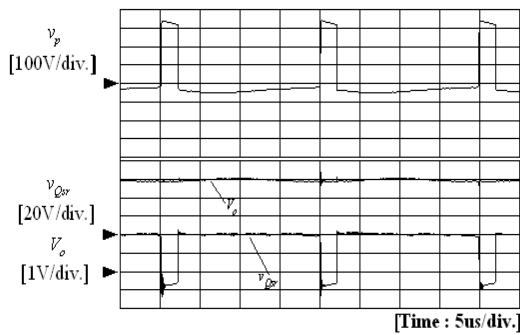
프로토타입 컨버터를 통하여 제안된 컨버터의 효율을 분석하기 위하여, 프로토타입 컨버터 각 부분의 손실을 이론적으로 다음과 같이 계산하였으며, 프로토타입 컨버터의 동작시의 효율도 각 조건에 따라 측정하였다. PWM 제어기 IC에 약 0.195[W]정도의 전력이 소모되고 스위치 구동 IC를 포함한 스위치 구동부에



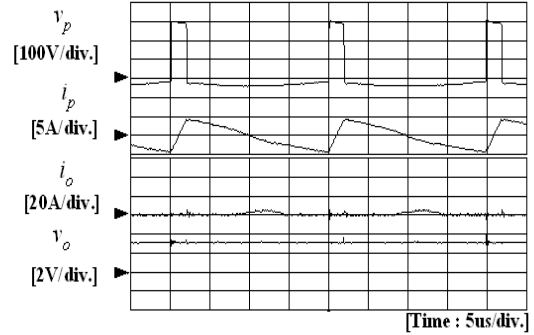
(a) $V_{in,rms}=75[V]$



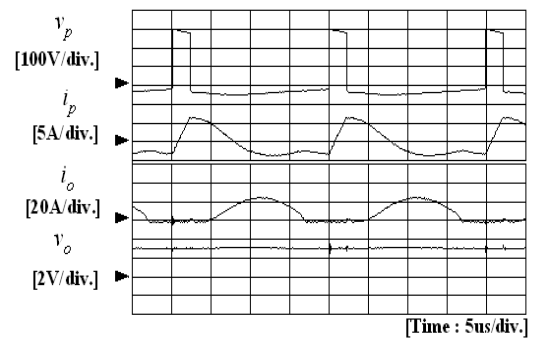
(b) $V_{in,rms}=170[V]$



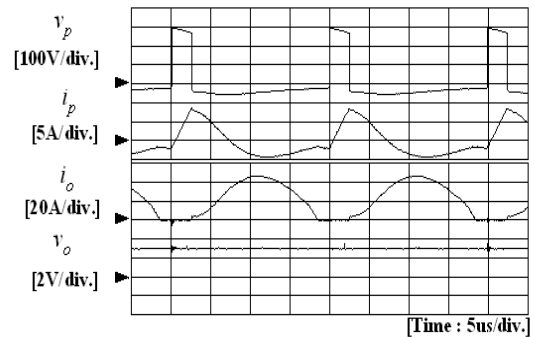
(c) $V_{in,rms}=265[V]$



(a) $P_o=3[W]$



(b) $P_o=50[W]$



(c) $P_o=100[W]$

그림 10. 각 입력전압에 따른 컨버터 1차측 전압 v_p , 2차측 출력전압 v_o 및 동기정류기 전압 v_{Qsr} 의 실험파형($P_{o,max}=100[W]$)

Fig. 10. The experimental waveforms of the converter primary voltage v_p , the output voltage v_o and the synchronous rectifier voltage v_{Qsr} according to each input voltage ($P_{o,max}=100[W]$)

그림 11. 입력전압 $V_{in,rms}=220[V]$ 일 때 다양한 출력부하 조건에 따른 컨버터 1차측 전압과 전류, 변압기 2차측 전류와 출력전압의 실험파형

Fig. 11. The experimental waveforms of the converter primary voltage and current and transformer secondary current i_o and output voltage with various load conditions at $V_{in,rms}=220[V]$

서 약 0.1[W]정도의 전력이 소모되어 컨버터 제어기와 스위치 구동부에서 모두 약 0.3[W]정도의 전력이

소모된다. 또한 게이트 전압 인가 시 스위치 Q_1 , Q_2 게이트 부분의 기생커패시턴스에 의해 충/방전이 일어

나서 게이트 구동 손실이 발생하게 되며, 이 때 게이트 구동 손실 P_{drive} 는 다음과 같이 계산된다.

$$P_{drive} = 2 \cdot Q_g \cdot V_g \cdot f_s \quad (19)$$

$$= 2 \times (39 \times 10^{-9}) \times 18 \times (50 \times 10^3) \approx 0.07 W$$

여기서 Q_g 는 게이트 전하량, V_g 는 게이트 전압, 그리고 f_s 는 스위칭주파수이다.

스위치 Q_1, Q_2 가 영전압 스위칭으로 동작하기 위하여 데드타임 동안 전류는 스위치의 바디다이오드로 흐르게 되는데, 이 때 바디다이오드에도 손실이 발생하게 된다. 바디다이오드 도통손실 P_{diode} 는 다음과 같이 계산된다.

$$P_{diode} = 2 \cdot I_{p,rms} \cdot V_{diode} \cdot (dead\ time) \cdot f_s \quad (20)$$

$$= 2 \times 4.62 \times 1 \times (300 \times 10^{-9}) \times (50 \times 10^3) \approx 0.14 W$$

여기서 $I_{p,rms}$ 는 변압기 1차측 전류의 실효값이고 V_{diode} 는 스위치 바디다이오드 도통 시의 다이오드 전압강하이다. 이 손실을 줄이기 위해서는 데드타임을 최소로 하는 것이 바람직하지만, 데드타임이 충분히 확보되지 않을 경우 스위치의 압단락이 발생하므로 이 둘 관계를 적절히 조절하였다. 또한 동기정류기 Q_{sr} 의 손실 P_{sr} 은 다음과 같이 계산된다.

$$P_{sr} = P_{c, sr} + P_{sw} + P_{Coss, sr} \quad (21)$$

$$= R_{DS(on)} \cdot \frac{4I_o^2}{3(1-D)} + \frac{C_{oss}}{2} \cdot V_{on}^2 \cdot f_s$$

변압기 2차측 전류 i_o 의 실효값 I_o 는 실험결과로부터 전부하시 $I_o=21[A]$ 정도였고, $V_{GS}=5[V]$ (동기정류기 구동전압 V_{drv} 는 출력전압 V_o 를 이용)일 때 온저항 $R_{DS(on)}=13[m\Omega]$ 이고 출력커패시턴스 $C_{oss}=1,100[pF]$ 인 MOSFET HUF75545P3 2개를 병렬로 동기정류기에 적용한 프로토타입 컨버터 동기정류기 MOSFET의 손실은 약 6[W] 정도이다.

구현된 컨버터 변압기의 동선으로는 리츠와이어 (Litz wire)를 사용하였는데, 이 동선의 한 선당 저항 R_{tr-cu} 는 다음과 같이 계산된다.

$$R_{tr-cu} = turns \cdot \rho[\Omega cm] \cdot \frac{l[cm]}{n \cdot \pi \cdot A} \quad (22)$$

여기서 A 는 리츠와이어 연선 하나의 단면적, ρ 는 구리의 저항률, n 은 연선의 개수이며, l 은 변압기에 감긴 동선의 길이이다.

변압기 1, 2차측의 동선은 리츠와이어를 각각 두 선씩 권선하였는데, 이 때 변압기 1, 2차측 동선의 저항 R_p, R_s 는 식 (22)를 이용하여 각각 다음과 같이 구할 수 있다.

$$R_p = \frac{1}{2} \times 20 \times (1.7 \times 10^{-6}) \times \frac{5}{40 \times \pi \times (2.5 \times 10^{-5})} \quad (23)$$

$$\approx 27m\Omega$$

$$R_s = \frac{1}{2} \times 3 \times (1.7 \times 10^{-6}) \times \frac{5}{300 \times \pi \times (2.5 \times 10^{-5})} \quad (24)$$

$$\approx 0.54m\Omega$$

스위치의 데드타임을 고려한 최대 턴온 시간 $t_{on}[s]=0.67T$ 이므로 변압기 1, 2차측 동선의 평균손실 P_p 와 P_s 는 각각 다음과 같이 계산된다.

$$P_p = I_{p,rms}^2 \cdot R_p \cdot \frac{t_{on}}{T_s} = 4.62^2 \times (27 \times 10^{-3}) \times 0.67 \quad (25)$$

$$\approx 0.39 W$$

$$P_s = I_o^2 \cdot R_s \cdot \frac{t_{on}}{T_s} = 21^2 \times (0.54 \times 10^{-3}) \times 0.67 \quad (26)$$

$$\approx 0.16 W$$

따라서 위의 손실분석에 따라 이론적으로 계산된 총 손실은 약 7.1[W]로 추정되며, 효율은 약 93[%] 정도로 추정된다.

그림 12는 본 논문에서 제안된 고효율 공진형 비대칭 하프브리지 플라이백컨버터 (a)와 비대칭 하프브리지 다이오드 플라이백컨버터 (b)[11], 액티브 클램프 플라이백컨버터 (c)[12] 및 전통적인 플라이백컨버터 (d)[8]의 효율을 각각 다른 부하 조건에 따라 비교한 그래프이다. 그리고 그림 13은 전부하 조건으로 광범위 입력전압범위에서 제안된 컨버터가 동작할 때의 컨버터 효율을 나타낸다. 그러므로 손실분석과 효율 추정 결과를 비교해 볼 때 손실분석은 타당한 것으로

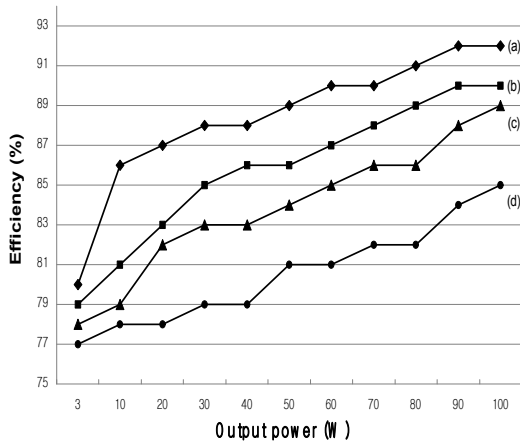


그림 12. 다양한 부하 조건에 따른 구현된 컨버터와 기존의 컨버터들의 효율 비교 ($V_{in,rms}=220[V]$); (a) 제안된 고효율 공진형 비대칭 하프브리지 플라이백컨버터, (b) 비대칭 하프브리지 다이오드 플라이백컨버터, (c) 액티브 클램프 플라이백컨버터, (d) 전통적인 플라이백컨버터

Fig. 12. Efficiency comparison of the implemented converter and conventional converters according to various load conditions ($V_{in,rms}=220[V]$); (a) The proposed high efficiency resonant asymmetrical half-bridge flyback converter, (b) asymmetrical half-bridge diode flyback converter, (c) active clamp flyback converter, (d) conventional flyback converter

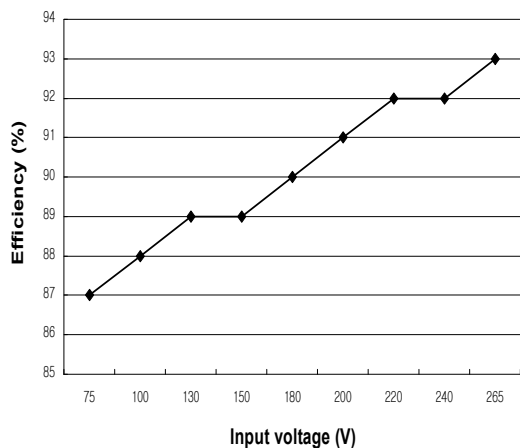


그림 13. 광범위 입력전압 ($V_{in,rms}=75\sim 265[V]$) 에서의 구현된 컨버터 효율 ($P_{o,max}=100[W]$)

Fig. 13. Measured efficiency of implemented converter with the wide input voltage range ($P_{o,max}=100[W]$)

보이며, 그림 12와 그림 13으로부터 구현된 컨버터는 다양한 부하 조건과 광범위 입력전압범위에서 우수하게 동작하는 고효율 공진형 비대칭 하프브리지 플라이백컨버터를 알 수 있다.

6. 결 론

본 논문에서는 고효율 공진형 비대칭 하프브리지 플라이백컨버터가 제안되었다. 본 논문에서 제안된 컨버터는 컨버터 1차측에서 비대칭 PWM 기법을 이용하여 공진커패시터와 변압기 누설인덕턴스와 더불어 소프트스위칭 형태로 동작함으로써 전력반도체스위치 MOSFET의 전압 스트레스를 감소시켜 컨버터의 전체 효율을 향상시켰다. 또한 컨버터 2차측의 동기정류기는 간단한 구동회로를 이용한 새로운 전압구동방식으로 동작하며 전력반도체스위치 MOSFET의 낮은 도통저항을 이용하여 정류기의 도통손실을 저감함으로써 컨버터의 전체효율을 더욱 향상시켰다.

본 논문에서는 고효율 공진형 비대칭 하프브리지 플라이백컨버터의 동작원리를 수학적으로 해석하고 해석된 컨버터의 회로설계 시의 고려사항을 제시하였으며, 이 고려사항을 바탕으로 하여 주어진 사양에 따른 프로토타입 컨버터의 설계 예를 제시하였다. 제안된 컨버터의 우수한 성능을 입증하기 위하여 프로토타입 컨버터를 제작하고 실험하였다. 프로토타입 컨버터는 광범위 교류 입력전압범위 ($V_{in,rms}=75\sim 265[V]$)에서 동작하며, 5[V]의 직류 출력전압과 100[W]의 출력전력을 가졌다. 또한 프로토타입 컨버터의 효율은 입력전압이 상용교류전압 220[V]일 때 전부하시 약 92[%]정도이며 출력전압리플은 약 0.1[V]였다.

감사의 글

본 연구는 교육과학기술부와 한국산업기술진흥원의 지역 혁신인력양성사업으로 수행된 연구결과임.

References

[1] P. C. Heng and R. Oruganti, "Family of two-switch soft-switched asymmetrical PWM dc/dc converters," IEEE

PESC, vol. 1, pp. 85-94, 1994.

[2] R. Oruganti, C. H. Phus, and A. C. Liew, "Soft-switched dc/dc converter with PWM control," IEEE Trans. on Power Electronics, vol. 13, no. 1, pp. 102-113, 1998.

[3] X. Xu, A. M. Khambadkone, and R. Oruganti, "Analysis and design of an optimized asymmetrical half bridge dc-dc converter," IEEE PEDS, pp. 120-125, 2003.

[4] T. M. Chen and C. L. Chen, "Analysis and design of asymmetrical half bridge flyback converter," IEE Electric Power Applications, vol. 149, no. 6, pp. 433-440, 2002.

[5] K. Yoshida, T. Ishii, and N. Nagagata, "zero voltage switching approach for flyback converter," IEEE INTELEC, pp. 324-329, 1992.

[6] D. H. Seo, O. J. Lee, S. H. Lim, and J. S. Park, "Asymmetrical PWM flyback converter," IEEE PESC, pp. 848-852, 2000.

[7] Fabrizio Librizzi, "AC/DC Flyback Converter with Synchronous Rectification", Power Semiconductor Devices and ICs, Proceedings. ISPSD. Vol. 16, pp. 63-66. 2004, May.

[8] Zhang, J.M, Xie, X.G. Jiao, D.Z. and Zhaoming Qian "A high efficiency adapter with novel current driven synchronous rectifier" Telecommunications Energy Conference, INTELEC , Vol. 25 pp. 205- 210, 2003, Oct.

[9] STSR30 Datasheet, STMicroelectronics.

[10] F. Librizzi, F. Lentini, "STSR30 implements synchronous rectification in flyback adaptors", STMicroelectronics application note AN1804.

[11] Zhang, M. T., Jovanovic, M. M., and Lee, F. C. "Design consideration and performance evaluations of synchronous rectification in flyback converter" IEEE Transactions on Power Electronics, Vol. 13, No. 3, pp. 538-846, 1998, May.

[12] R. Watson, G. C. Hua, and F. C. Lee "Characterization of an Active Clamp Flyback Topology for Power Factor Correction Applications" IEEE Transactions on power electronics, Vol. 11, No. 1, pp. 191-198, 1996, Jan.

◇ 저자소개 ◇



정강률 (鄭康律)

1971년 12월 17일생. 1997년 영남대학교 전기공학과 졸업. 1999년 POSTECH 전자전기공학과 졸업(석사). 2002년 POSTECH 전자전기공학과 졸업(박사). 현재 순천향대학교 전자정보공학과 부교수.



유두희 (柳斗熙)

1981년 4월 2일생. 2007년 순천향대학교 정보기술공학부 졸업. 2009년 순천향대학교 전기로봇공학과 졸업(석사). 현재 순천향대학교 전기로봇공학과 박사과정.